



中国科学技术大学
University of Science and Technology of China

用于高精度时钟同步的 延时调节ASIC设计

赵雷 秦家军 李嘉铭 戚冬冬 赵俊博 郭佳诚

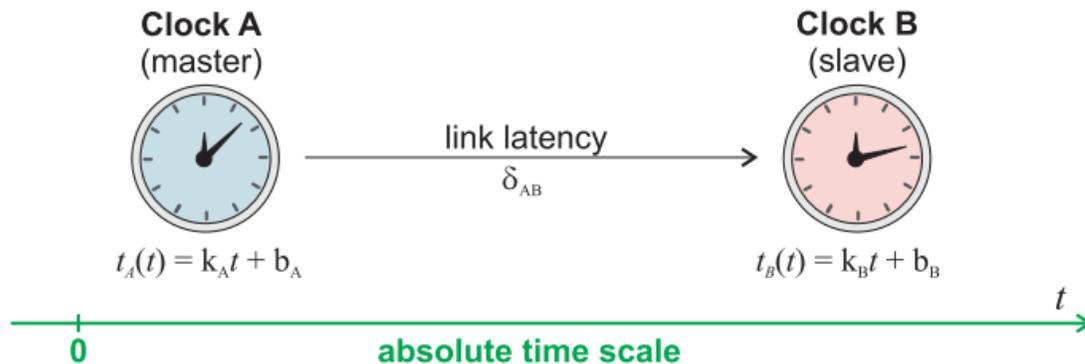
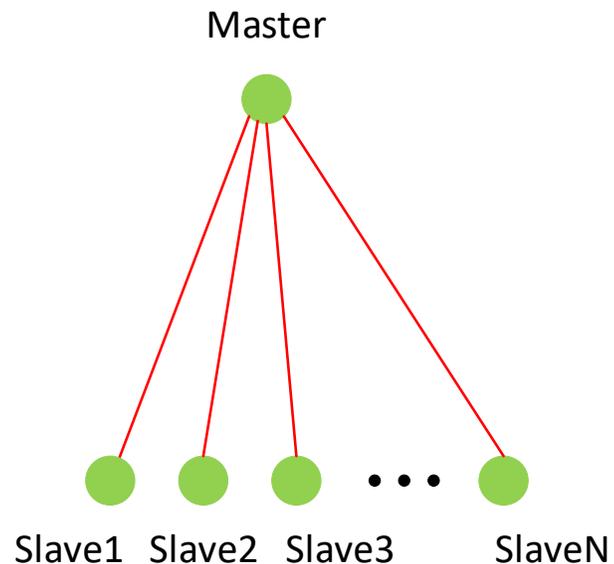
中国科学技术大学 近代物理系
核探测与核电子学国家重点实验室

2025-07-17



- 大型物理实验中的时间同步
- 延时调节ASIC设计
- 延时调节ASIC测试
- 总结

- 大型物理实验空间分布广、节点数众多
- 高精度时钟同步是实现精密关联测量和同步控制的基础
- 时钟分发
 - 将特定的源时钟信号传递至不同节点
- 时钟同步
 - 频率相同、相位相同
 - 时间戳信息同步
 - ✓ 绝对时间同步
 - ✓ 用于事例对齐

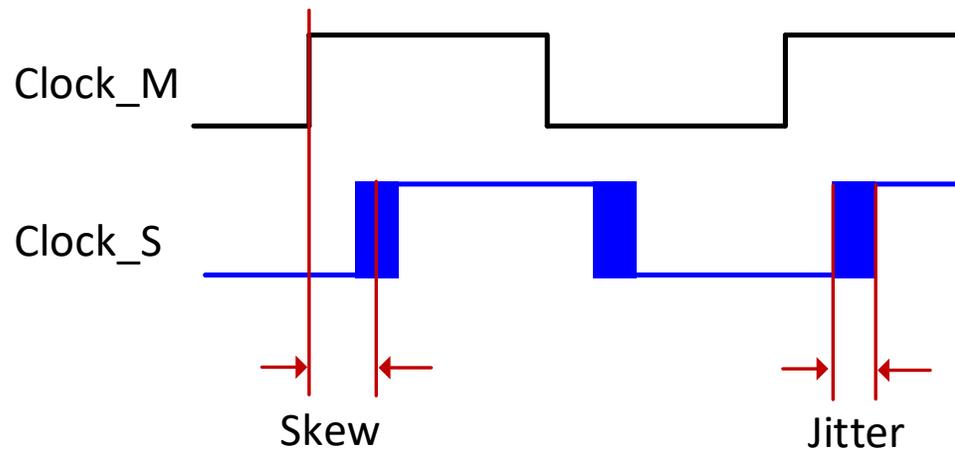


- 大型物理实验中的时间分发与同步需求

- 高精度
 - ✓ 高精度时间测量的参考基准
- 多节点
 - ✓ 数百上千
- 长距离
 - ✓ 几十米~数公里（加速器装置）
- 相位稳定
 - ✓ 反复上下电、变温（宇宙线实验、加速器）
- 融合传输
 - ✓ 数据、时钟、触发、控制

- 核心评价指标

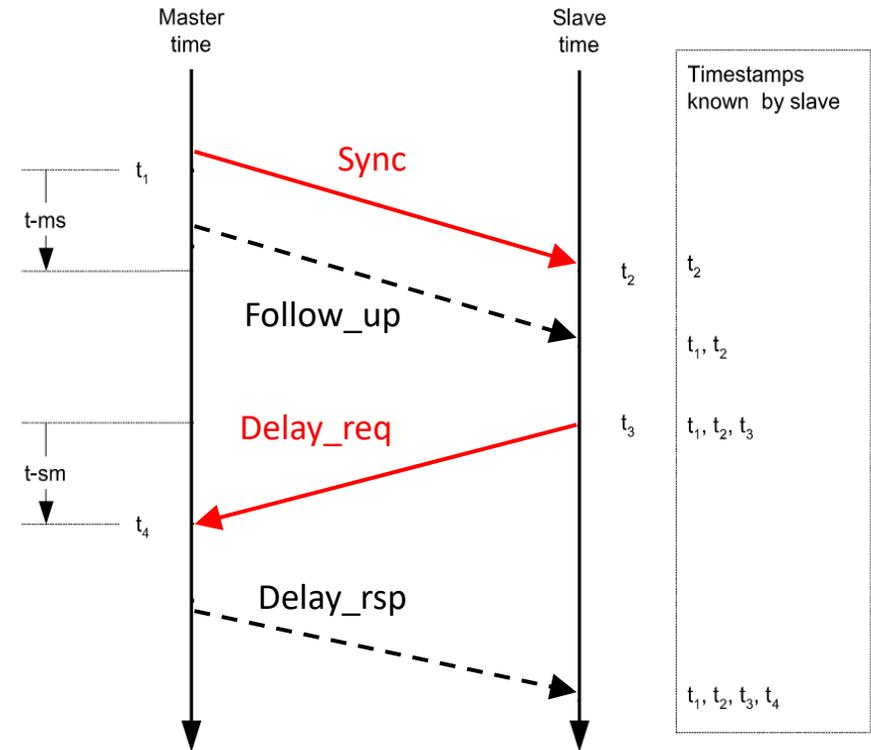
- Skew的稳定性（固定的skew可以标定）
- Jitter



White Rabbit



- White Rabbit (WR) 是由CERN 和德国GSI 重离子研究中心于2008 年提出
- 基于同步以太网、PTP 等技术的数据传输网络
- 可实现公里级亚纳秒同步精度、多节点长距离时钟分发
- 开放兼容的软硬件，应用广泛
- PTP的时间测量和补偿（调节）均以时钟周期为单位，同步精度受限
- 本质上是时间戳同步，时钟尚未同步

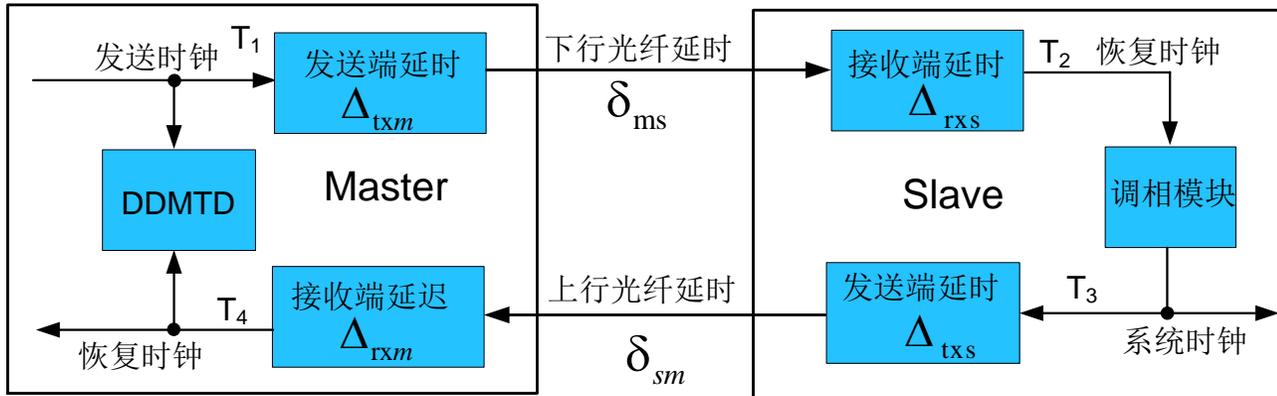


PTP (Precise Time Protocol)示意图

$$\begin{aligned} T_{round_trip} &= T_2 - T_1 + T_4 - T_3 \\ &= (T_4 - T_1) - (T_3 - T_2) \end{aligned}$$

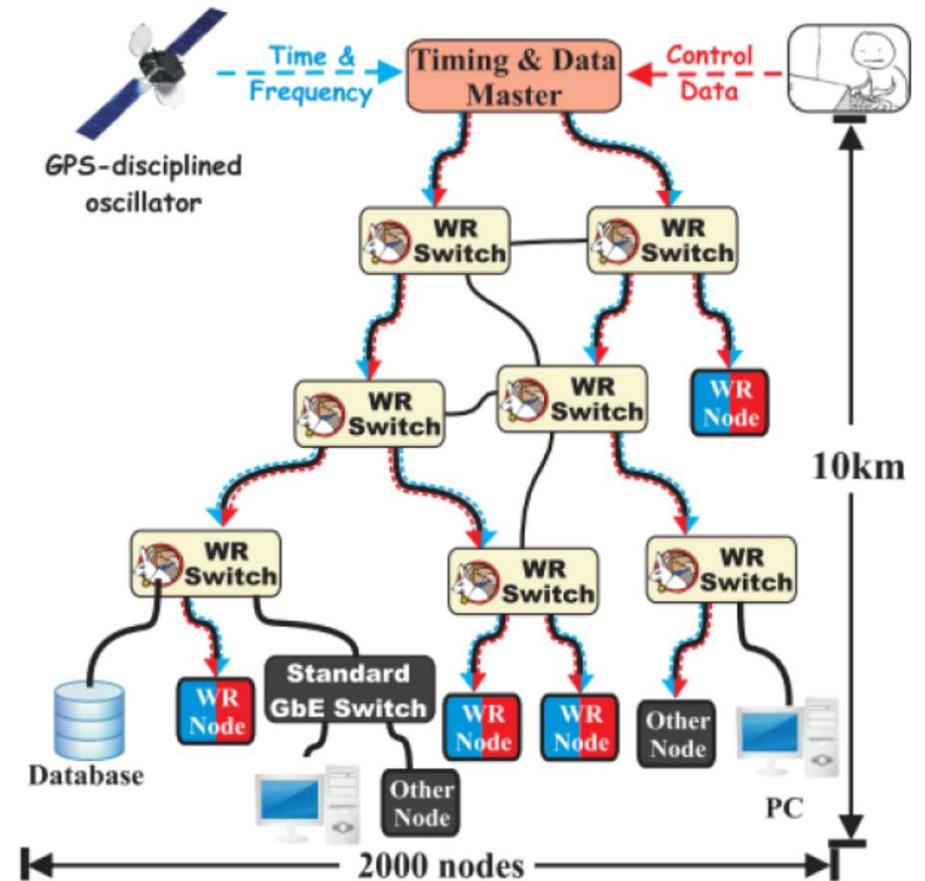
$$delay = [(T_4 - T_1) - (T_3 - T_2)] / 2$$

White Rabbit



$$\delta_{ms} + \delta_{sm} = t_4 - t_3 + t_2 - t_1 - (\Delta_{txm} + \Delta_{rxs} + \Delta_{txs} + \Delta_{rxm})$$

- 收发电路的硬件延时需要提前测定
 - 链路延时固定：上下电、温度变化
- 高精度相位差测量和调节
 - 数字双混频鉴相器（DDMTD）：时间放大，ps量级精度
 - SoftPLL调相：Atix-7 ~15 ps步长



典型WR系统

LHAASO WDCA中的时钟电子学



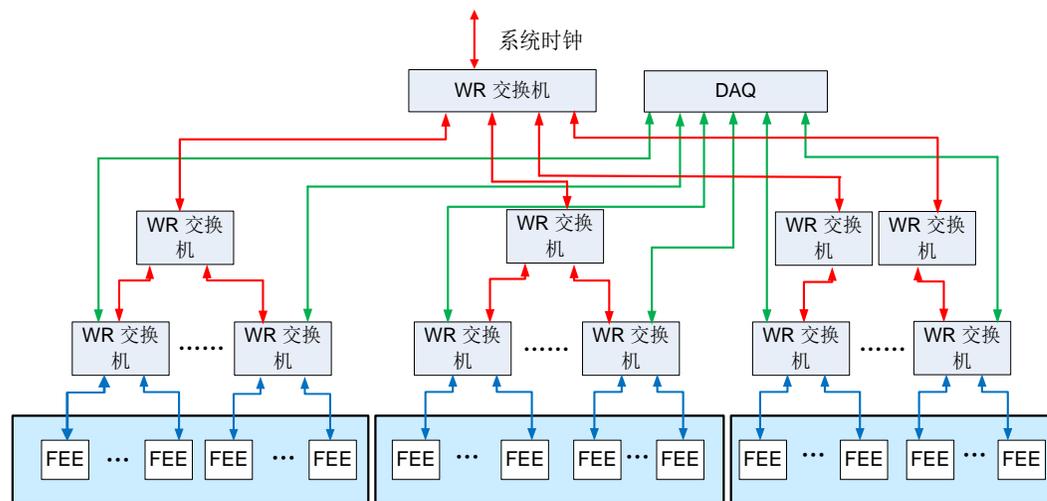
中国科学技术大学

University of Science and Technology of China

- 十二五规划项目——高海拔宇宙线观测站
- 水切伦科夫探测器阵列（WCDA）
- 时钟传输要求
 - 350个FEE分布在约80000平方米的水池上方
 - 传输距离大于400米
 - 四季及昼夜温差大
 - 时钟相位自动同步精度好于 ± 100 ps (pk-pk)

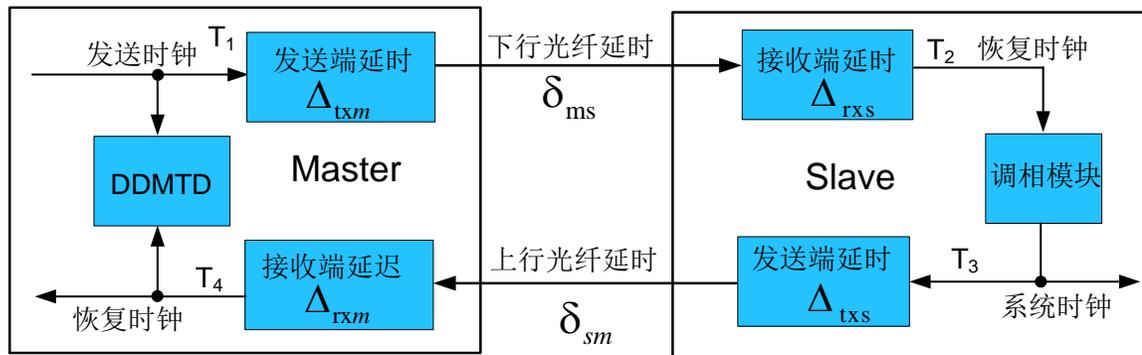


- 读出电子学整体架构
 - 分布式前端数字化架构
 - 高精度时钟分发及相位自动补偿
 - 无硬件触发的数据获取
 - 数据、命令与时钟的融合传输



往返延时分配

- WR采用波分复用，一根光纤完成上下行传输
- 不同波长的光，传输延时不同



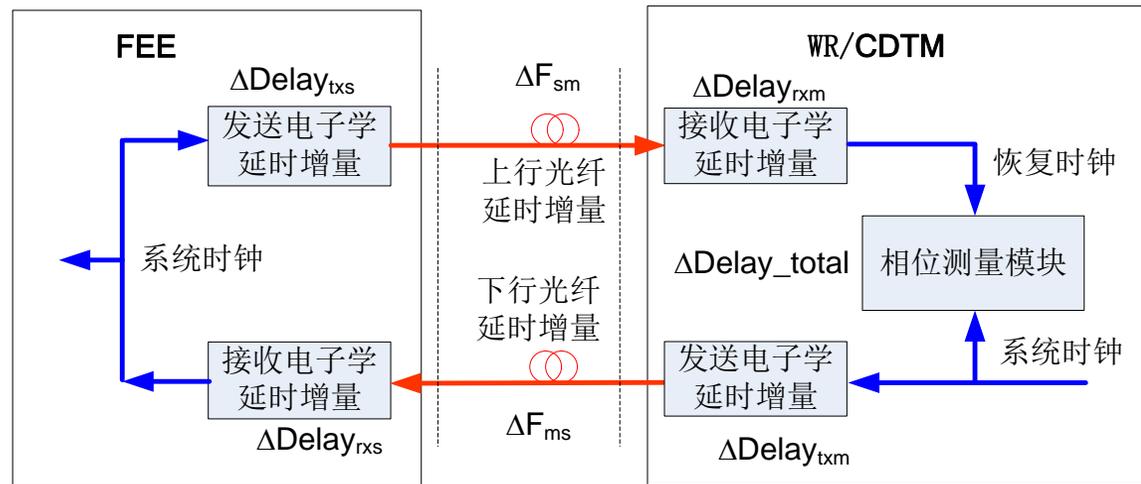
$$\delta_{ms} + \delta_{sm} = t_4 - t_3 + t_2 - t_1 - (\Delta_{txm} + \Delta_{rxs} + \Delta_{txs} + \Delta_{rxm})$$

光纤非对称系数 $\alpha = \frac{\delta_{ms}}{\delta_{sm}} - 1 = \frac{n_{1550}}{n_{1310}} - 1$

$$T_{offset_ms} = t_2 - t_1 - \Delta_{txm} - \Delta_{rxs} - \delta_{ms}$$

$$= \frac{1}{\alpha + 2} (t_2 - t_1 - \Delta_{txm} - \Delta_{rxs}) - \frac{\alpha + 1}{\alpha + 2} (t_4 - t_3 - \Delta_{txs} - \Delta_{rxm})$$

2025/7/15



延时增量分配示意图

$$\Delta Delay_total = \Delta Delay_{rxs} + \Delta Delay_{txs} + \Delta F_{ms} + \Delta F_{sm} + \Delta Delay_{txm} + \Delta Delay_{rxm}$$

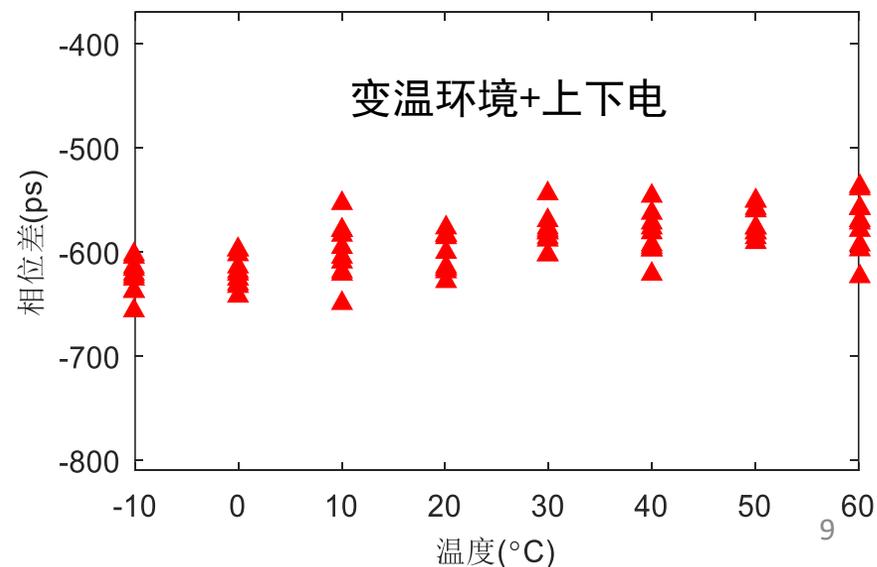
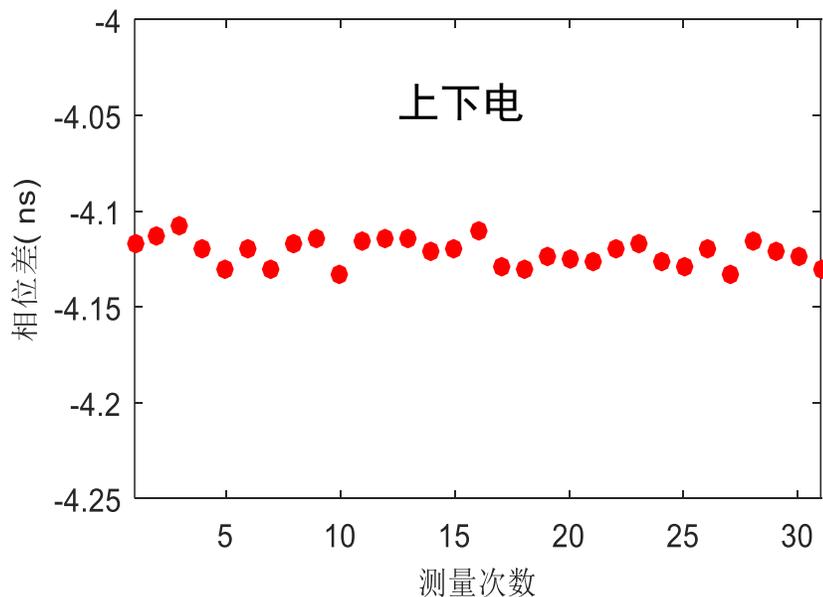
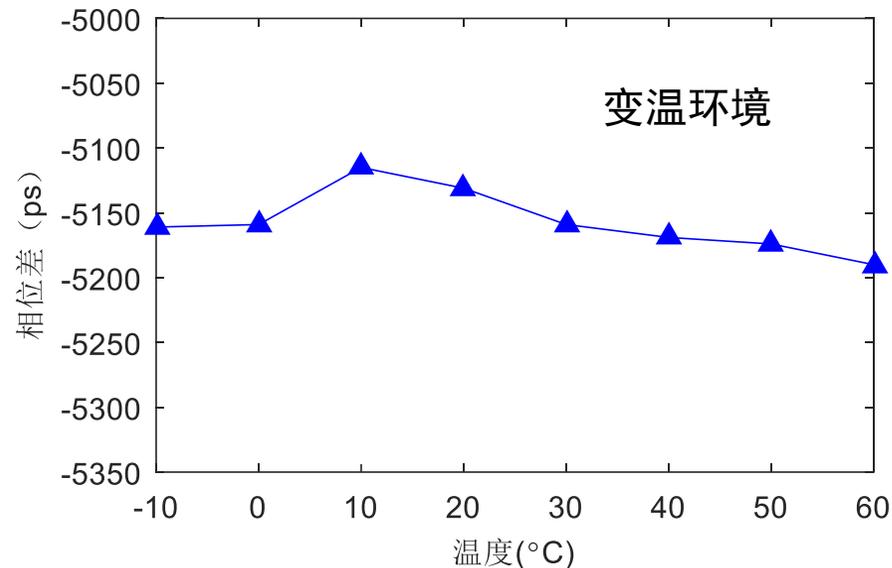
光纤上下行延时增量比例: $\beta_f = \Delta F_{sm} / \Delta F_{ms}$

电子学上下行延时增量比例: $\beta_e = \Delta Delay_{txs} / \Delta Delay_{rxs}$

LHAASO WDCA中的时钟电子学性能



- Period jitter 15 ps RMS
- 温度变化范围: $-10\sim 60^{\circ}\text{C}$
- 对系统进行上下电, 时钟同步精度好于 40 ps (peak to peak)
- 变温环境下, 时钟相位同步精度好于 100 ps (peak to peak)
- 二者同时作用时, 时钟同步精度好于 ± 70 ps (peak to peak)



• 深海、大湖环境宇宙线实验

SWGO、TRIDENT、HUNT...

- 可低成本实现更大规模的探测器阵列
- 利用水体实现本底信号的天然屏蔽
- 维护困难，对电子学可靠性要求高
- 电子学封装于密闭空间内影响散热
- 开放水体环境供电受限



推动电子学向ASIC方向发展



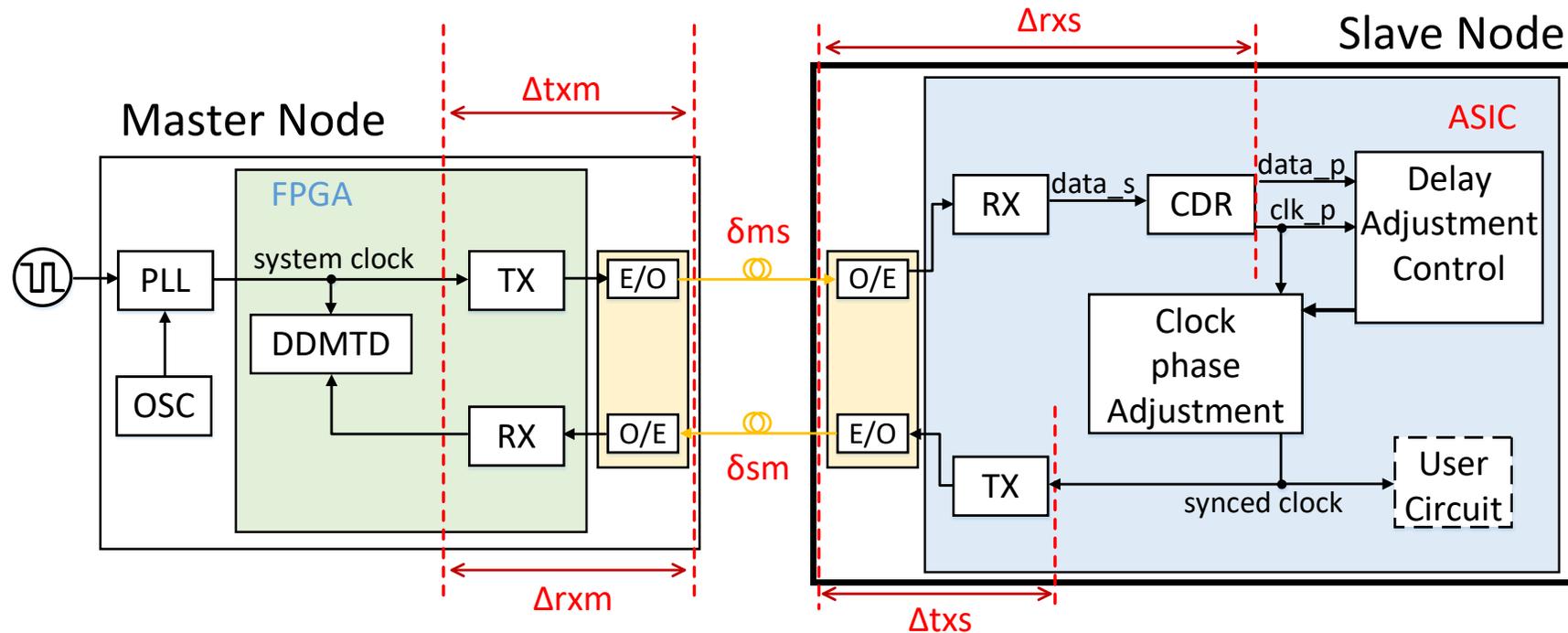


- 大型物理实验中的时间同步
- 延时调节ASIC设计
- 延时调节ASIC测试
- 总结



基于ASIC的时钟同步

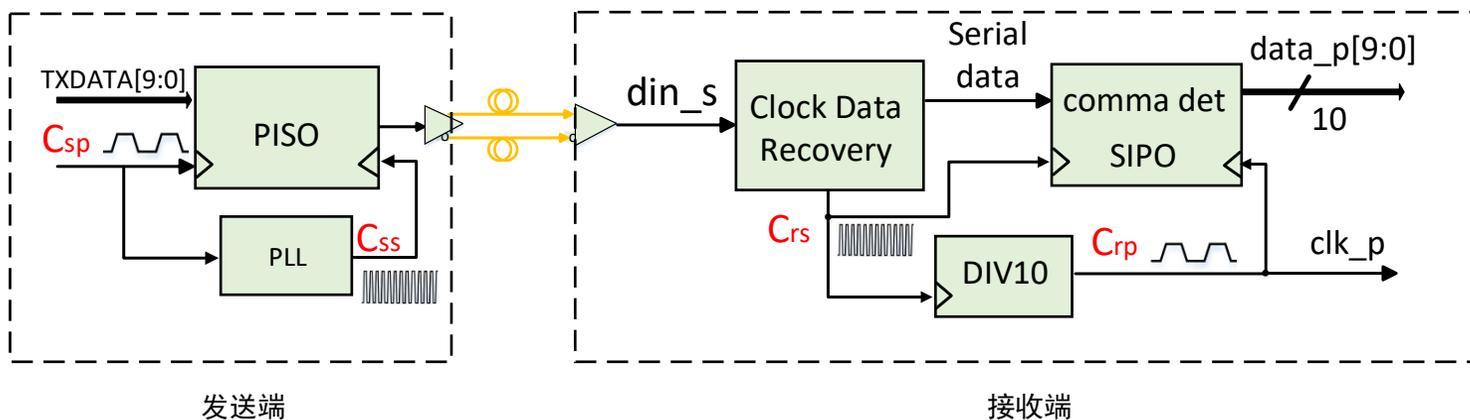
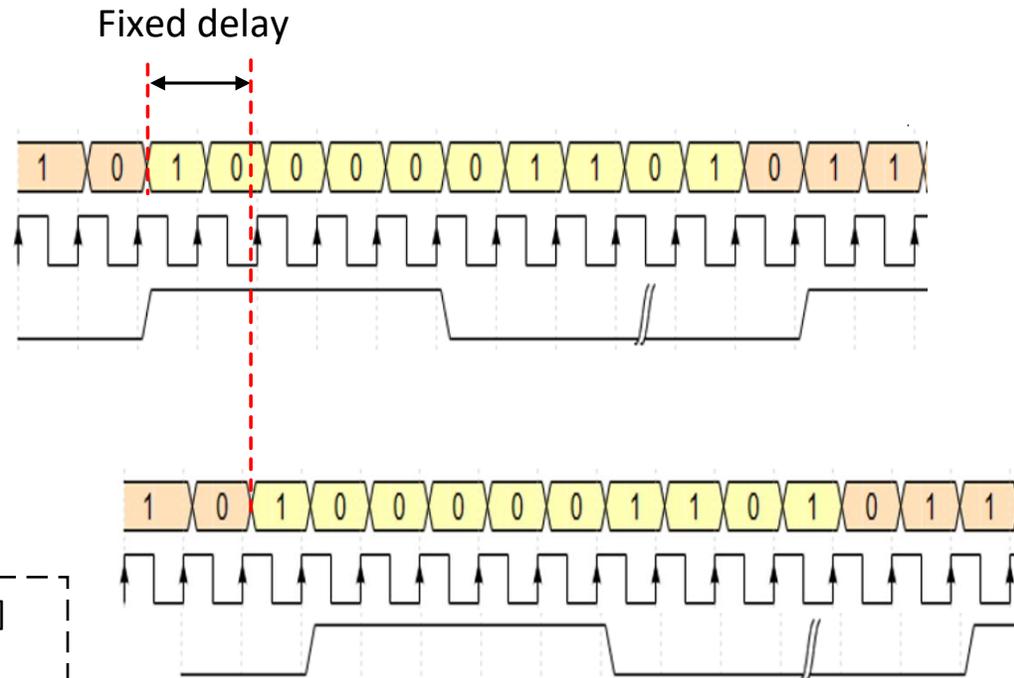
- 主节点基于FPGA实现，从节点基于ASIC实现
- 主节点FPGA：环路延时测量(DDMTD)、延时调节量计算
- 从节点ASIC设计关键点：
 - ✓ 收发电路延时固定，解决分频多相位问题
 - ✓ 延时电路：兼顾大动态范围与精细调节步长





时钟数据恢复电路

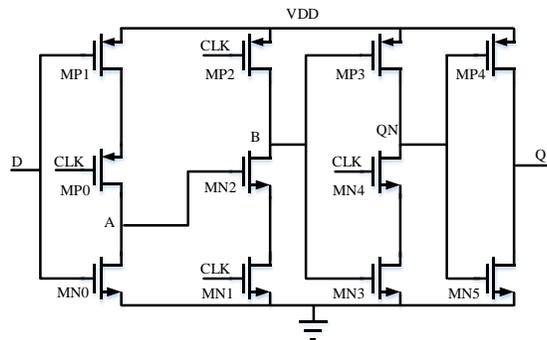
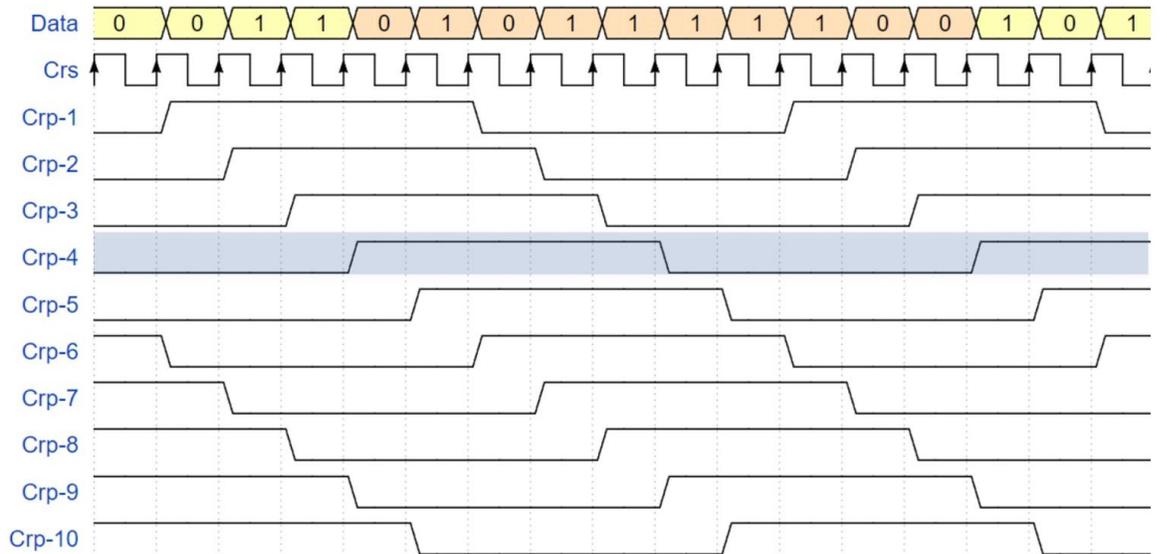
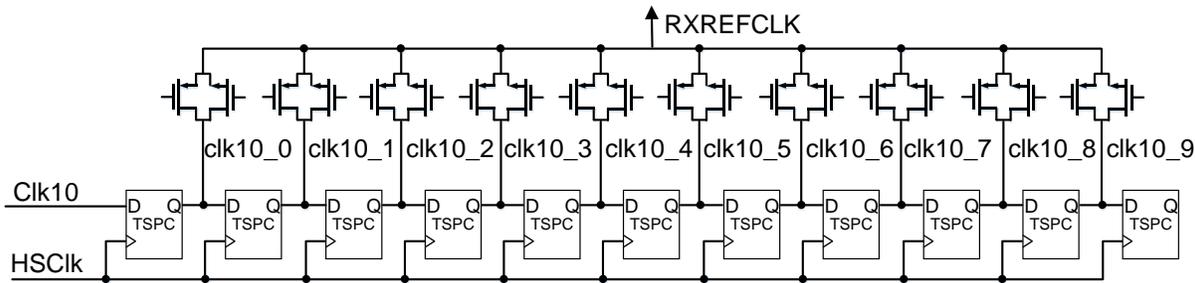
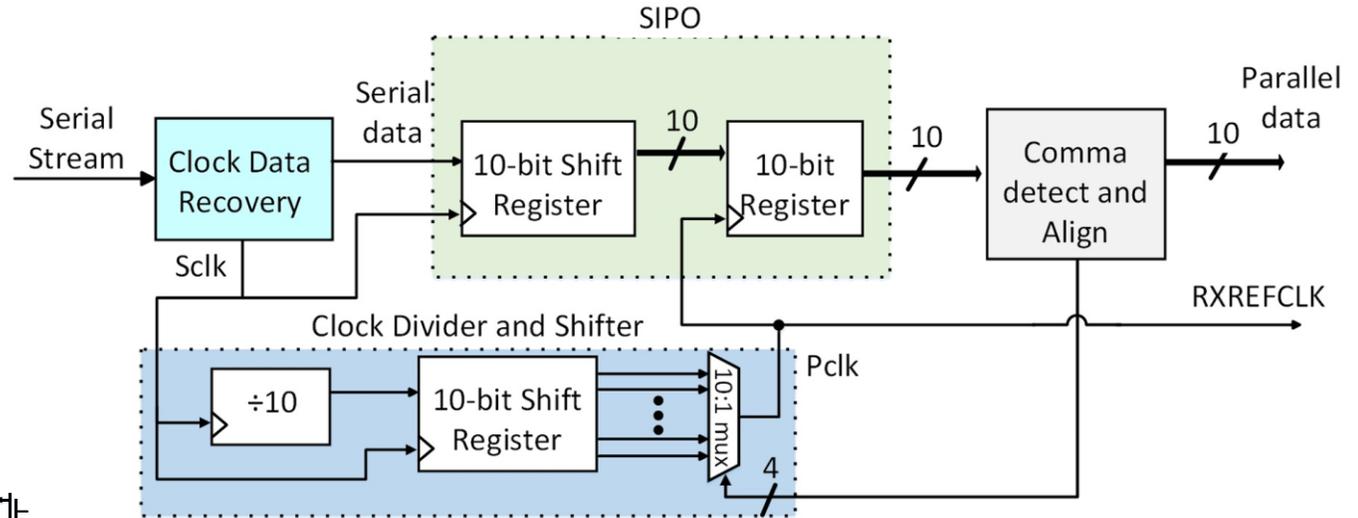
- 高速串行数据流中恢复串行时钟和串行数据
- 高速串行时钟分频产生并行时钟
 - 8b/10b编码, 10分频, 多相位问题
- 时钟数据对齐方案
 - 数据向并行时钟对齐, 延时不固定
 - 并行时钟向数据对齐, 延时固定





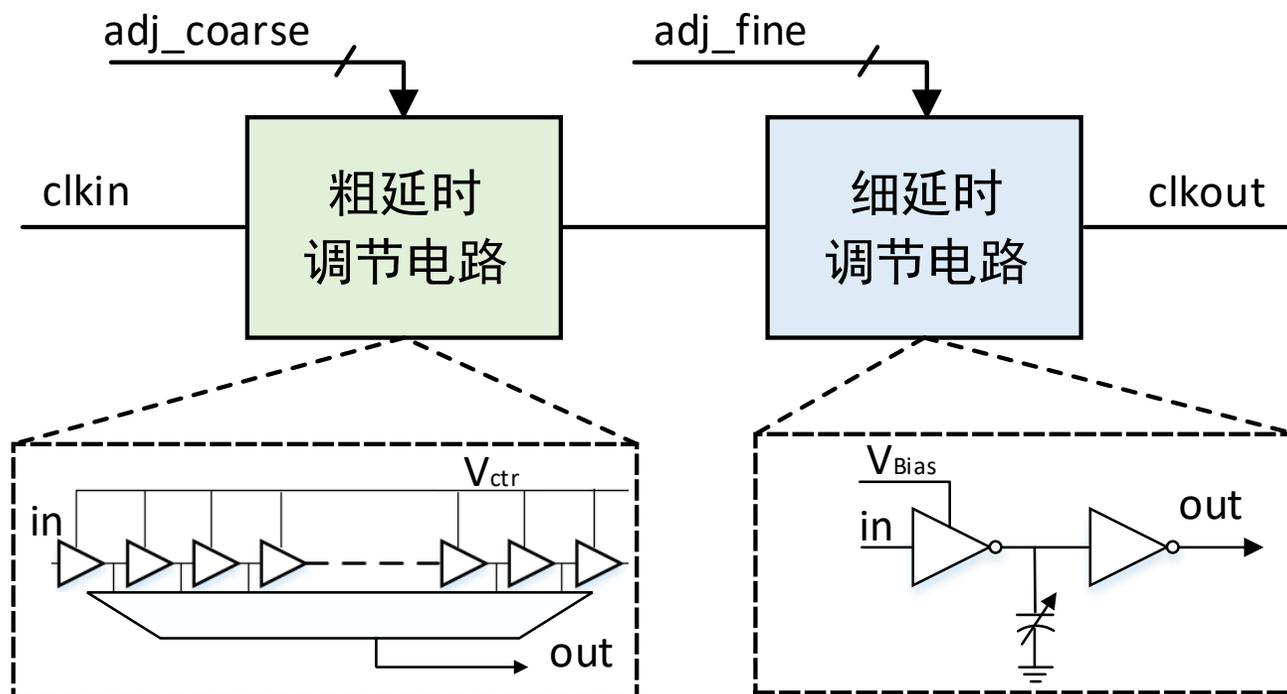
时钟数据恢复电路

- 生成所有相位的并行时钟
 - 10-bit 移位寄存器
- 根据Comma字符检测结果，自适应遍历多相位时钟
- 确定并行时钟相位，输出并行数据



TSPC型触发器

- 调节精度小于10 ps，调节范围覆盖1个时钟周期
 - 125 MHz时钟，8 ns调节范围
- 两级级联结构，同时保证高精度和大动态范围
 - 粗延时实现~100 ps步长
 - 细延时实现~10 ps步长

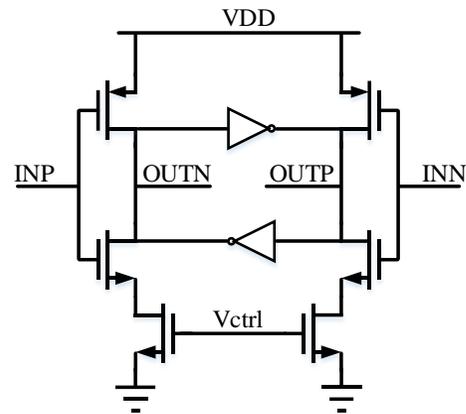


粗延时调节电路

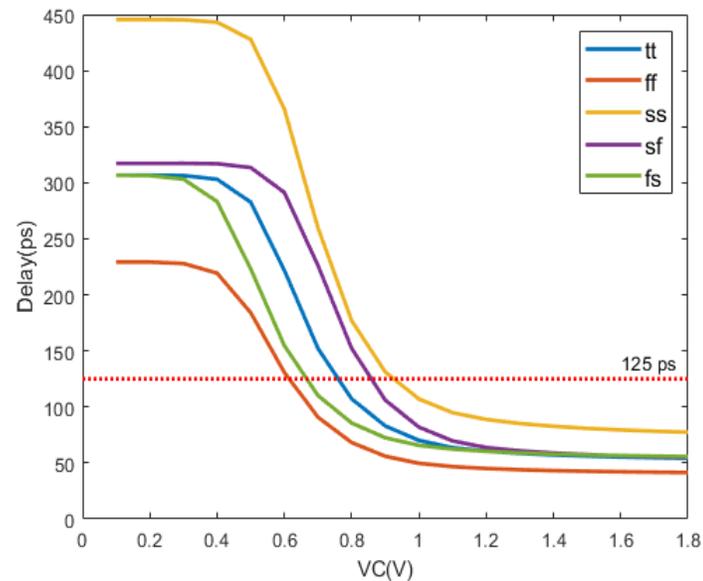
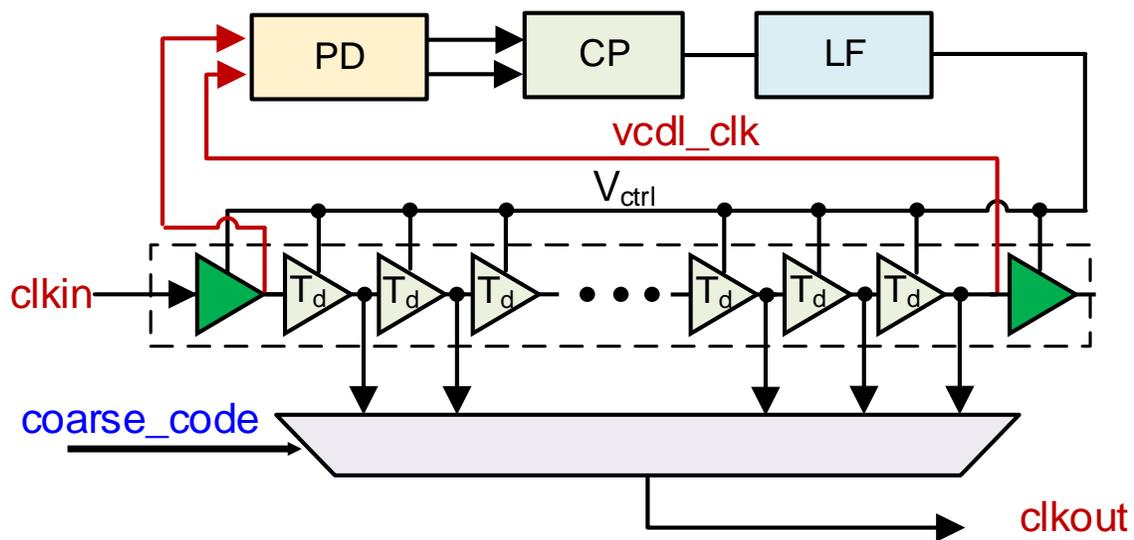


- 压控延时链
- 基本单元延时量选择
 - 单级延时过长，控制电压过低，易受电源噪声影响
 - 单级延时过短，延时链过长，输出非线性、抖动恶化

64级基本延时单元级联，单级延时量125 ps



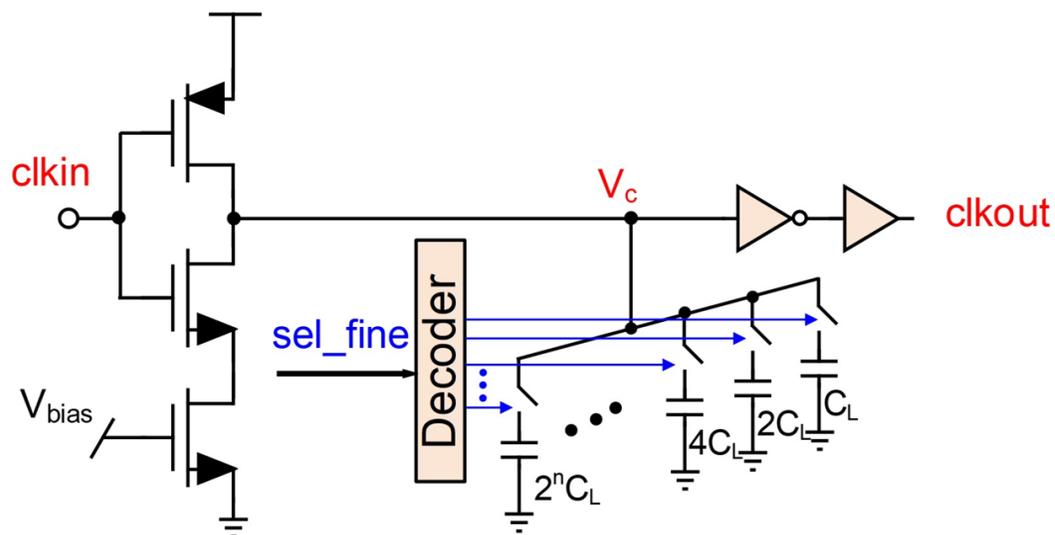
延时单元结构



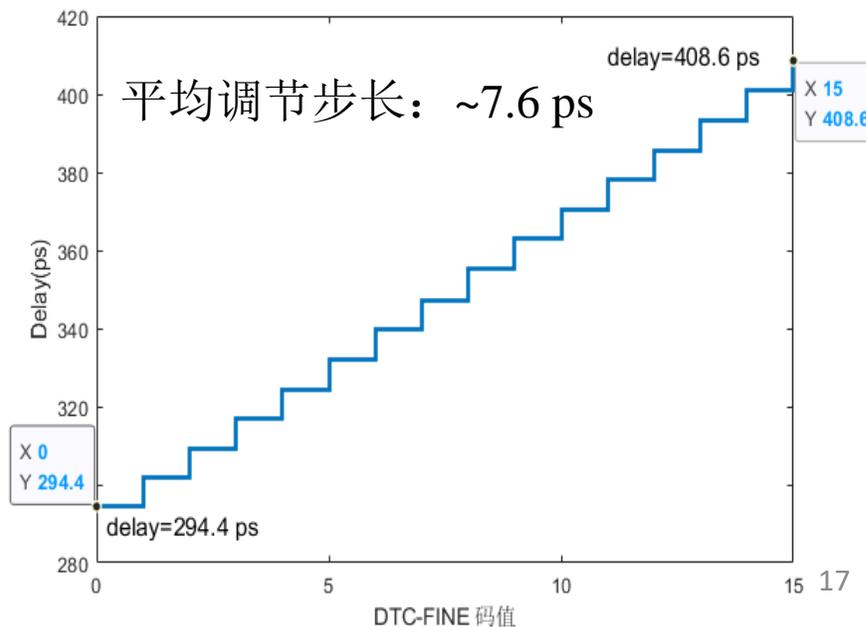
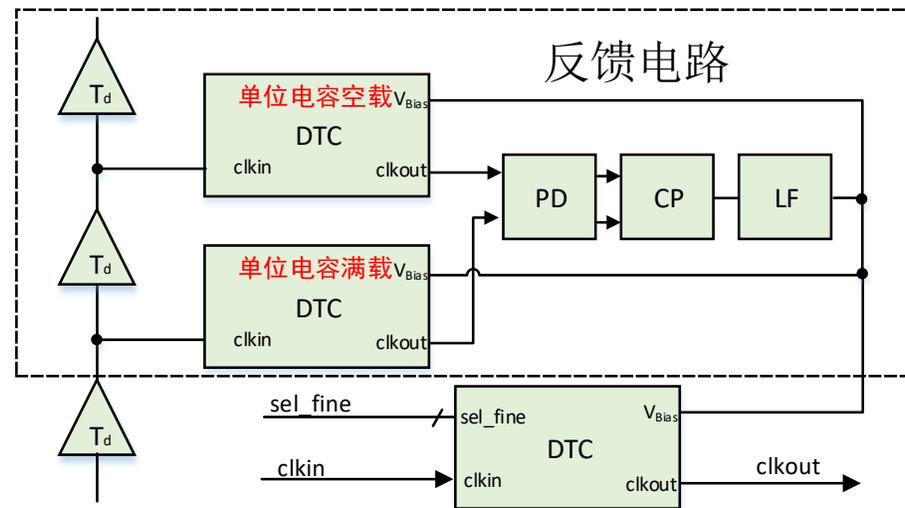
细延时调节电路



- 数字时间变换 (DTC: Digital-to-Time Convertor)
 - 延时由Vbias和挂载的电容大小决定
- 开环DTC延时易受PVT影响
- 负反馈结构控制DTC总延时

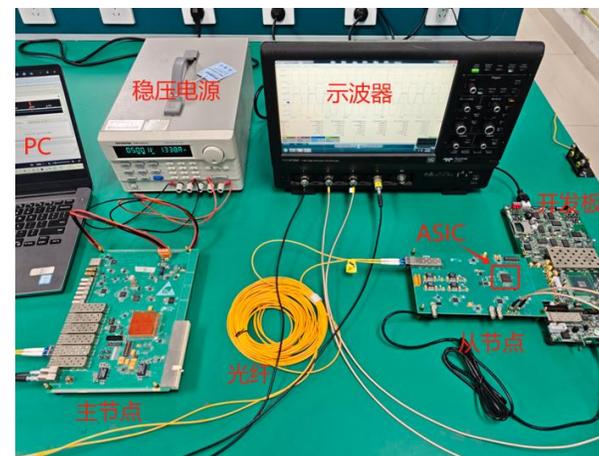
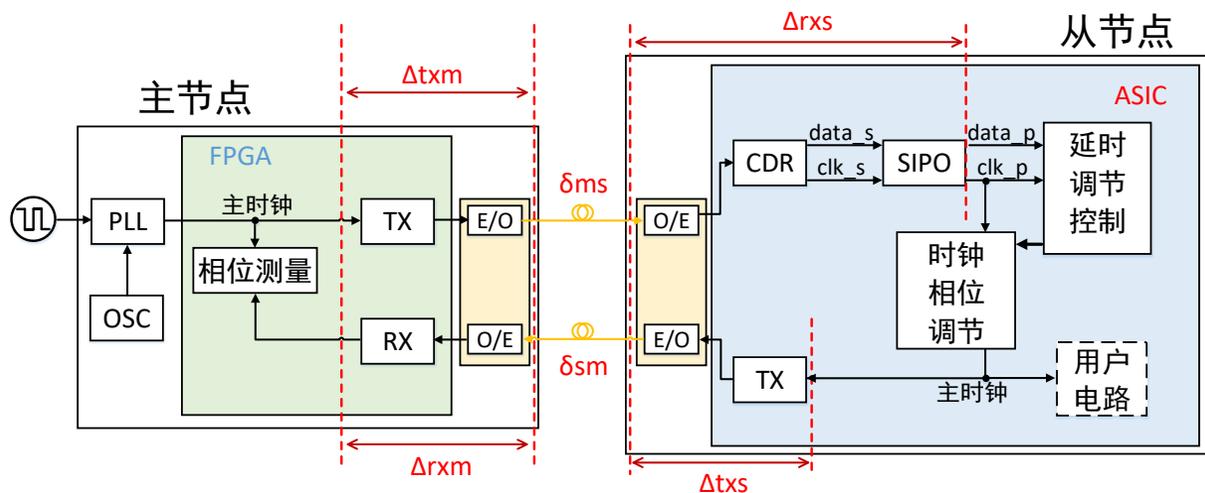


DTC电路结构





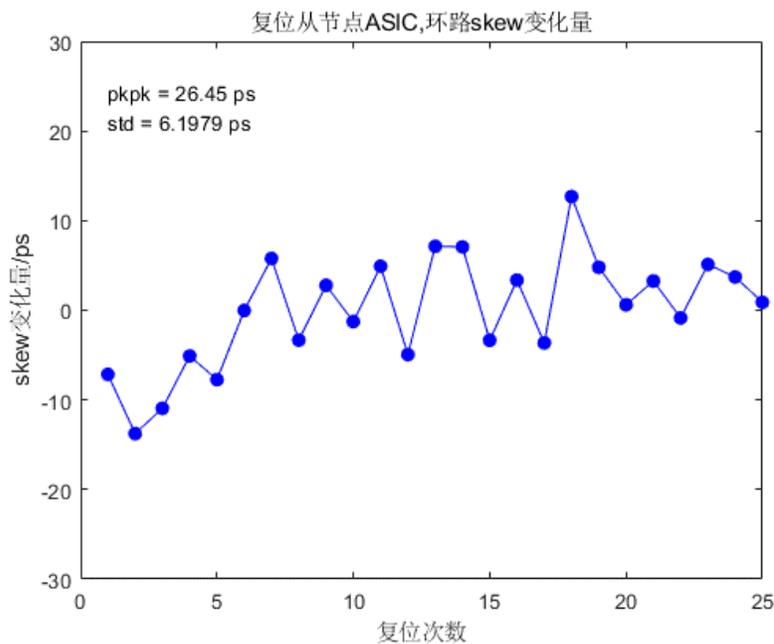
- 大型物理实验中的时间同步
- 延时调节ASIC设计
- 延时调节ASIC测试
- 总结



- FPGA GTH收发器延时固定 (~ 20 ps pk-pk)
 - 发送端: 基于FIFO半满检测机制完成数据跨时钟域
 - 接收端: 在物理媒介适配层(PMA)端, 通过RXSLIDE信号控制字节边界对齐
- 高精度时钟相位差测量 (~ 1 ps RMS)
 - 数字双混频时差鉴相器(DDMTD)
 - 多次测量取平均, 抑制毛刺影响

ASIC收发器延时固定测试

- 多次复位ASIC，观察环路延时变化
- ASIC收发电路延时不确定好于30 ps(pk-pk)

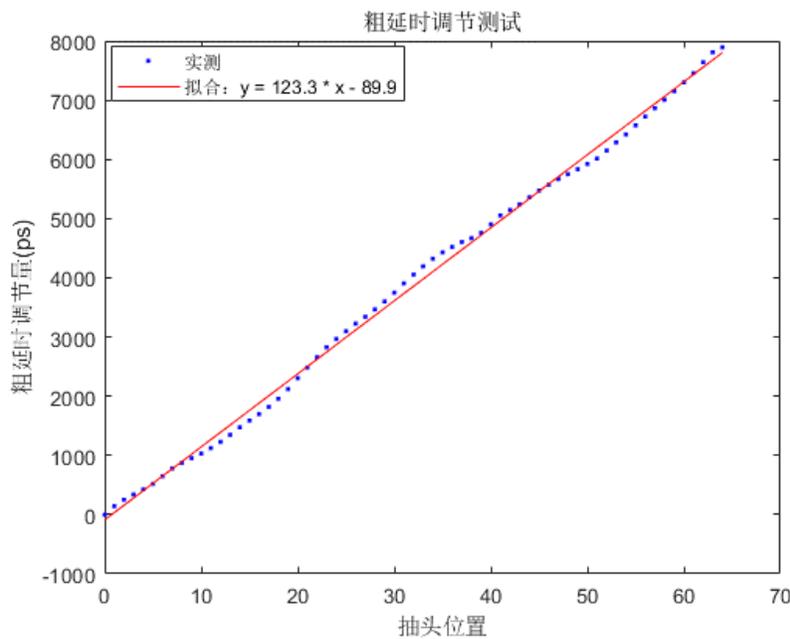


延时确定度测试

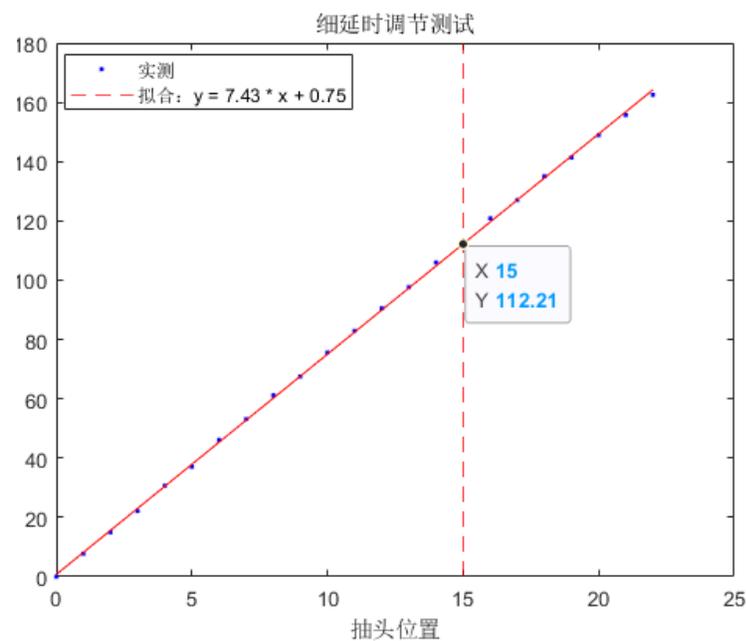
2025/7/16

ASIC延时调节测试

- 延时调节范围覆盖 8 ns
- 延时调节步长约 7.4 ps

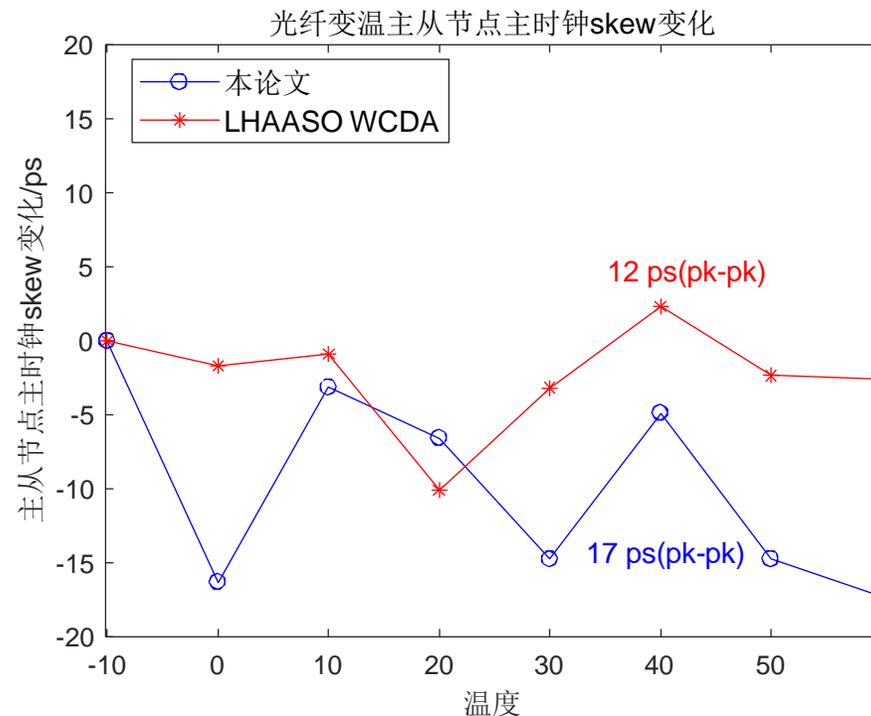
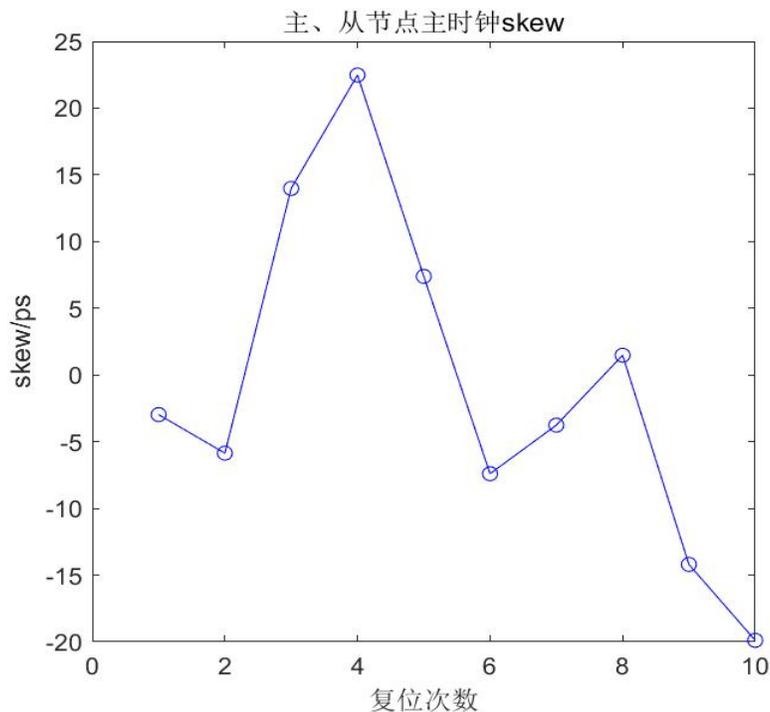


粗延时调节



细延时调节

- 主节点基于FPGA实现
- 2 km单模光纤
- 多次复位主、从节点, 时钟同步稳定度好于45 ps(pk-pk)
- $-10^{\circ}\text{C}\sim 60^{\circ}\text{C}$ 变温范围内, 同步精度好于17 ps (pk-pk)



- 高精度时钟同步是实现精密关联测量和同步控制的基础
- 基于可靠性、集成度、低功耗考虑，基于ASIC实现时钟同步
- 关键电路结构
 - 固定延时的接收器电路
 - ✓ 自适应相位遍历实现时钟与数据对齐
 - 大范围精密延时调节电路
 - ✓ 粗调节电路(DLL): 扩大调节范围, 8ns
 - ✓ 细调节电路(DTC): 精细调节步长, <10 ps
- 基于该ASIC的时钟同步验证系统，在多次复位条件下，同步稳定度好于45 ps(pk-pk); 在-10°C~35°C光纤变温范围内，同步稳定度好于17 ps(pk-pk)



谢谢！