



西安电子科技大学
XIDIAN UNIVERSITY

高速高精度ADC架构和电路

李登全 朱樟明

西安电子科技大学

模拟集成电路与系统教育部重点实验室



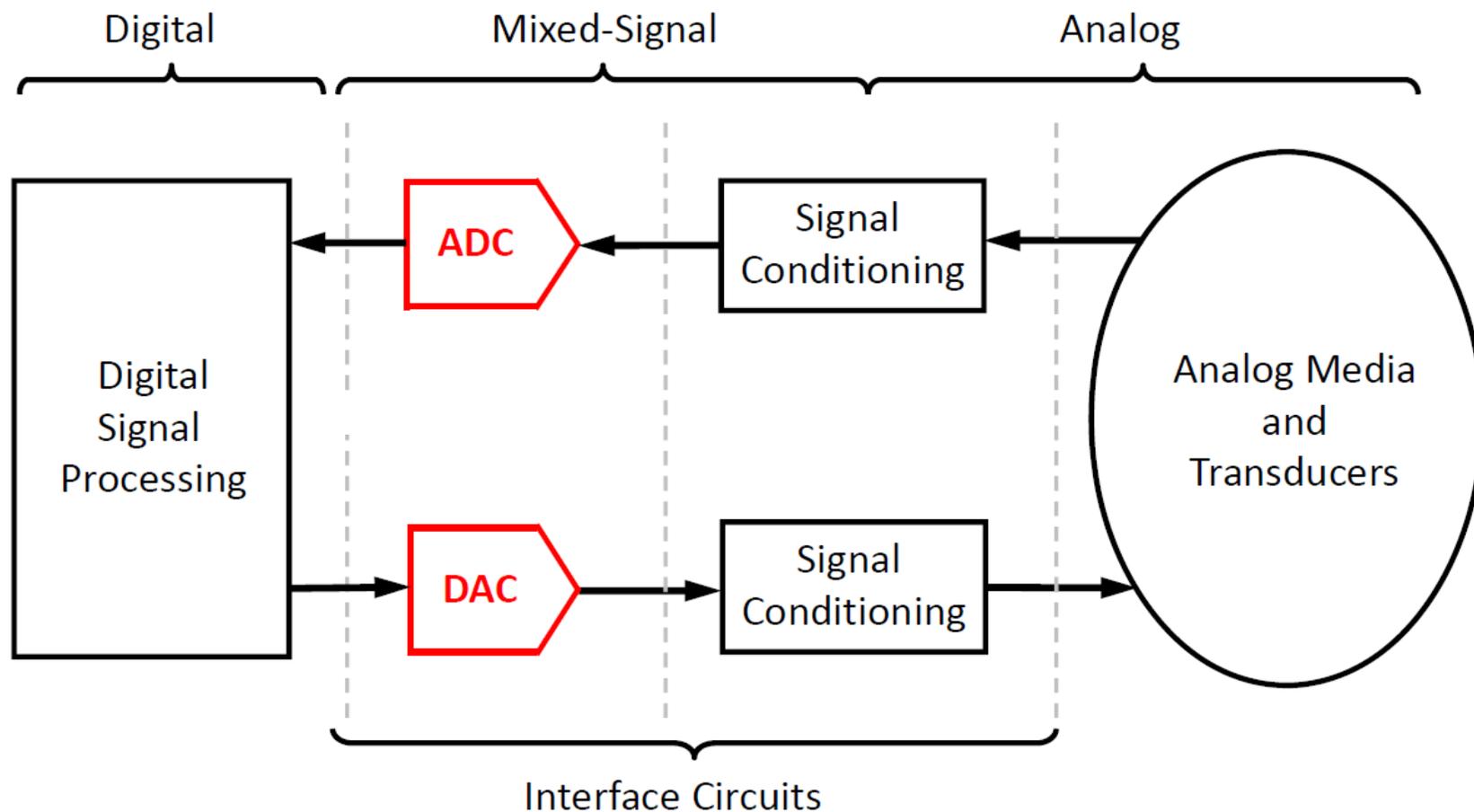
提纲

- **高速高精度ADC背景及发展现状**
- 高速高精度ADC主流架构及技术
- 新型混合架构高速高精度ADC
- 数字校准技术
- 技术展望



ADC发展背景

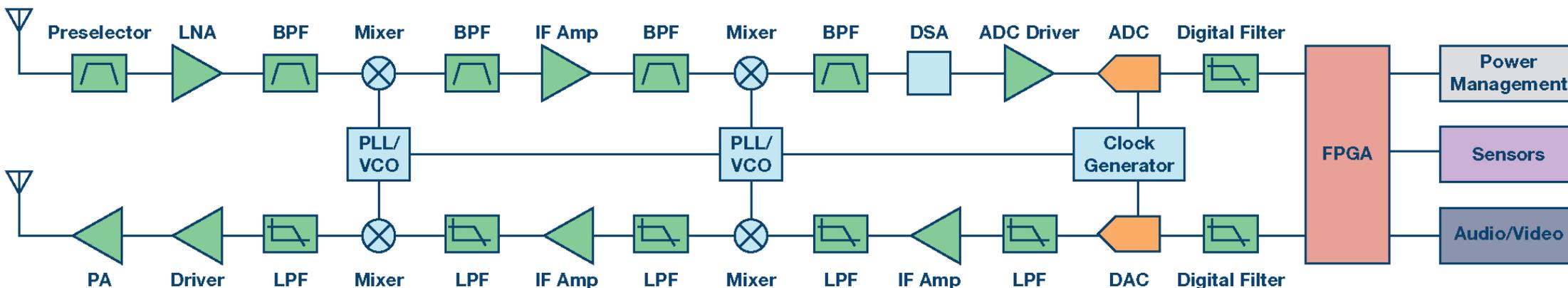
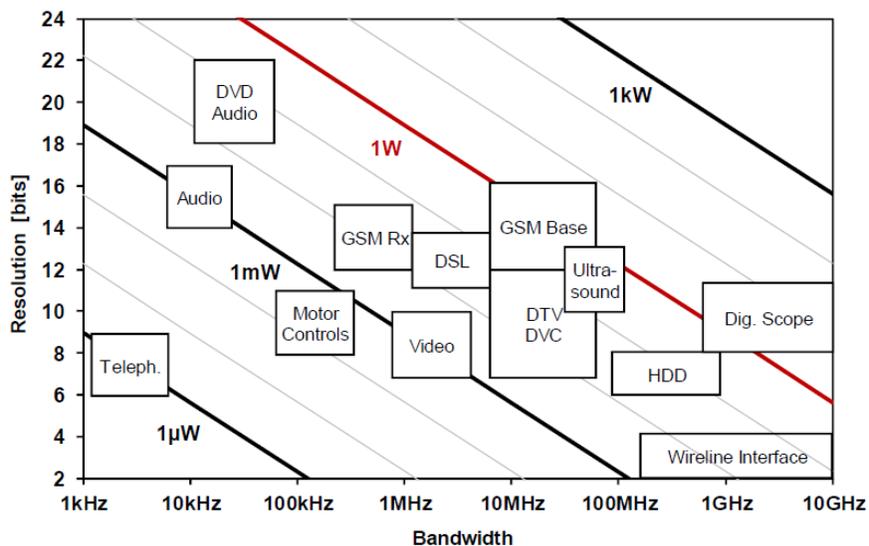
- ADC是最复杂的混合信号集成电路，是自然信号和数字系统之间的桥梁，决定电子信息系统性能，必不可少





高速高精度ADC应用广泛

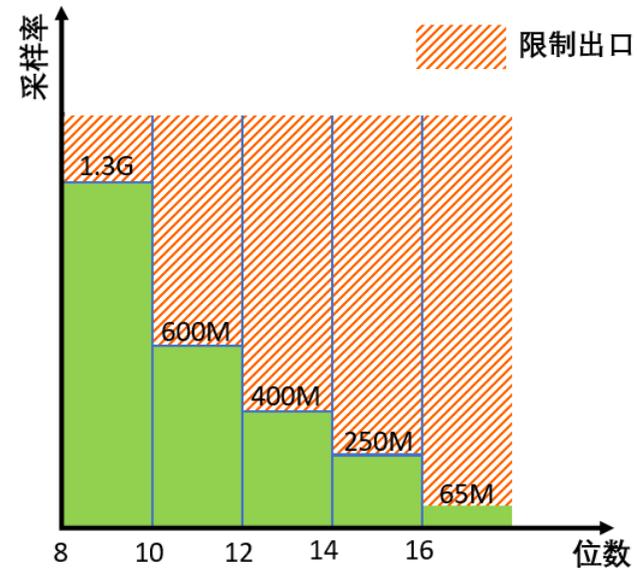
□ 高速高精度ADC在无线和有线通讯、雷达、仪器仪表中应用广泛且重要



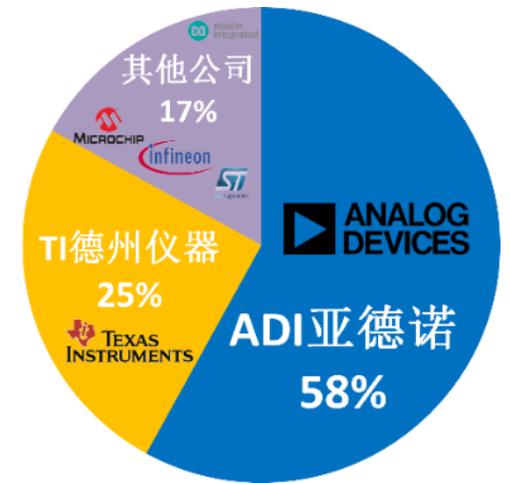


高速高精度ADC研发需求迫切

- 2024年，全球ADC芯片市场规模300亿美元
- 我国ADC芯片需求大，但严重依赖进口
- 高性能ADC研发难度大，研发周期长，核心技术被欧美垄断
- 欧美对高性能ADC有严苛的出口管制条例



瓦森纳协议ADC指标

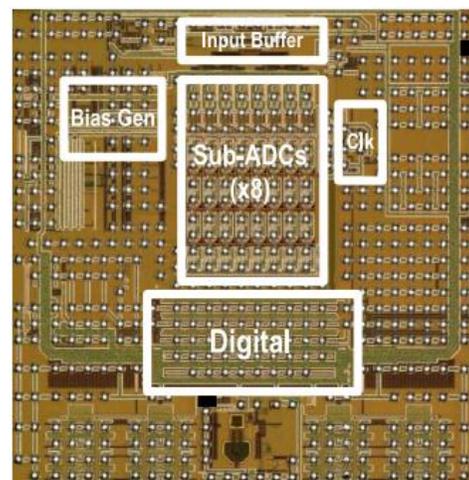
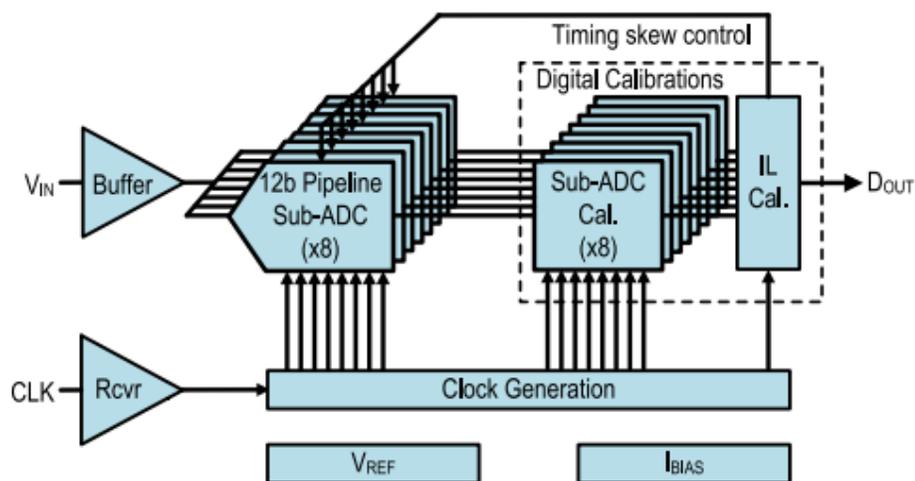


全球ADC份额



ADI: 12b 10GS/s RF ADC

- ❑ 多通道时域交织流水线ADC结构，子ADC为12位1.25GS/s
- ❑ 片上集成PLL、JESD204B接口等
- ❑ 28nm CMOS, BW=6.5GHz
- ❑ 4.6W@10GS/s, SFDR=60dB, SNDR=49.4dB@ f_{in} =4GHz

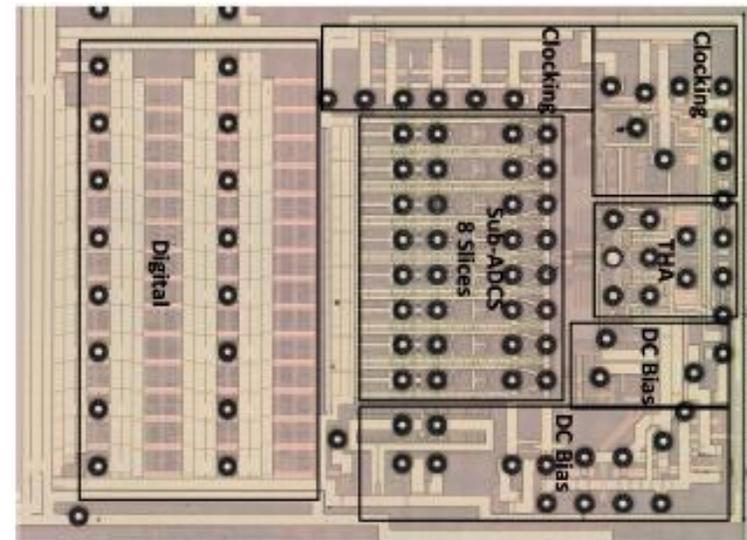
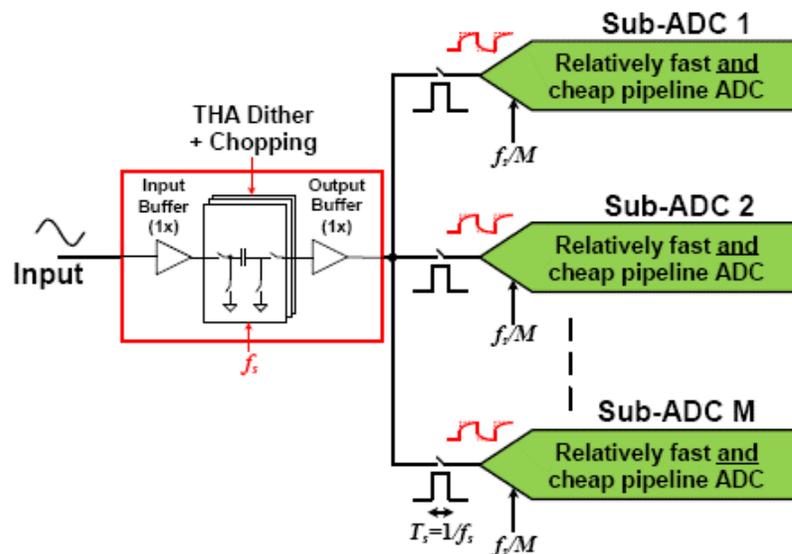


A 12 b 10 GS/s Interleaved Pipeline ADC in 28 nm CMOS Technology, ISSCC 2017



ADI: 12b 18-20GS/s RF ADC

- 多通道时域交织流水线ADC架构，子ADC为12b 2.5GS/s
- 16nm FinFET 工艺, 12b 18-20GS/s, BW=18GHz
- 采保斩波采样开关+两级缓冲器架构，低功耗开环运放，数字校准
- 1.3W@18GS/s, SFDR=54dB, SNDR =48dB@Fin=8GHz

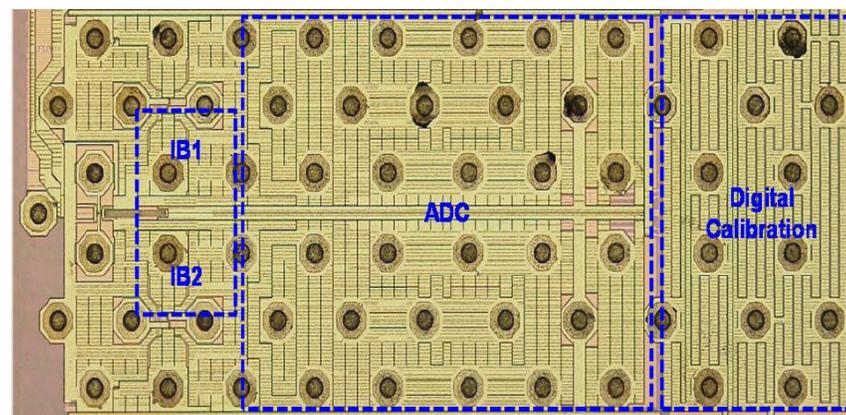
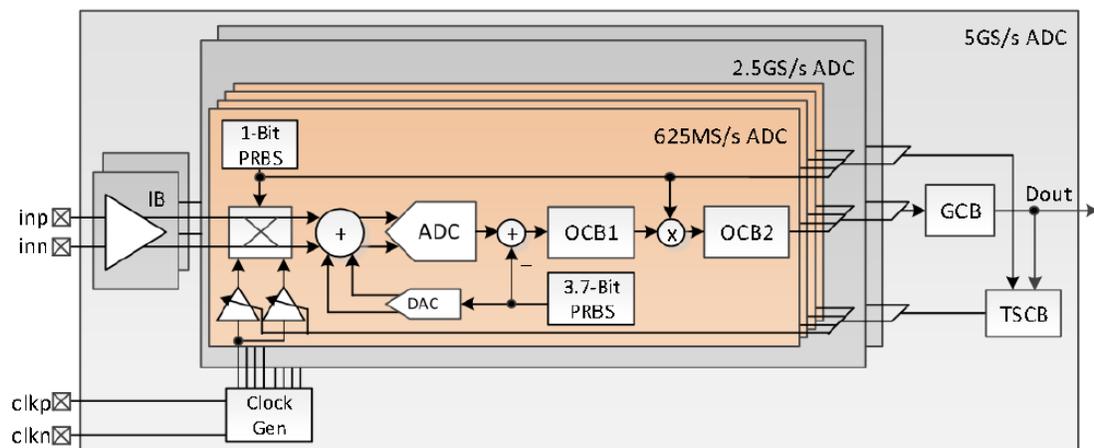


A 12b 18GS/s RF Sampling ADC with an Integrated Wideband Track-and-Hold Amplifier and Background Calibration, ISSCC 2020



Xilinx: 13b 5GS/s TI-SAR ADC

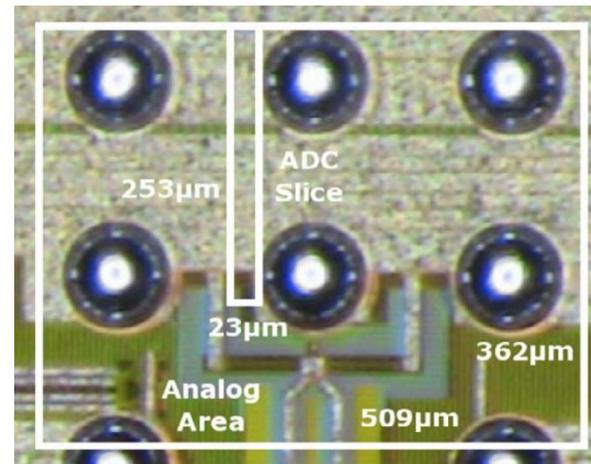
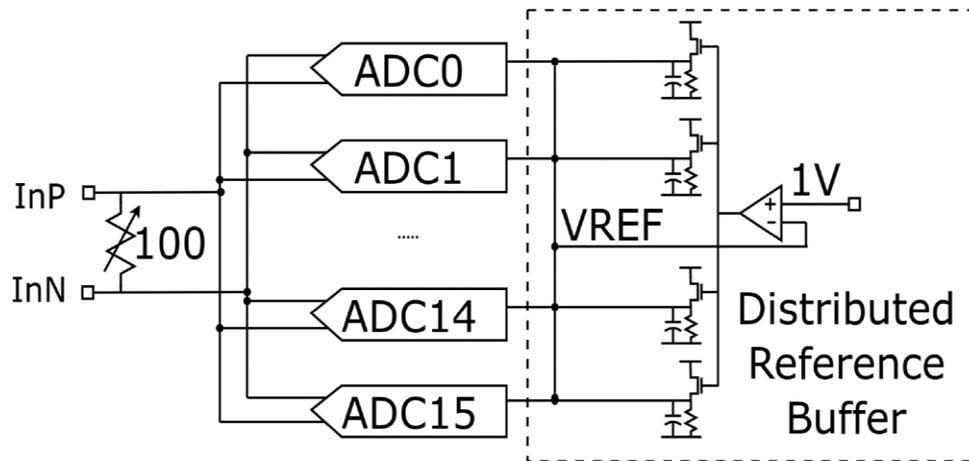
- ❑ 电流反馈型输入缓冲器
- ❑ 子ADC采用三级流水线-SAR (625MS/s)
- ❑ Dithering+Chopping 通道失配校准, 16nm FinFET 工艺
- ❑ **0.64W@5GS/s, SFDR=62dB/SNDR =57dB(2.4GHz@5GS/s)**





Keysight: 11b 8GS/s TI-SAR ADC

- ❑ 16-Way无前端采样结构
- ❑ 子ADC采用中速 (500MS/s) 低功耗同步SAR
- ❑ 低功耗参考电压源, 28nm FDSOI 工艺
- ❑ 0.3W@8GS/s, SFDR=60dB/SNDR =49dB(3.8GHz@8GS/s)

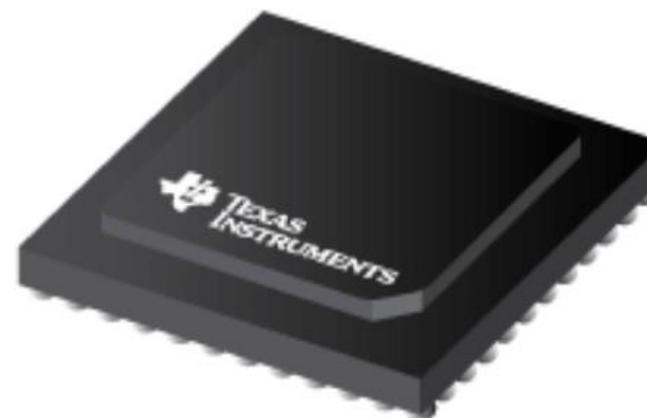
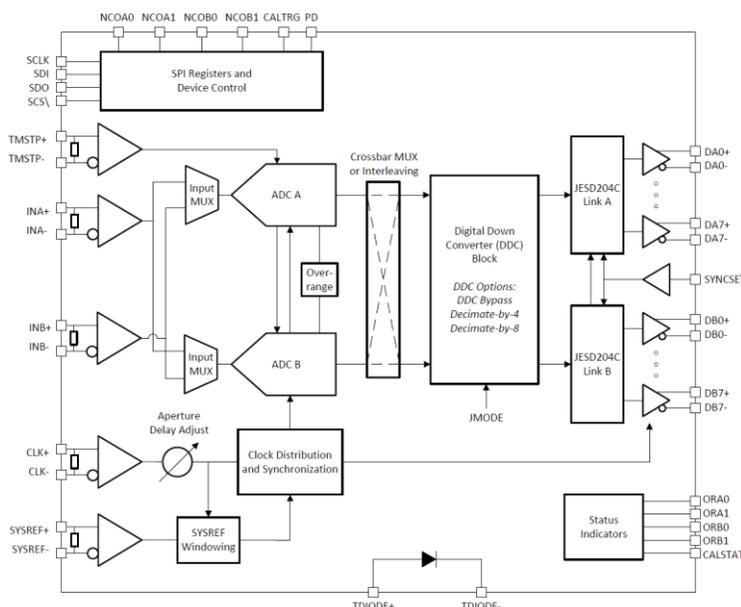


An 8GS/s Time-Interleaved SAR ADC with Unresolved Decision Detection Achieving -58dBFS Noise and 4GHz Bandwidth in 28nm CMOS, ISSCC 2017, Keysight



TI: ADC12DJ5200RF(12b 10.4GS/s)

- ❑ 6通道时域交织结构, 12-b 10.4-GS/s ADC
- ❑ JESD204B/ JESD204C接口
- ❑ 片上数字前台+后台校准, 28nm CMOS工艺 (2019年)
- ❑ 4W@10.4GS/s, SFDR=78dB, SNDR=56dB, BW=8GHz





我国主要研究单位

□ 学术界： 西电、清华、成电、同济、微电子所、澳大



□ 工业界： 华为、中兴、中电科24所、航天772所、CEC成都华微、中电科14所、中电科58所、普源精电、航天民芯、CEC上海贝岭、苏州讯芯



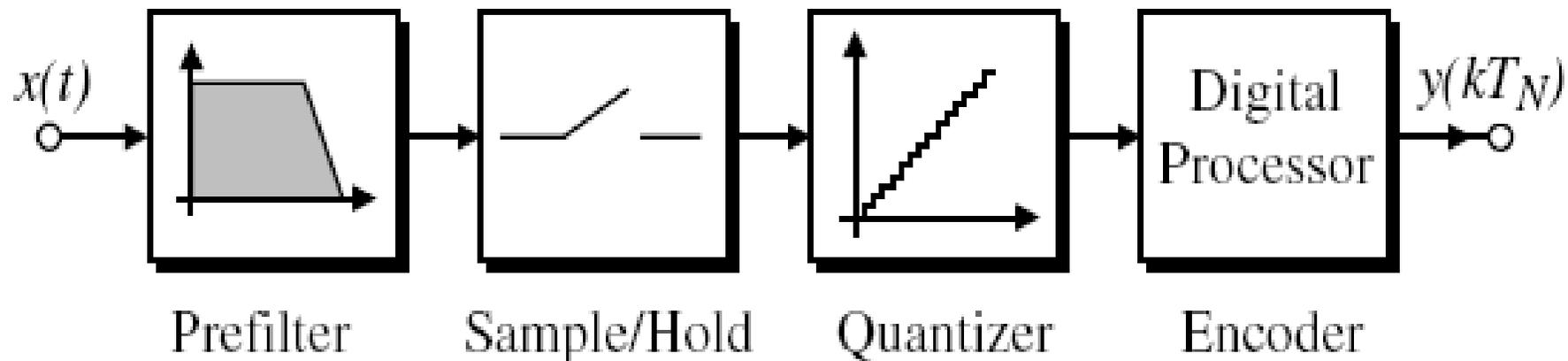


提纲

- 高速高精度ADC背景及发展现状
- **高速高精度ADC主流架构及技术**
- 新型混合架构高速高精度ADC
- 数字校准技术
- 技术展望



ADC基本构成



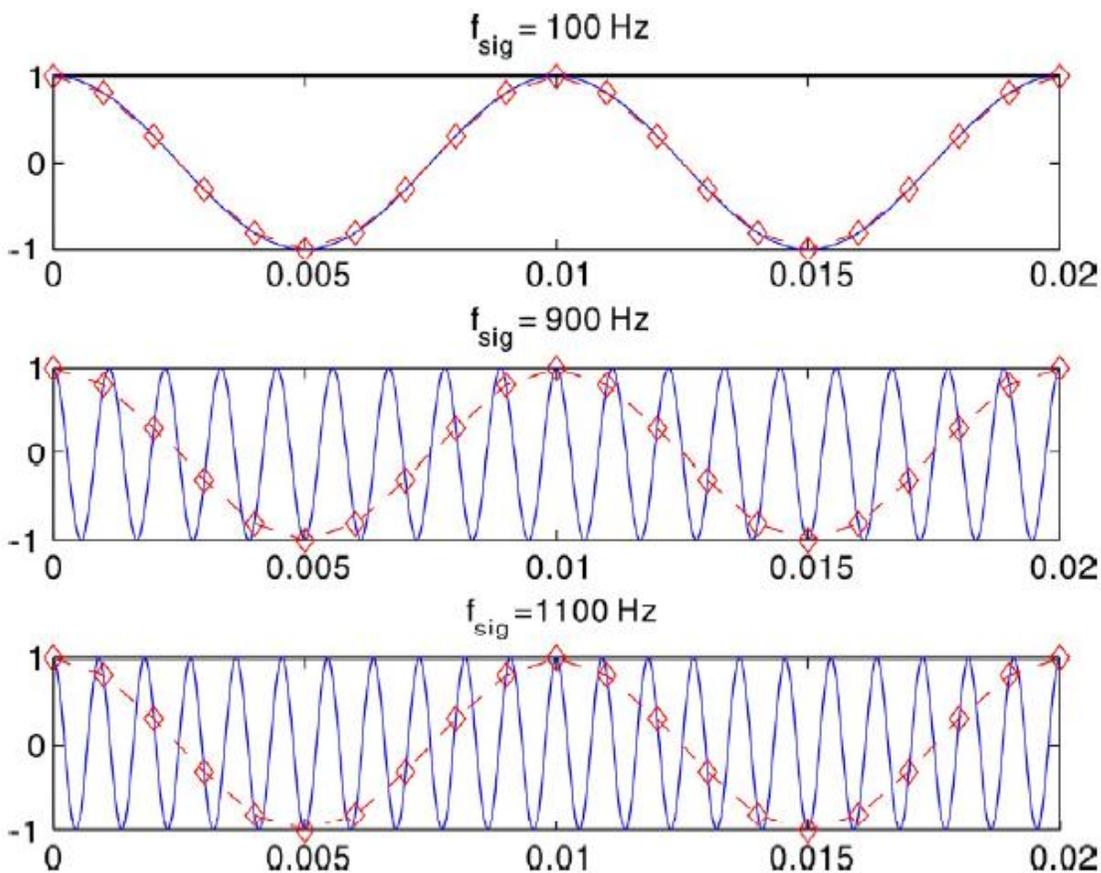
ADC核心组成

- 抗混叠滤波器
- 采样保持电路
- 量化器 (决定了不同ADC类型)
- 其他模块 (输入缓冲器、参考电压缓冲器、时钟、接口等)



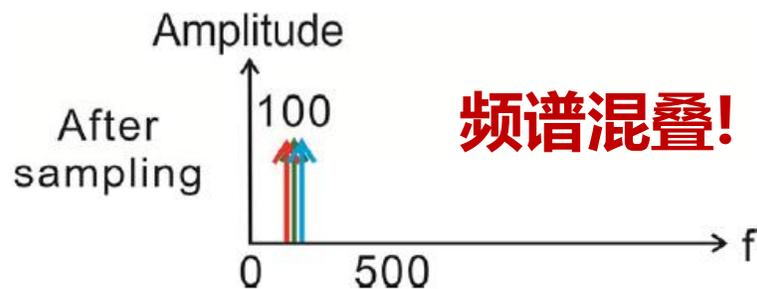
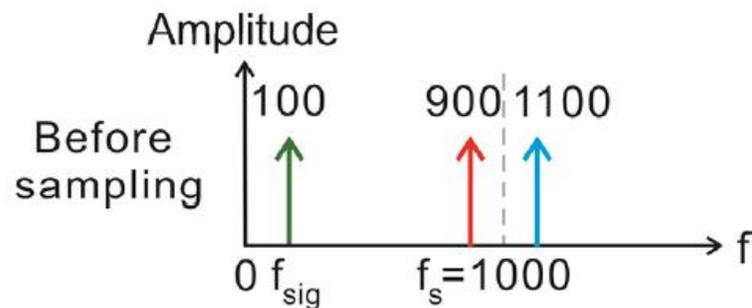
ADC基本构成：频谱混叠

采样定理： $f_s > 2f_{in}$ ，否则出现混叠



时域采样点

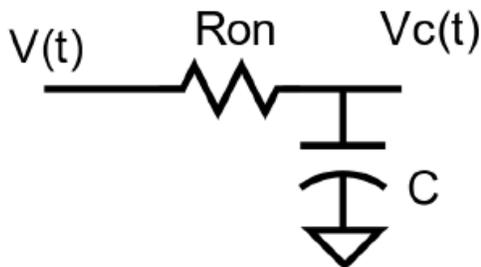
- $f_s = 1000 \text{ Hz}$
- $V_{in} = \cos(2\pi f_{sig} t)$
 $V_d = \cos[2\pi(f_{sig} n T_s)]$
 $= \cos[2\pi(f_{sig}/f_s)n]$



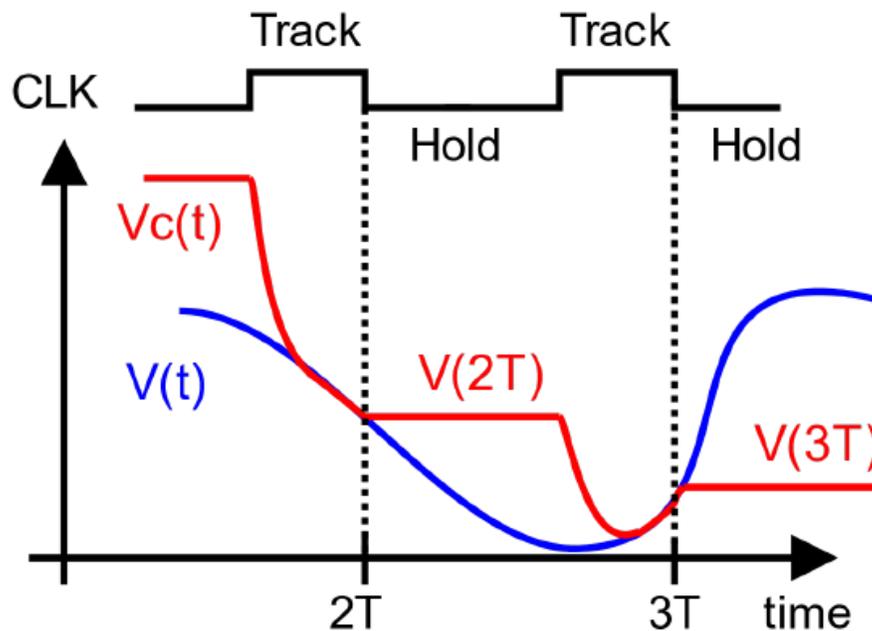
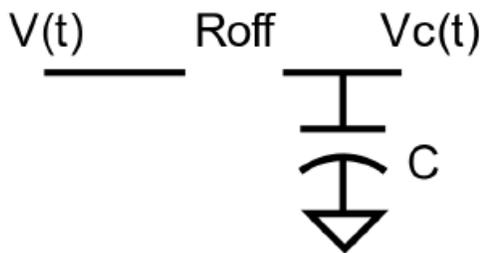


ADC基本构成：采样保持

● 采样：



● 保持：



采样保持波形

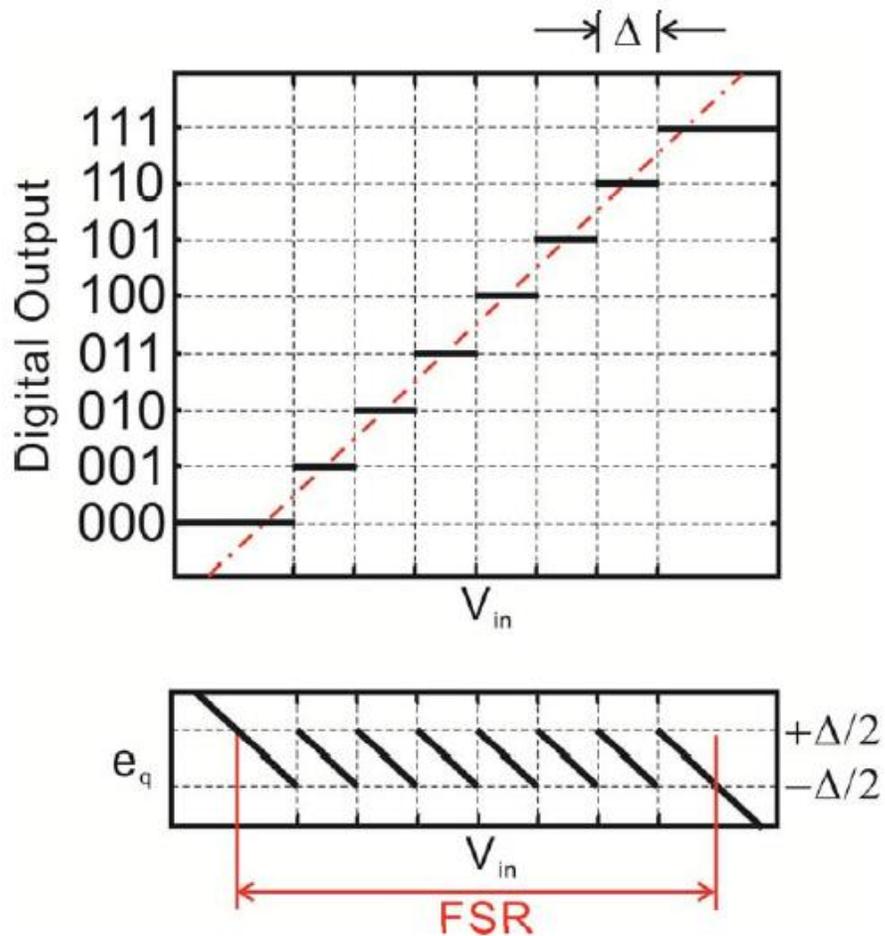
理想采样保持模型：

时域：
$$x_d(t) = x(t) \cdot \sum_{n=-\infty}^{\infty} \delta(t - nT_s)$$

频域：
$$X_d(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s)$$



ADC基本构成：量化曲线



传输曲线与量化误差

Mean

$$\mu = \int_{-\Delta/2}^{\Delta/2} \frac{e_q}{\Delta} de_q = 0$$

Variance

$$\sigma^2 = \int_{-\Delta/2}^{\Delta/2} \frac{e_q^2}{\Delta} de_q = \frac{\Delta^2}{12}$$

量化误差计算



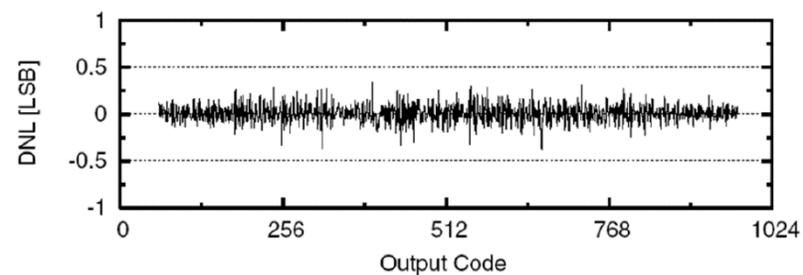
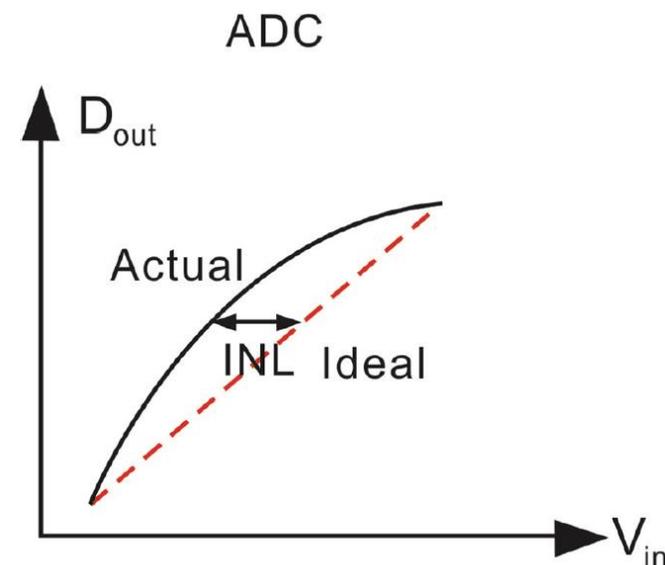
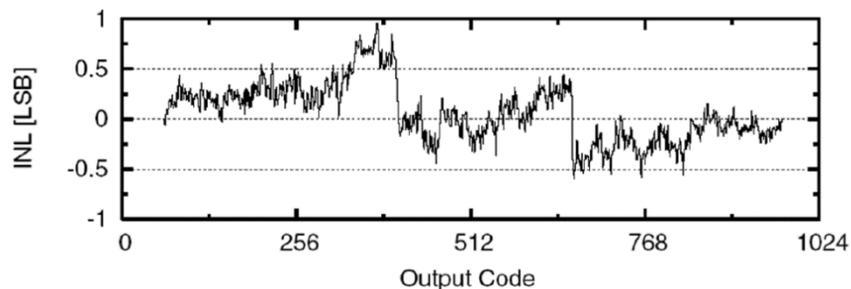
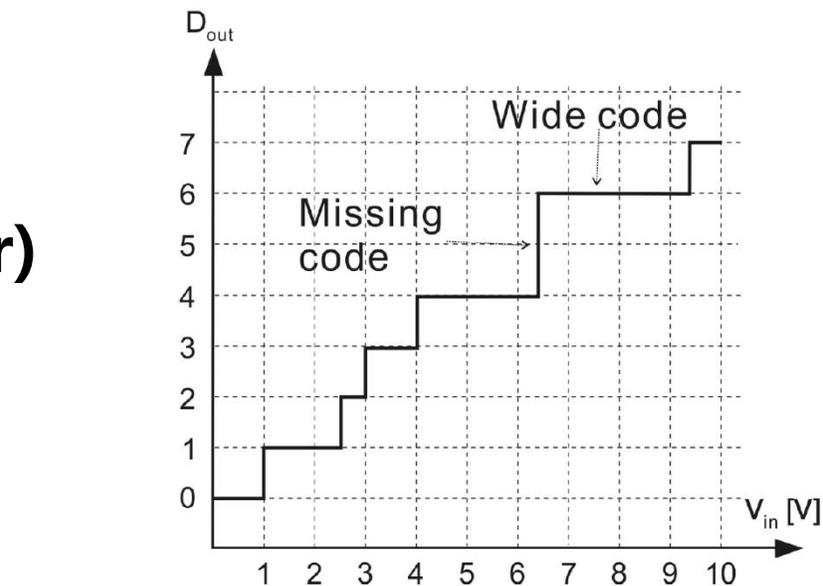
ADC静态特性

ADC静态特性指标:

- 失调误差(Offset error)
- 增益误差(Gain error)
- INL(积分非线性)
- DNL(微分非线性)

$$DNL[k] = \frac{W[k] - W_{avg}}{W_{avg}}$$

$$INL(k) = \sum_{i=1}^{k-1} DNL(i)$$



ADC静态特性测试图



ADC动态特性

ADC动态特性指标:

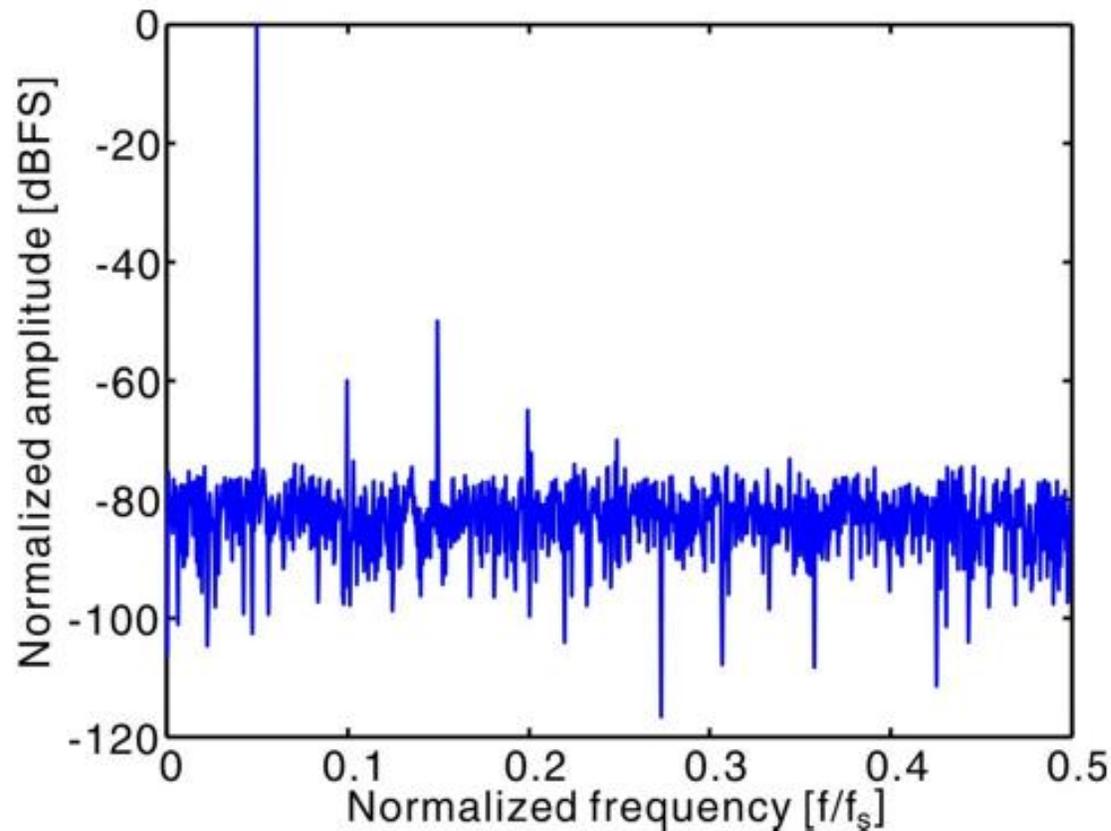
- 信噪比(SNR)
- 信噪失真比(SNDR)
- 有效位数(ENOB)
- 无杂散动态范围(SFDR)

$$\text{SNR} = \frac{\text{Signal Power}}{\text{Total Noise Power}}$$

$$\text{SNDR} = \frac{\text{Signal Power}}{\text{Noise and Distortion Power}}$$

$$\text{ENOB} = \frac{\text{SNDR (dB)} - 1.76}{6.02} < B$$

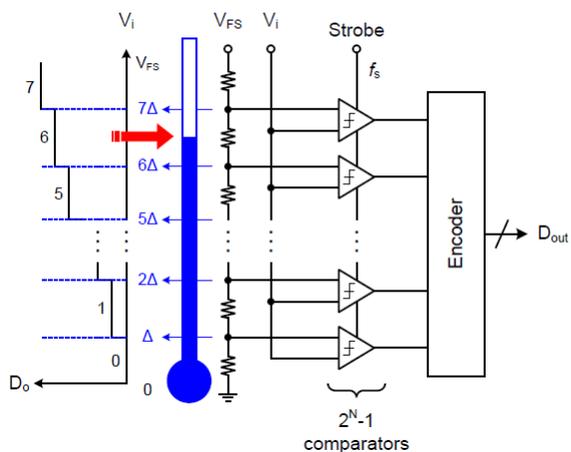
$$\text{SFDR} = \frac{\text{Signal Power}}{\text{Largest Spurious Power}}$$



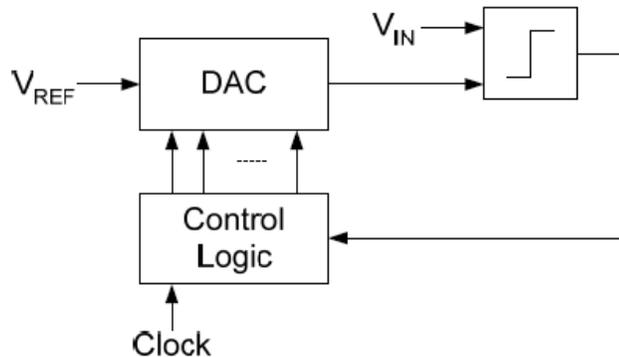


高速高精度ADC架构

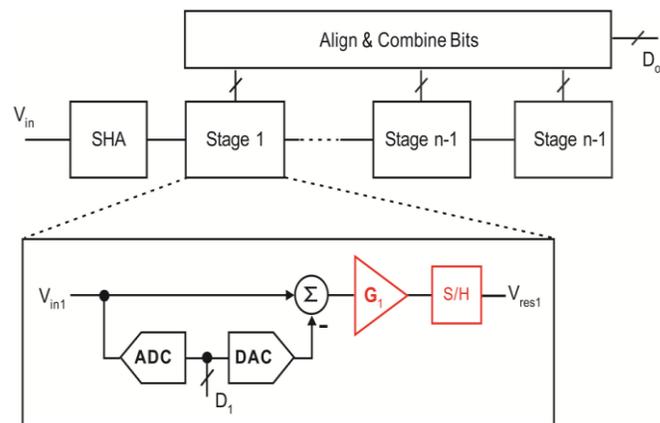
Flash ADC



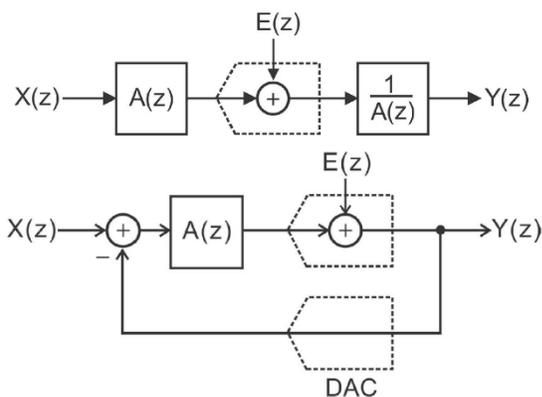
SAR ADC



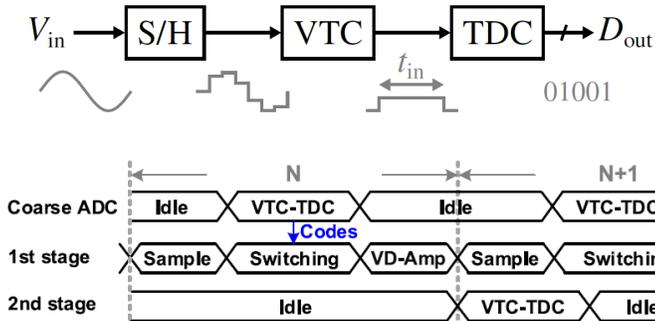
流水线ADC



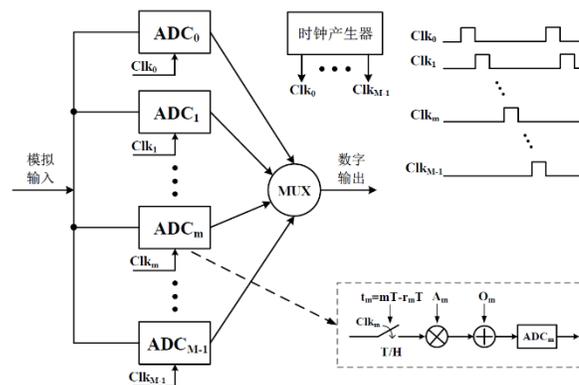
Δ - Σ ADC



时间域ADC

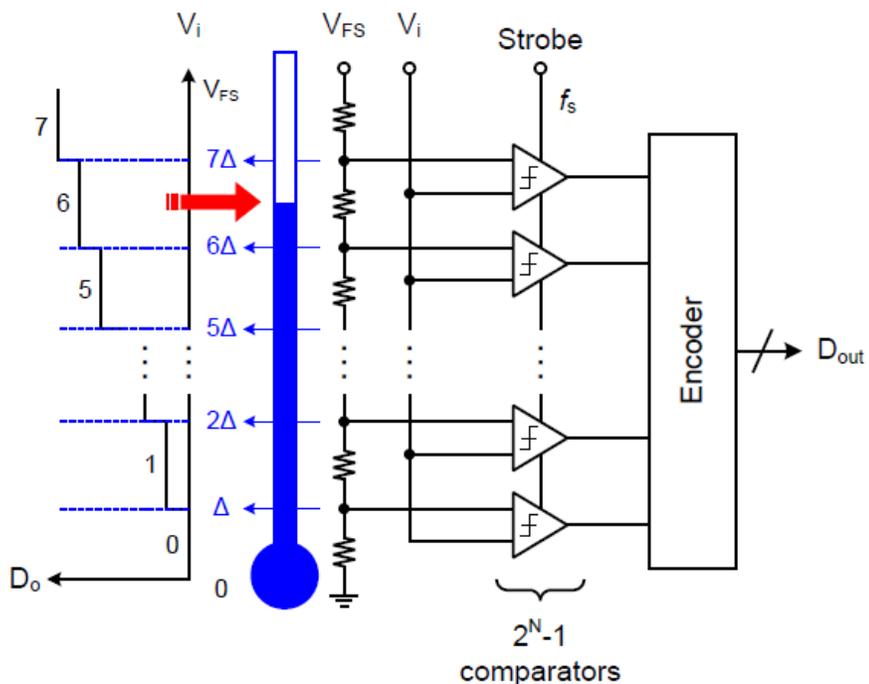


时域交织ADC





Flash ADC



Thermometer Code							Gray			Binary		
T_1	T_2	T_3	T_4	T_5	T_6	T_7	G_3	G_2	G_1	B_3	B_2	B_1
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	1
1	1	0	0	0	0	0	0	1	1	0	1	0
1	1	1	0	0	0	0	0	1	0	0	1	1
1	1	1	1	0	0	0	1	1	0	1	0	0
1	1	1	1	1	0	0	1	1	1	1	0	1
1	1	1	1	1	1	0	1	0	1	1	1	0
1	1	1	1	1	1	1	1	0	0	1	1	1

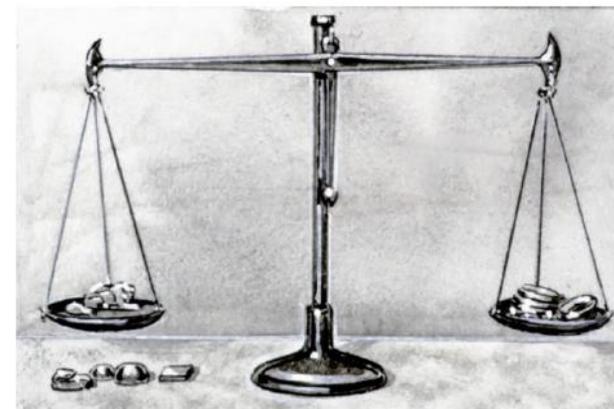
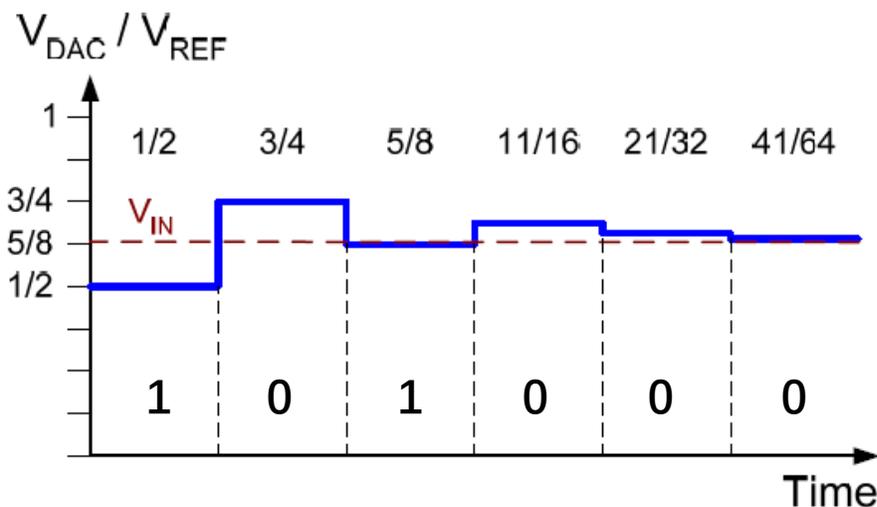
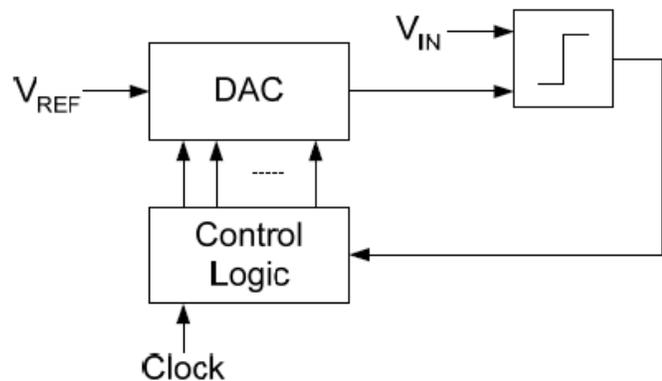
原理：电阻分压网络产生参考电平阵列，输入电压同时与所有参考电平**并行比较**，产生的温度计码经编码器转换为二进制输出

优点：速度最快，延迟最低

缺点：分辨率低(<8bit)，面积功耗巨大



SAR ADC



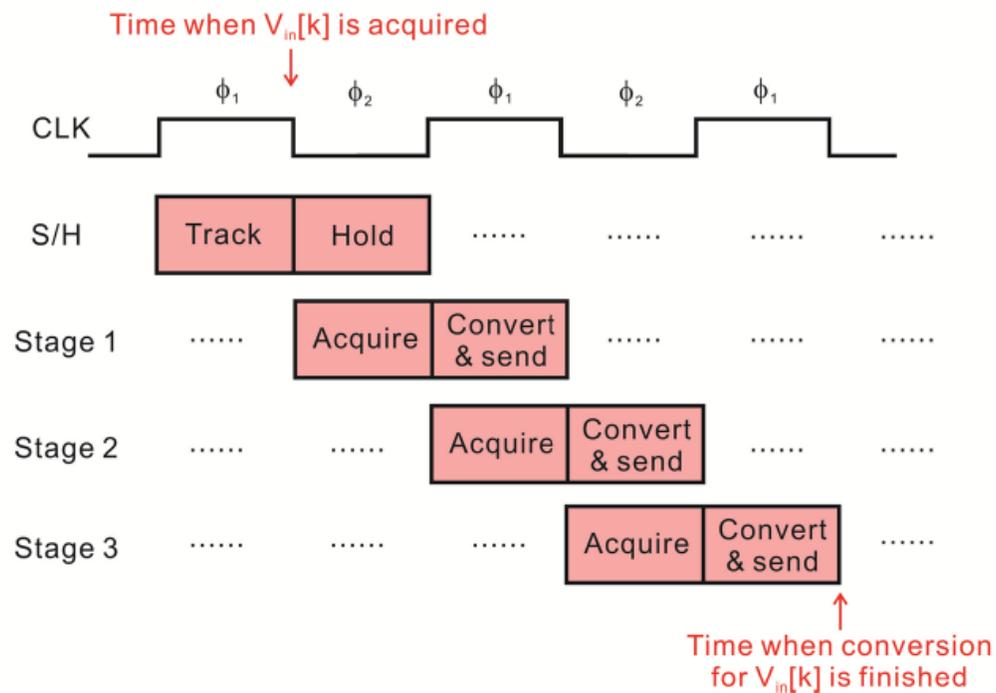
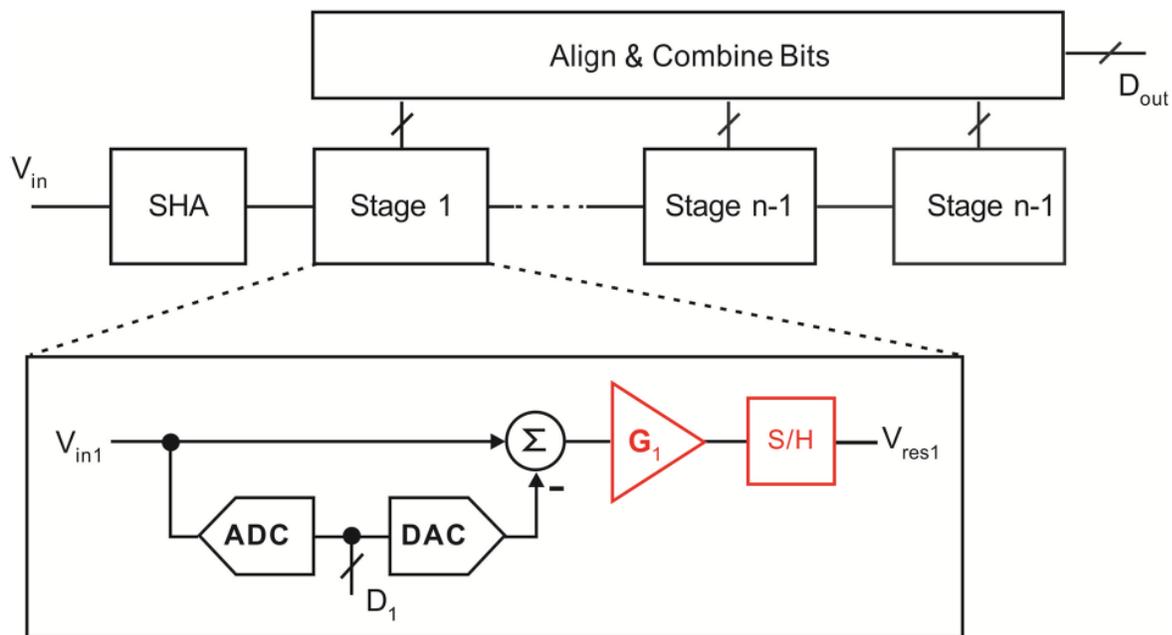
原理： 采样输入电压，由高到低位，控制高精度电容DAC产生试探电压与输入比较，根据比较结果**逐位确定数字码**

优点： 结构简单，精度高(12~24位)，高度数字化，能效高

缺点： 串行量化，速度受位数限制



流水线ADC



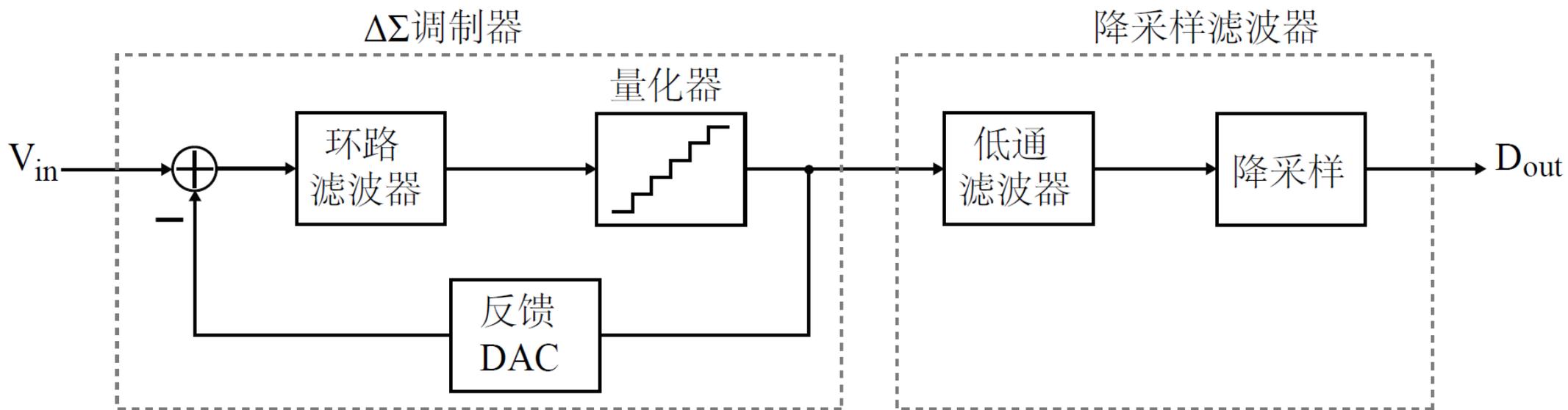
原理：多级串联，每级采样输入/余差，子ADC粗量化后生成余差并放大传递至下一级，数字校正拼接各级结果

优点：速度精度平衡性好，可实现高速高精度(10~16位)

缺点：功耗高，有延迟，结构复杂



Δ - Σ ADC



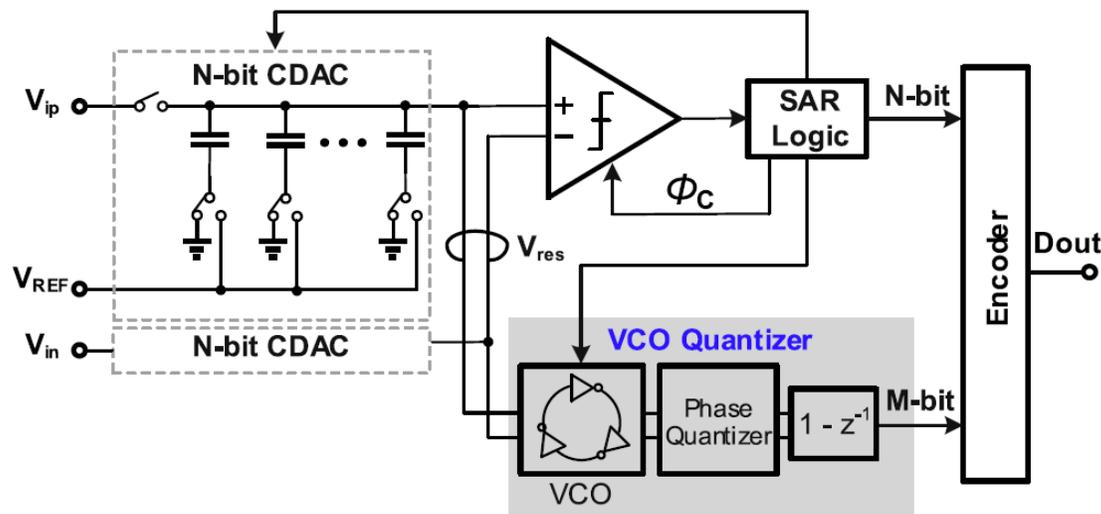
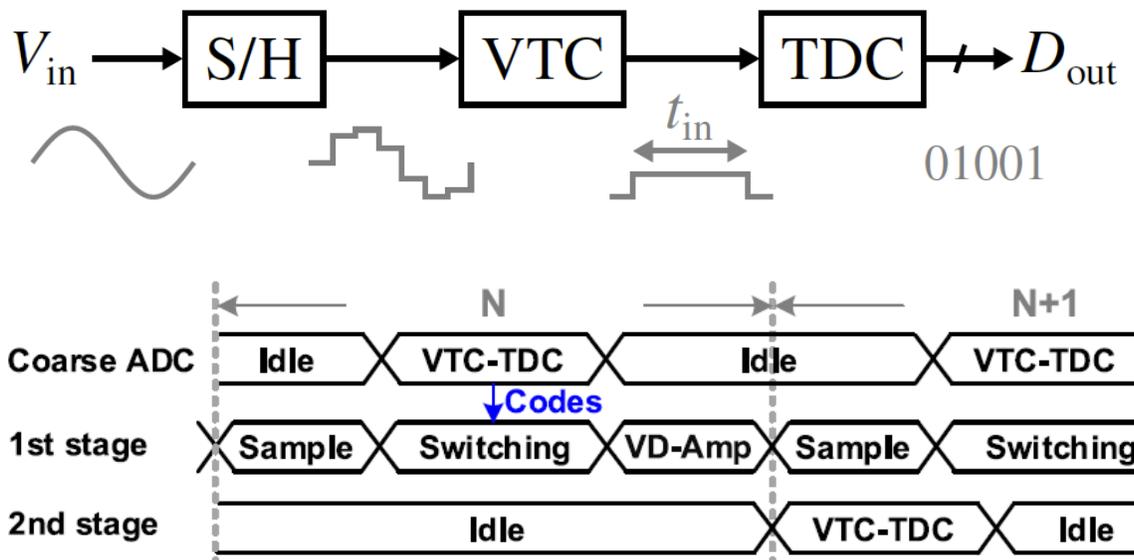
原理：输入信号被**过采样**，通过积分器、比较器和1位DAC构成的反馈环路进行**噪声整形**，再经数字滤波抽取得到高分辨率输出

优点：超高精度(>20位)，抗混叠简单

缺点：速度低、带宽小、有延迟



时间域ADC



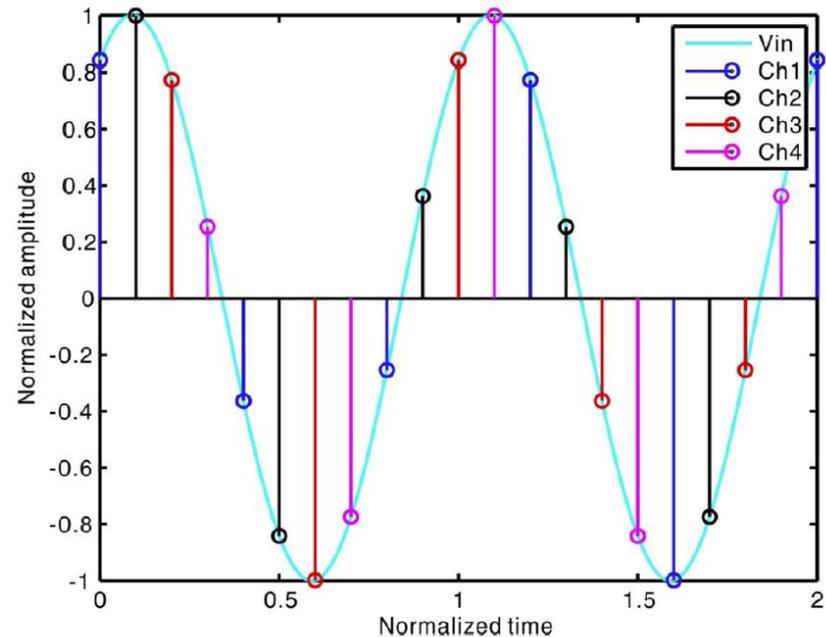
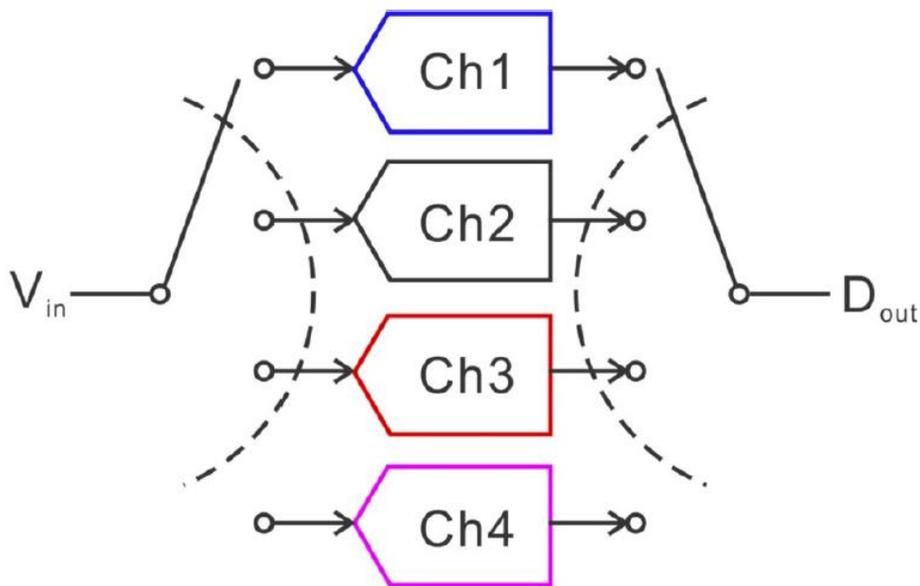
原理：将输入**电压转换为时间宽度**（如VCO频率），通过**高速数字计数器(TDC)**量化时间间隔实现模数转换

优点：全数字化，速度快，功耗低，适应先进工艺(8~12位)

缺点：线性度低，对时钟抖动敏感，校准复杂



时域交织ADC



原理：使用**多个相同子ADC**，各子ADC以精确相位差的时钟**交替采样量化**，经数字组合输出高速数据流

优点：突破单个ADC速度限制，实现**>10GS/s**采样率

缺点：对通道失配敏感，校准复杂



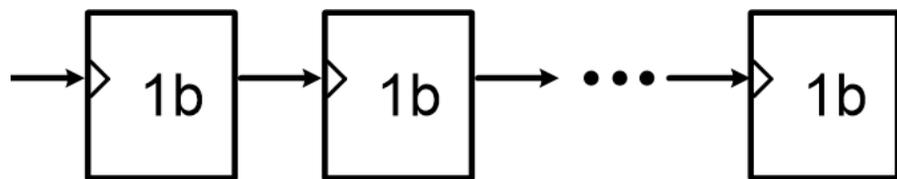
提纲

- 高速高精度ADC背景及发展现状
- 高速高精度ADC主流架构及技术
- **新型混合架构高速高精度ADC**
- 数字校准技术
- 技术展望

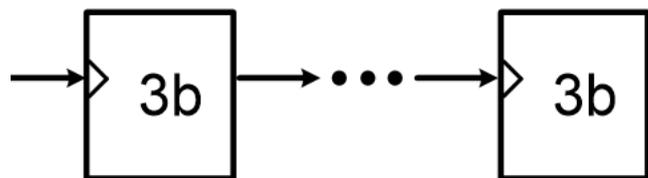


电压域Flash-SAR ADC原理

一步多位优势

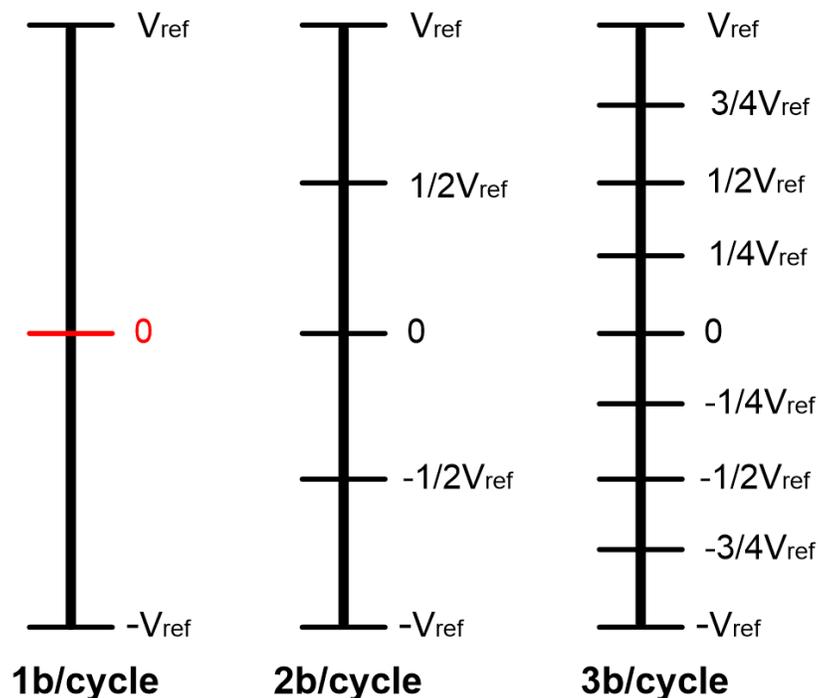


传统SAR ADC量化N位需要N个
比较周期



一步3位SAR ADC量化N位需要
N/3个比较周期

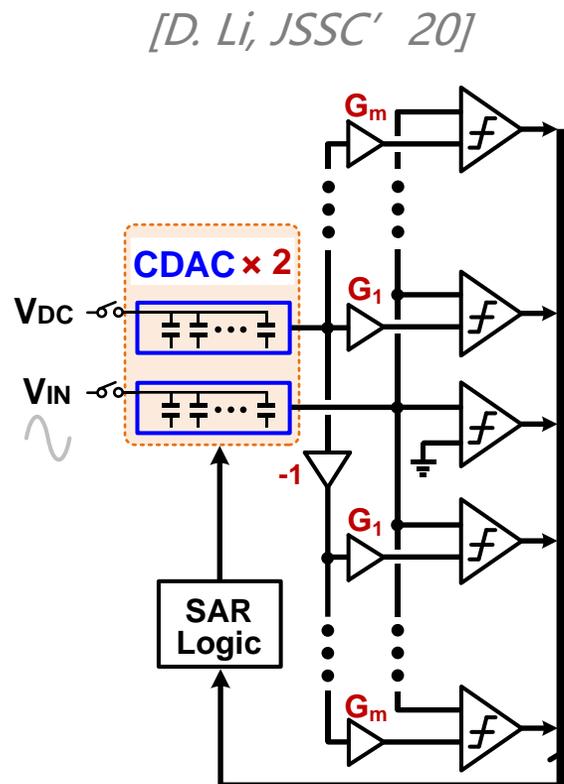
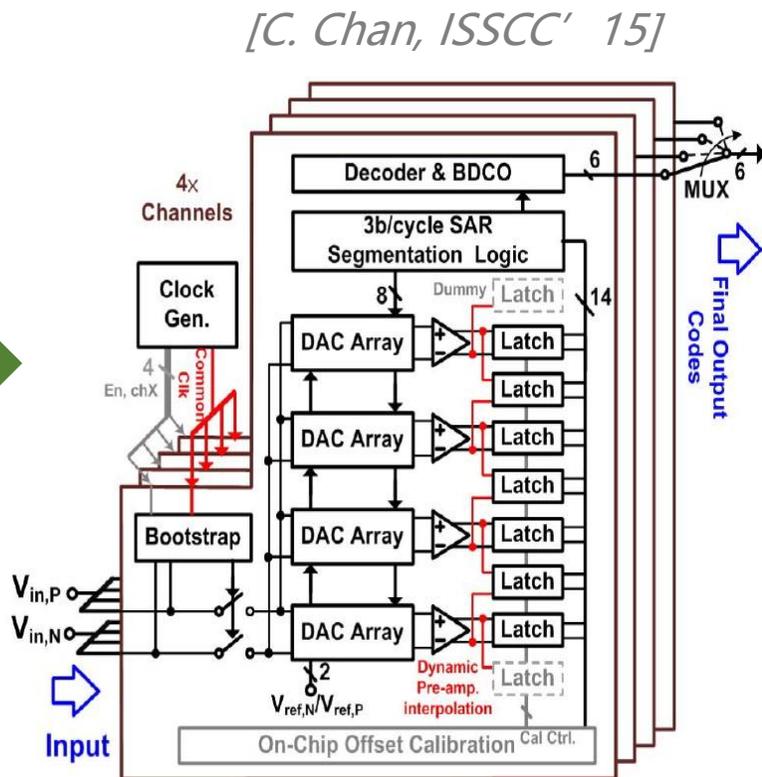
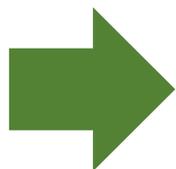
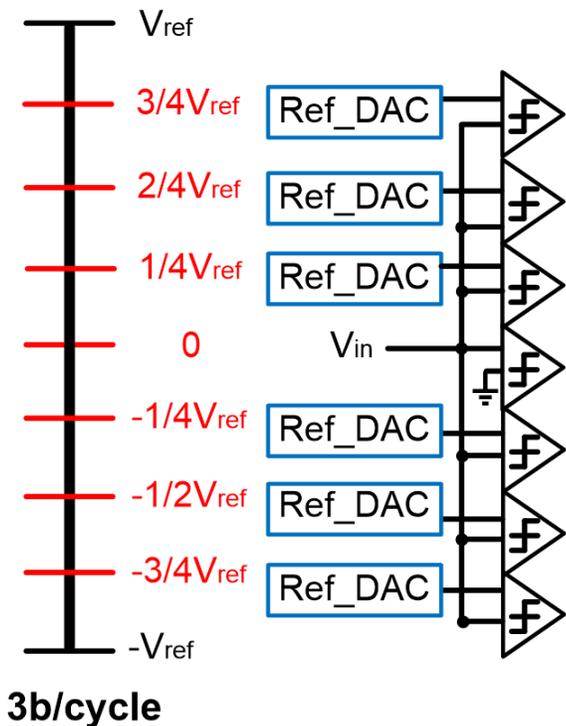
一步多位原理



需要使用多个DAC产生比较
阈值，多个比较器量化



电压域Flash-SAR ADC



基本思路:

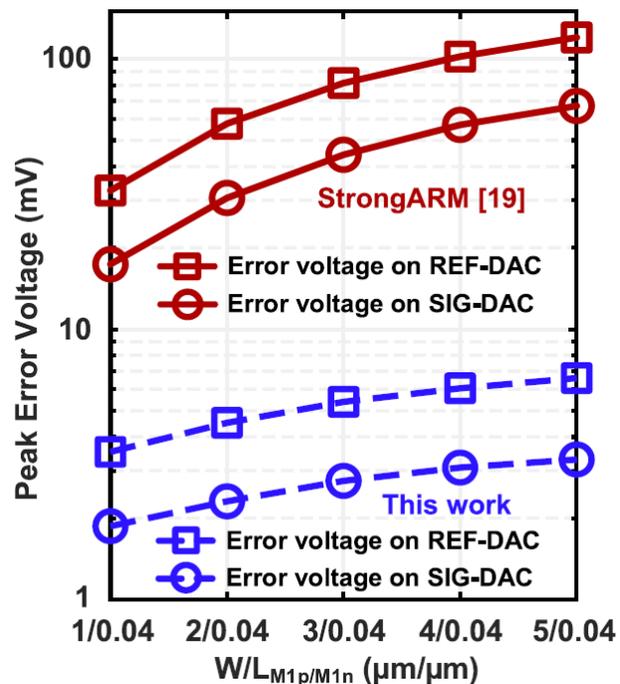
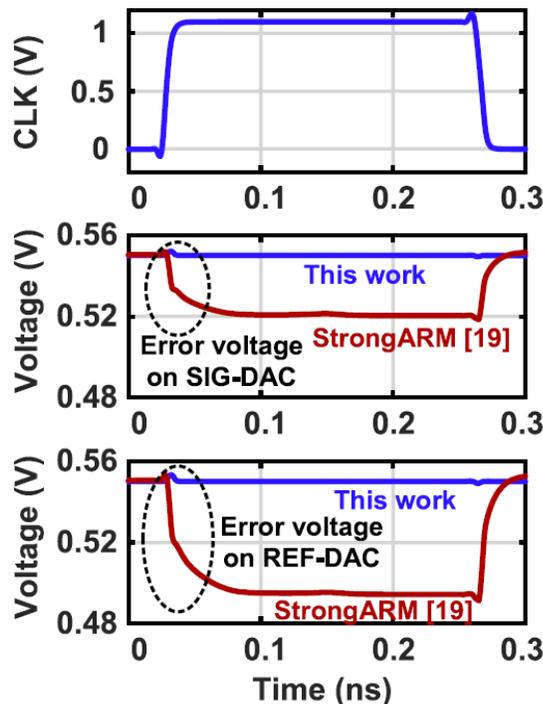
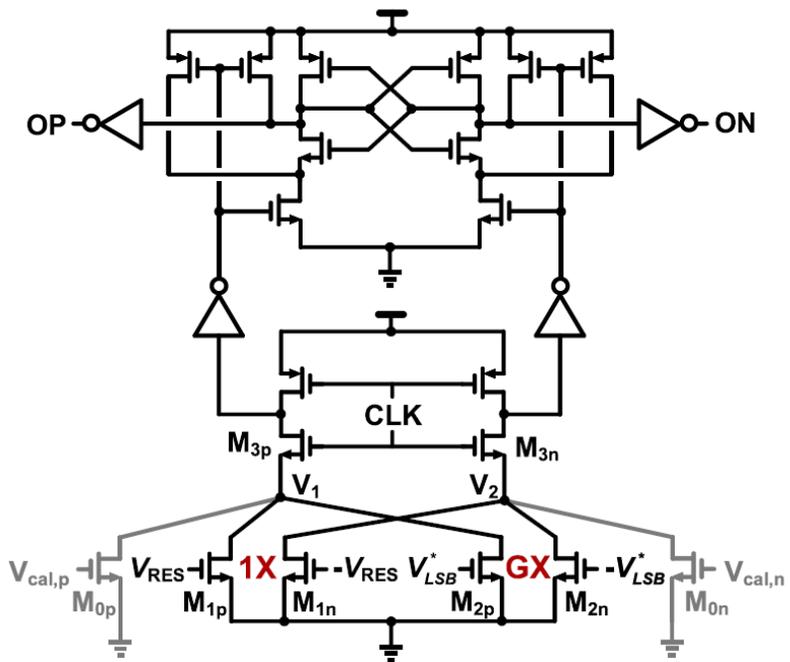
多个参考DAC产生比较阈值
 多个比较器量化
 多周期工作, 每周期内Flash量化

- 3b/cycle
- ☹️ 4个采样DAC, 面积大
- ☹️ 输入负载大

- 3b/cycle
- 😊 2个采样DAC, 面积小
- 😊 输入负载小



电压域Flash-SAR ADC



□ 低回踢噪声比较器

- 取消尾电流管，消除输入管源端电压变化
- 输入管和复位管之间插入N管，降低比较器工作时输入管漏源电压
- 比传统StrongARM比较器回踢噪声降低10倍



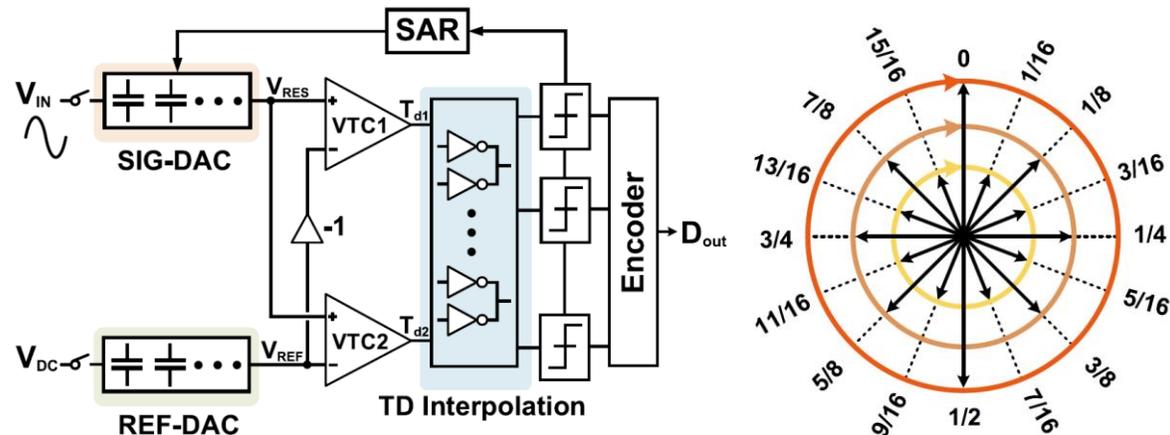
时间域Flash-SAR ADC

架构设计

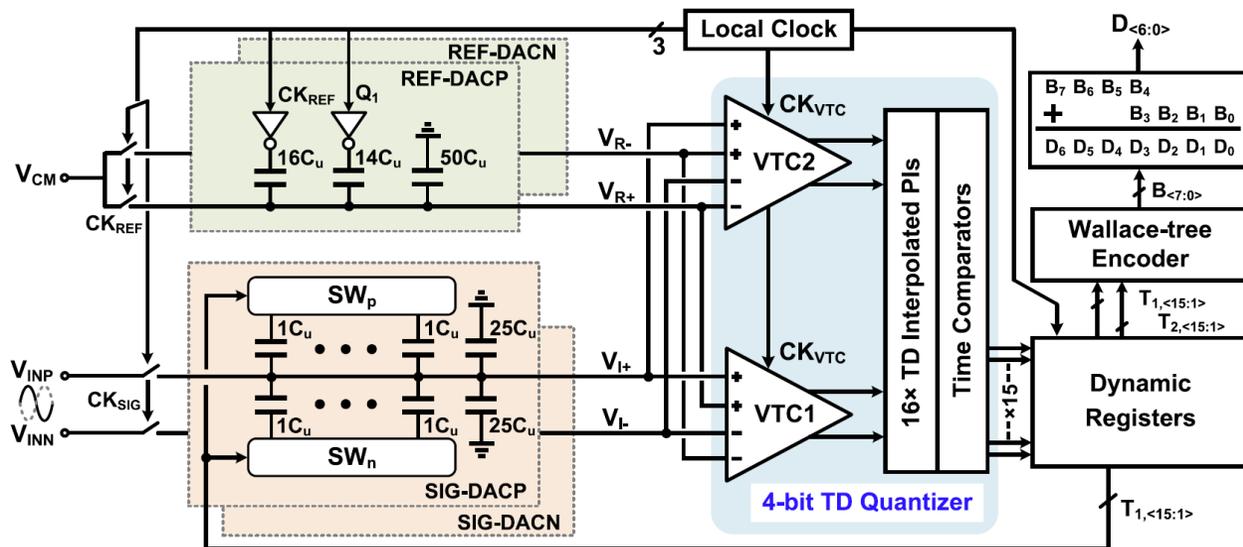
- 采样DAC进一步减少为1个
- 每周期量化4位，速度更高
- 结合时间域量化，实现高能效
- 高度数字化，适应先进工艺

电路创新

- 级联型VTC，线性化提高增益
- 16倍时间插值电路，消除短路功耗

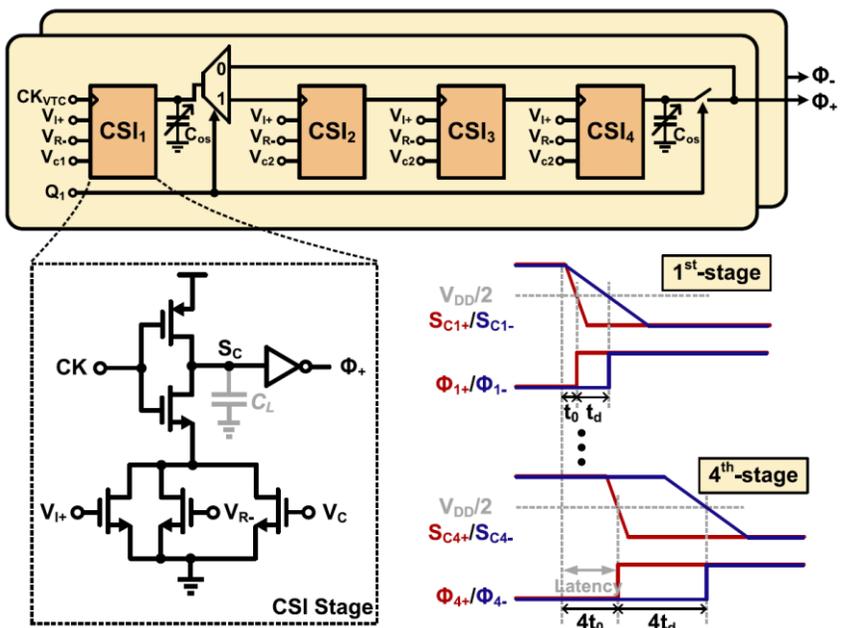


[D. Li, TCAS-I' 23]



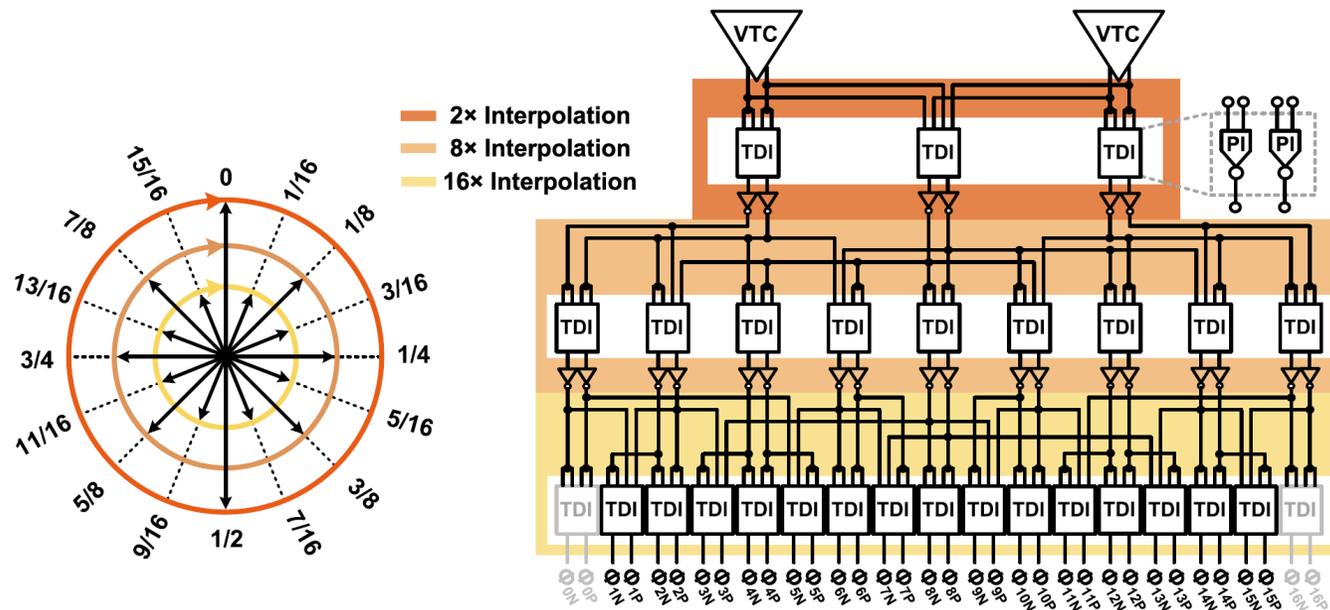


时间域Flash-SAR ADC



级联型VTC

- 将多个VTC单元级联，提供更大的电压-时间转换增益
- 保持更好的一致性，避免使用放大器

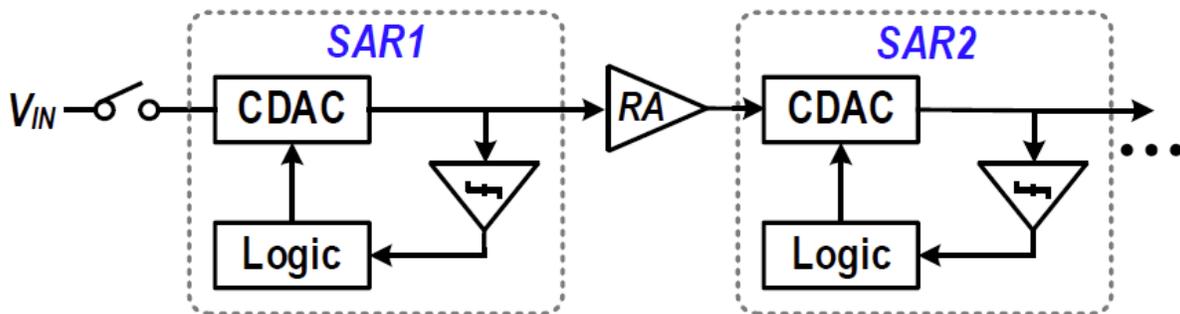


插值型Flash TDC

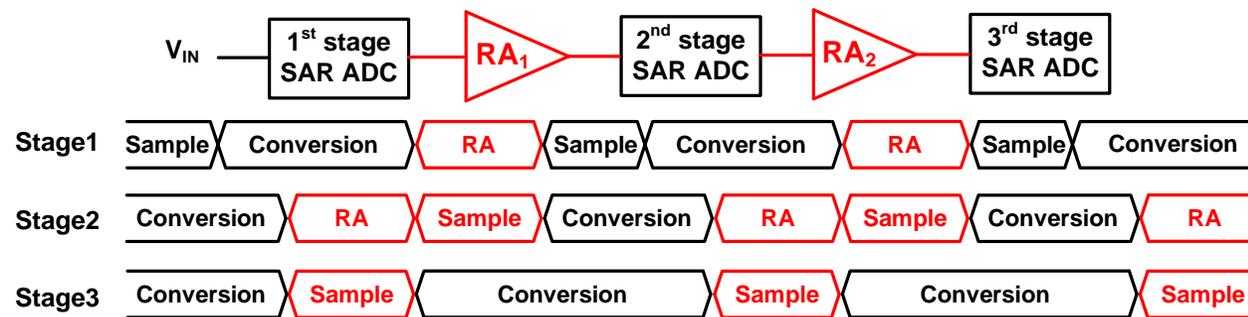
- 16倍时间域线性插值，一次量化4位，Flash工作方式，速度快
- 相位插值器，可消除短路电流



传统Pipelined-SAR ADC速度瓶颈



Conventional pipelined-SAR ADC



□ Pipelined-SAR ADC工作过程:

- 第一级SAR ADC对输入采样、量化
- 利用一个DAC和减法器得到第一级余量电压，并放大
- 第二级SAR ADC完成余量电压的量化，两级数字码对齐输出

□ Pipelined-SAR ADC瓶颈:

- 级间放大常采用闭环运放，导致**功耗大、建立时间长、工艺兼容性差**
- 级间放大位于关键信号路径，采样-量化-放大时序使Pipelined-SAR**面临速度瓶颈**



流水线余量放大 Pipelined-SAR ADC

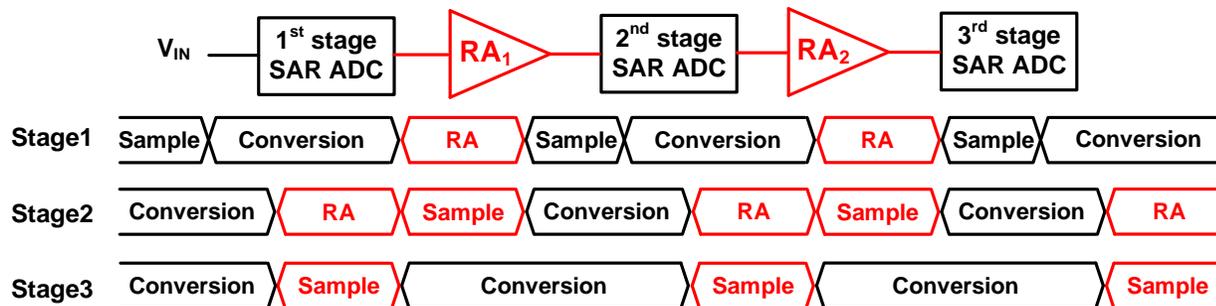
□ 架构设计

- Pipelined-SAR实现系统级高速 (1.5GS/s)高精度(12bit)低功耗
- **流水线余量放大技术突破传统架构速度瓶颈**

□ 电路创新

- **独立的余量放大阶段释放了子ADC, 增加余量放大时间**
- **无源余量传输缩短传输时间, 电荷共享技术降低功耗**

Conventional pipelined-SAR ADC



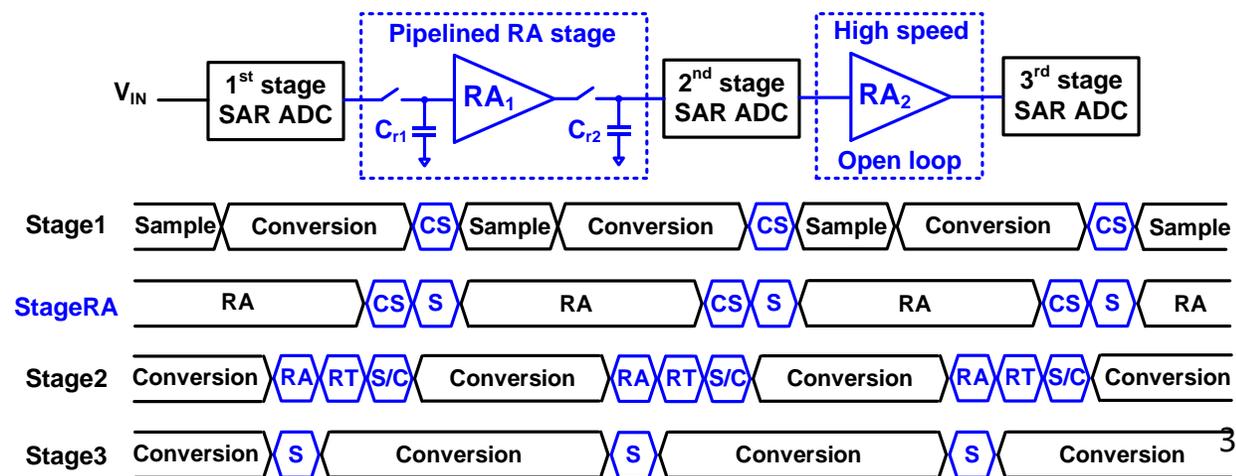
速度瓶颈 ☹️ 余量放大占用子ADC

突破速度瓶颈

[Y. Shen, JSSC' 25]

Our pipelined-SAR ADC

RA: residue amplification
CS: charge sharing
S: sampling, RT: reset





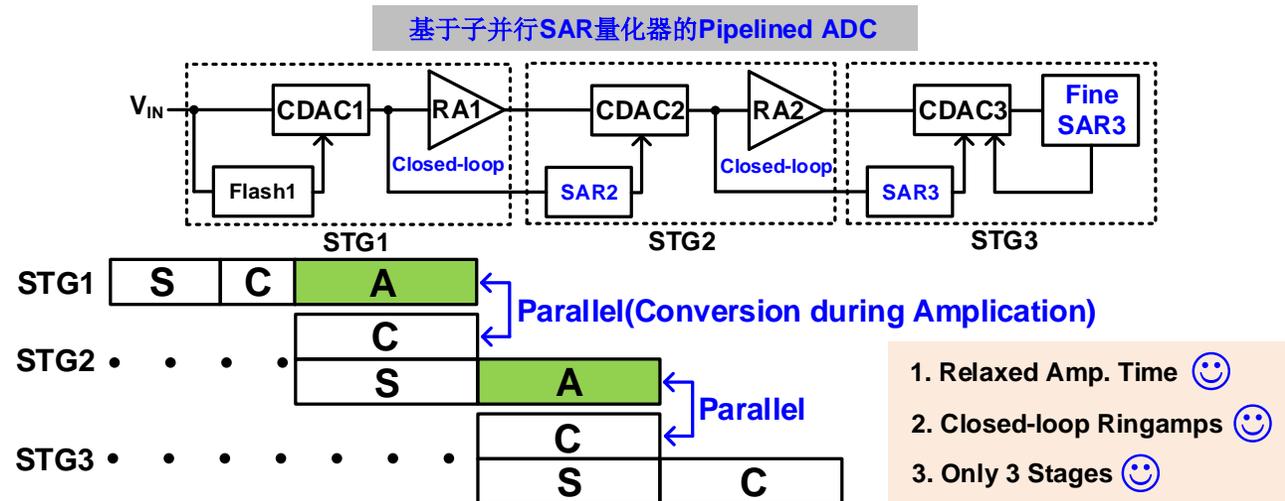
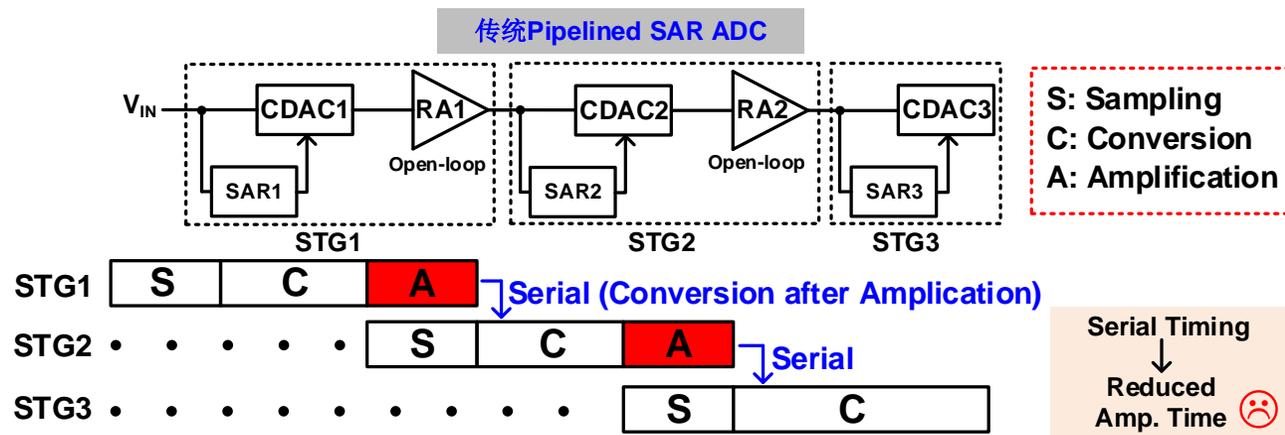
放大量化并行Pipelined-SAR ADC

□ 架构设计

- 仅3级流水线架构 (4+4+8) 实现高速(1GS/s)高精度(14bit)低功耗
- 子并行量化SAR ADC突破传统Pipelined-SAR ADC的速度瓶颈

□ 电路创新

- 余量放大和SAR转换并行提供了足够的余量放大时间
- 动态死区环形放大器降低了系统噪声和功耗





部分交织Pipelined-SAR ADC

❑ 传统Pipelined-SAR ADC

- 为了实现更高的速度，需要增加级数或交织更多通道数
- 过多的级间放大器将大幅增加功耗

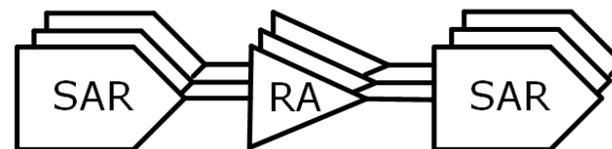
❑ 部分交织Pipelined-SAR ADC

- 复用级间放大器，将数量减少一半
- 大幅降低功耗，简化Pipelined-SAR ADC结构
- 环形放大器提高稳定性和速度

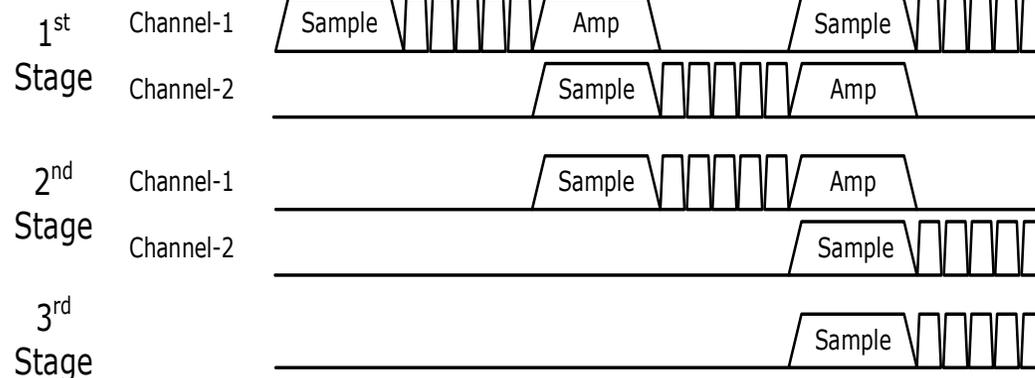
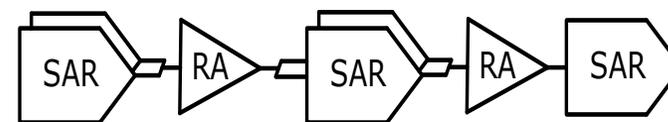
更多的级数：



更多的通道数：

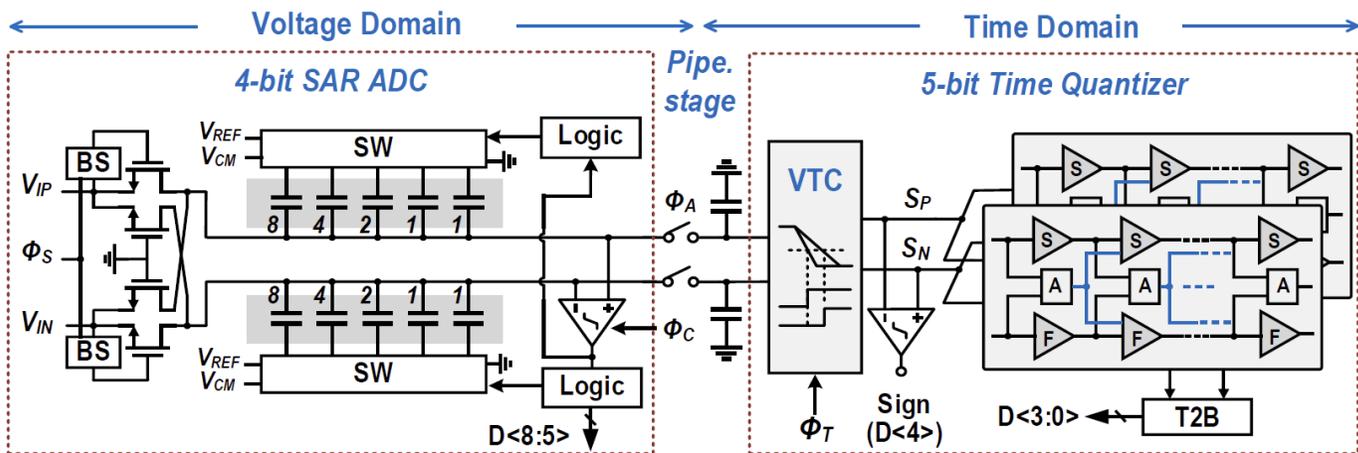


部分交织Pipeline-SAR ADC: [Z. Zhu, ESSERC' 24]

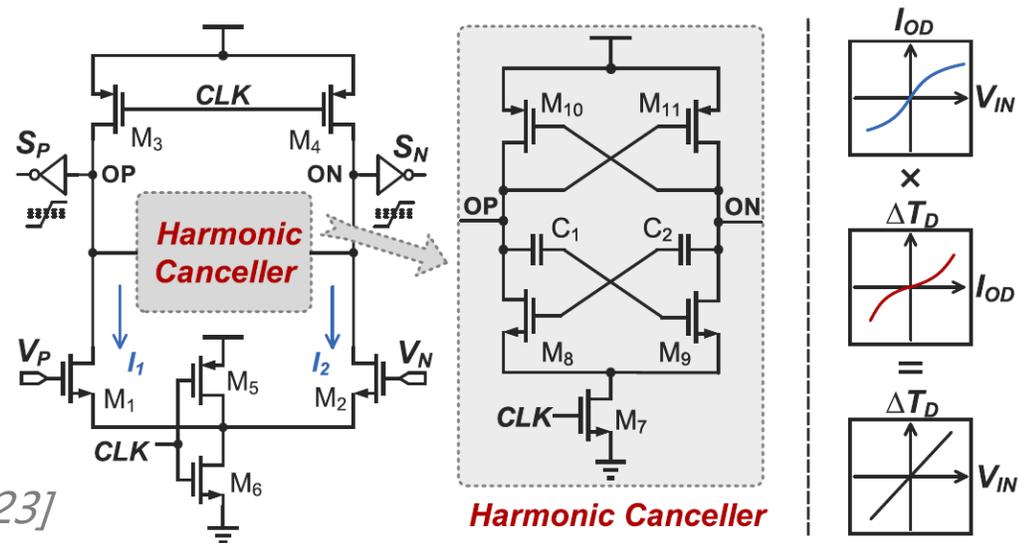




电压-时间域两步式ADC



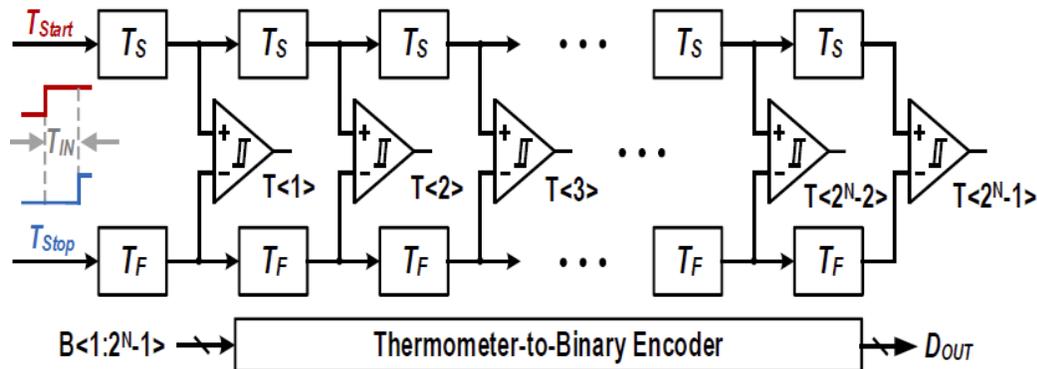
电压-时间域两步式ADC [X. Zhao, TVLSI' 23]



电压-时间转换器(VTC)

电压-时间域两步式ADC

- 混合信号域ADC，第一级SAR ADC，第二级时间域ADC量化小摆幅余量
- 线性化补偿技术提高VTC线性度
- 游标型TDC提高精度，降低功耗



时间数字转换器(TDC)



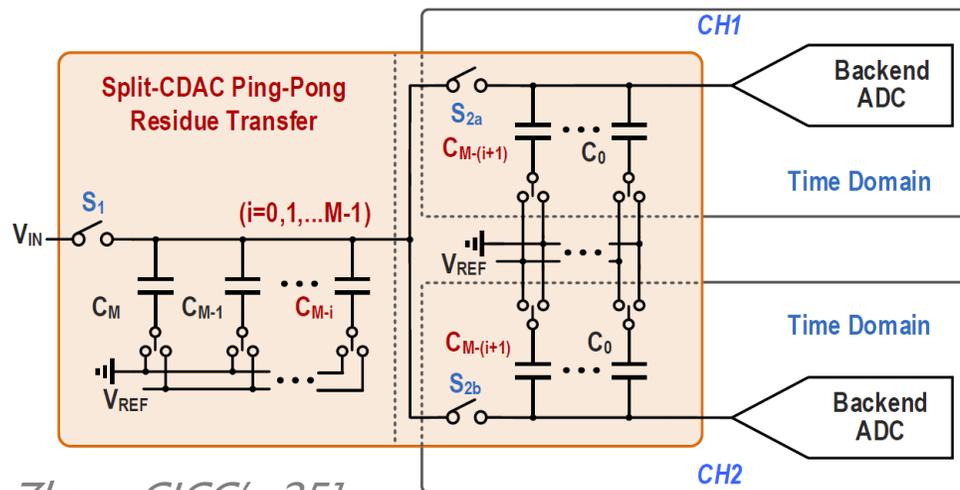
时间域Pipeline ADC

架构设计

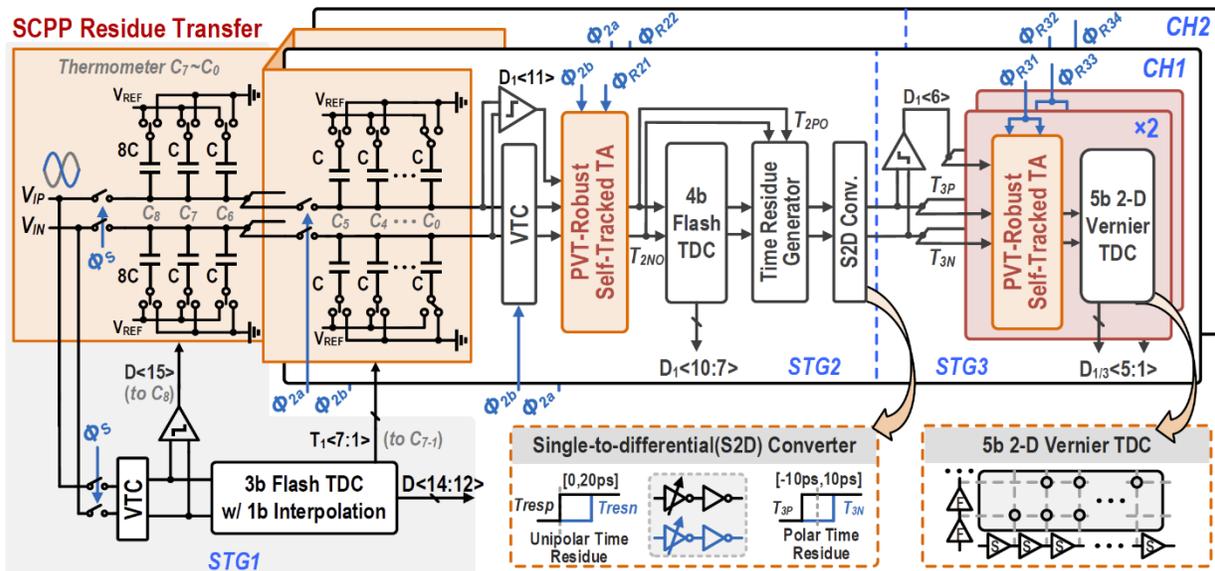
- 三级**流水线混合域架构**实现高速高精度(13位2GS/s)量化
- **部分时域交织**(第一级1通道, 第二级2通道, 第三级4通道)提高速度

电路创新

- 分裂电容乒乓式余量传输, 余量电压无损传输, 提高精度
- 时间余量放大器, 消除固有所征延时, 且PVT性能稳定



[X. Zhao, CICC' 25]





超高速时域交织 Pipelined-SAR ADC

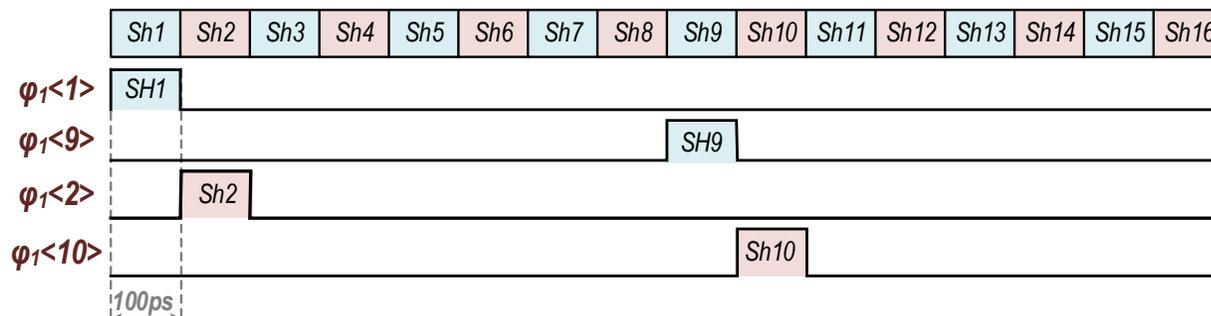
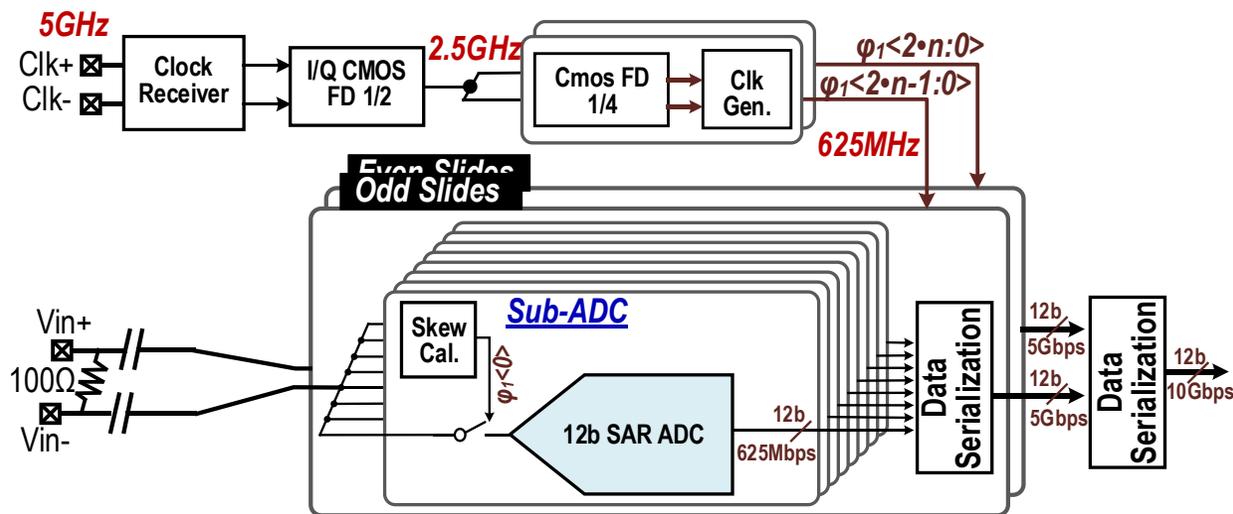
□ 架构设计

- **16通道交织ADC**，单通道
625MS/s，功耗小于300mW
- **二叉树输入+低抖动时钟驱动链**
(50fs)，减小时钟对ADC精度影响

□ 电路创新

- **高鲁棒性时钟自对准电路**，消除时钟交叠
- **高效异步输出串化技术**，无需高频时钟

10GS/s 12bit 16xTI-pipeline-SAR ADC



[H. Han, TCAS-I' 24]



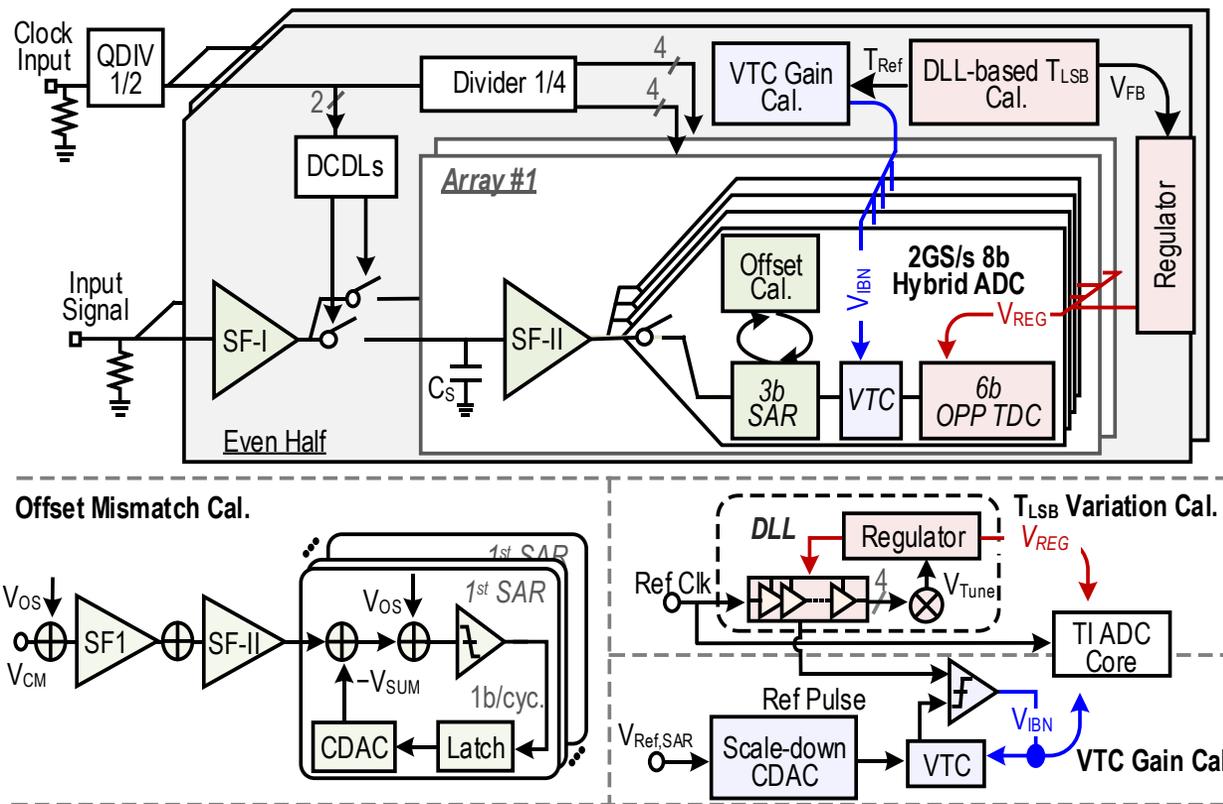
超高速时域交织时间域ADC

□ 架构设计

- **4×4两级分层采样架构实现超高输入带宽**
- **单通道时间域ADC实现8位2GS/s**

□ 电路创新

- **内部基于DLL环路实现TDC最小量化时间电路PVT稳定**
- **VTC增益自跟踪环路补偿级间增益误差**

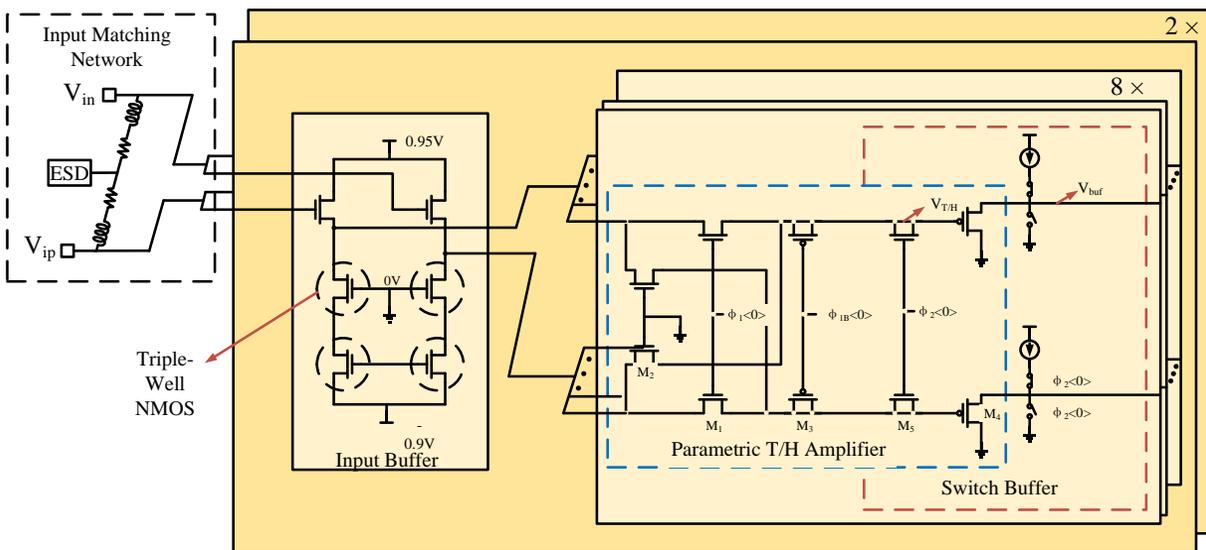


[H. Liang, CICC' 25]



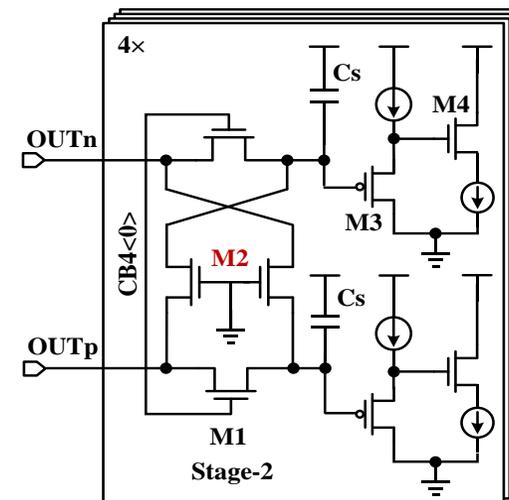
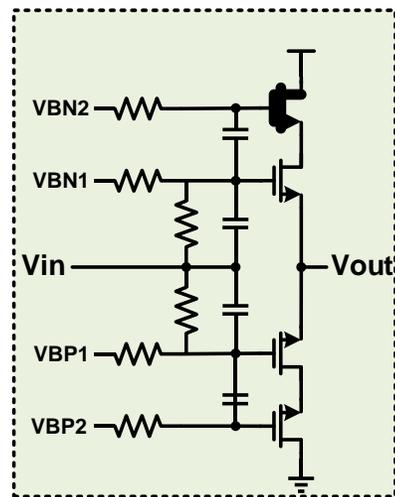
超高速时域交织时间域ADC

前端输入及采样网络



- **无源电感峰化技术**，抵消金属连线寄生电容对带宽的限制
- **多级并行采样阵列结构**，将前级高频交流信号转化为并行直流信号

输入buffer



- **高线性度输入buffer**，具有高输入阻抗，低输出阻抗，拓展输入带宽，并驱动后级大电容负载



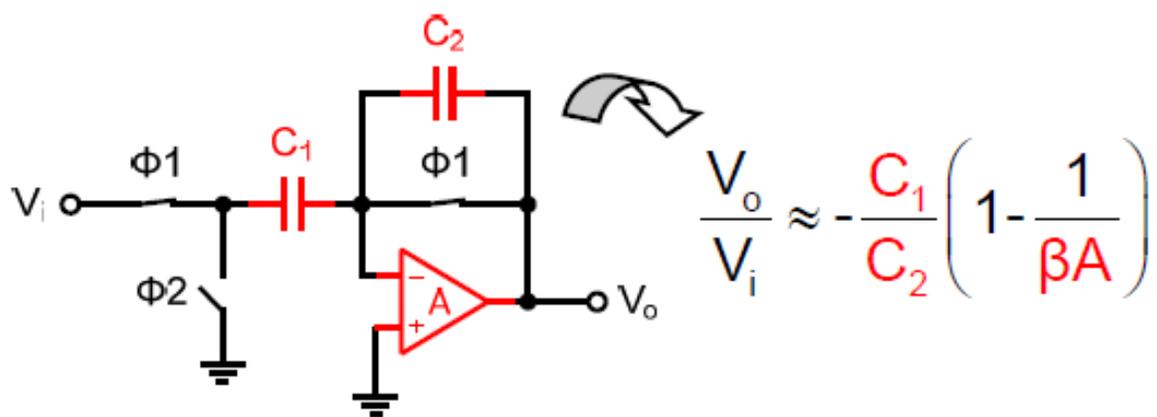
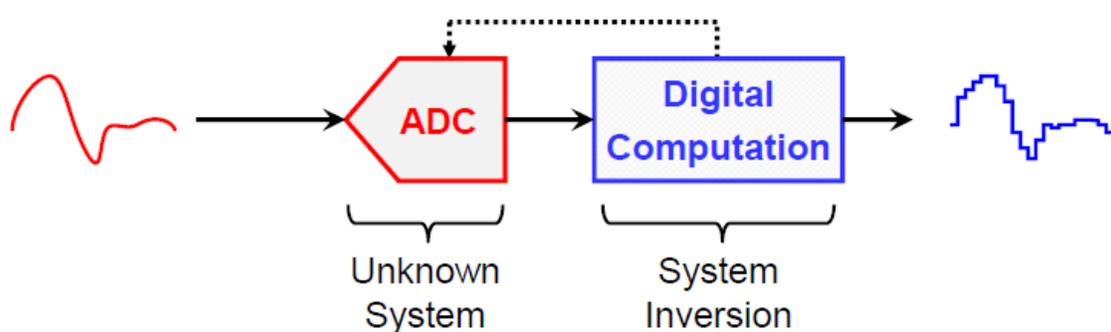
提纲

- 高速高精度ADC背景及发展现状
- 高速高精度ADC主流架构及技术
- 新型混合架构高速高精度ADC
- **数字校准技术**
- 技术展望



ADC数字校准技术

ADC数字校准技术：用**数字电路**处理某些难以消除的**模拟误差**



闭环放大器

例如，流水线ADC中，放大器的设计：

□ 模拟设计方案

□ 需精确匹配C1和C2，设计难度大

□ 设计 βA 非常大，需消耗大量功耗

□ 数字校准方案

□ 任意常数C1，C2和A即可，设计简单

□ 数字域对误差进行补偿，功耗小



单通道ADC数字校准技术

□ PRBS测试信号(抖动)注入

□ 子ADC注入(比较器抖动)

□ 子DAC注入(DAC抖动)

□ 输入信号注入

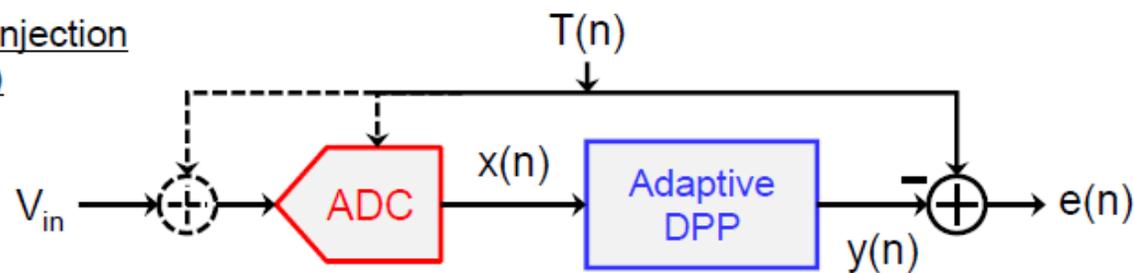
□ 多ADC匹配校准(无需测试信号)

□ 参考ADC校准

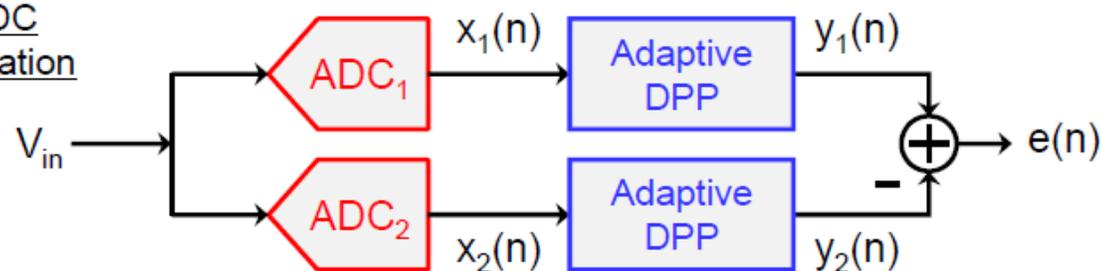
□ 分裂ADC校准

□ 双注入转换技术

PRBS injection
(Dither)



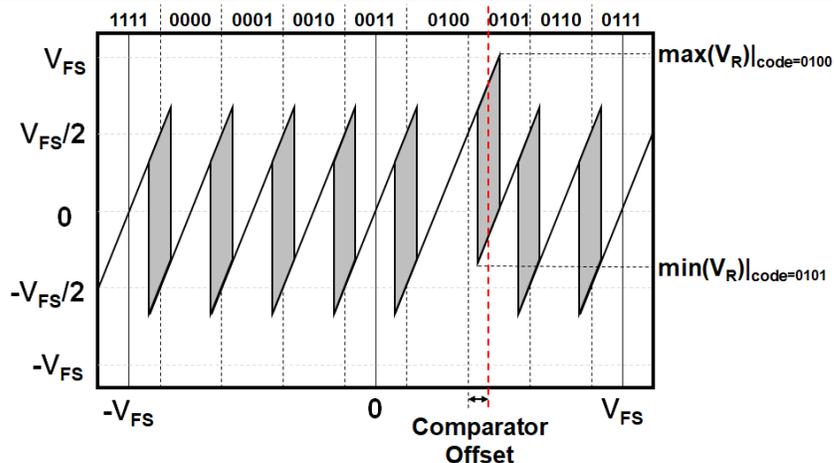
Two-ADC
equalization





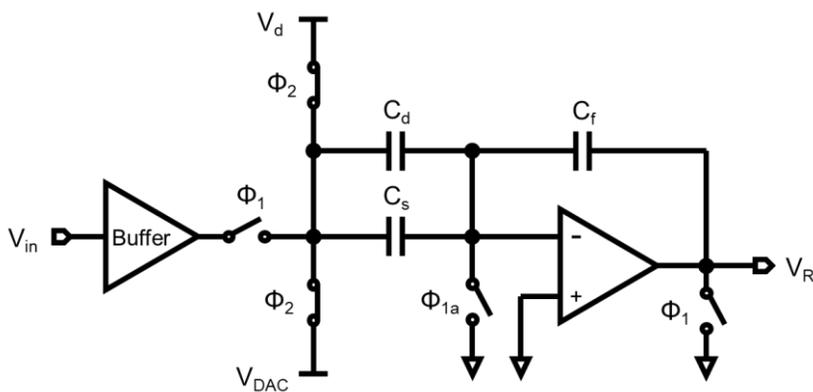
流水线ADC数字校准技术

增益误差和失调误差校准



- 注入多级随机信号，消除增益误差与输入信号的相关性，提升线性度
- 通过负反馈环路实现比较器失调电压的修正

记忆效应与回踢噪声校准



- 通过相关方法估计出记忆效应的影响，通过FIR滤波器校准
- 使用随机信号在采样阶段有意进行“回踢”，进而提取误差信息并修正



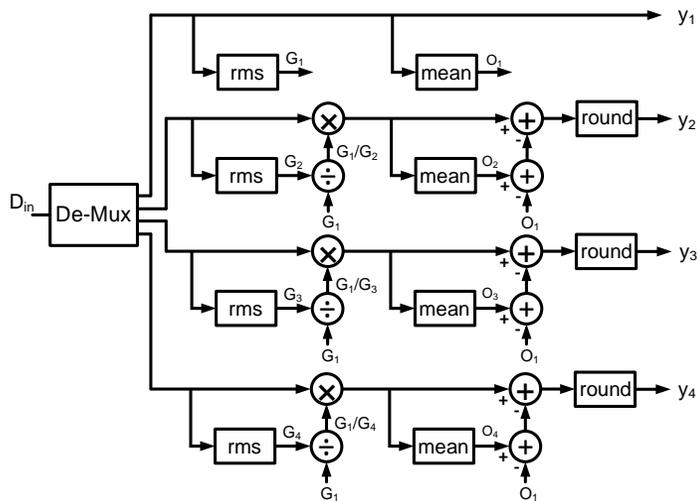
时域交织ADC数字校准技术

TI ADC校准

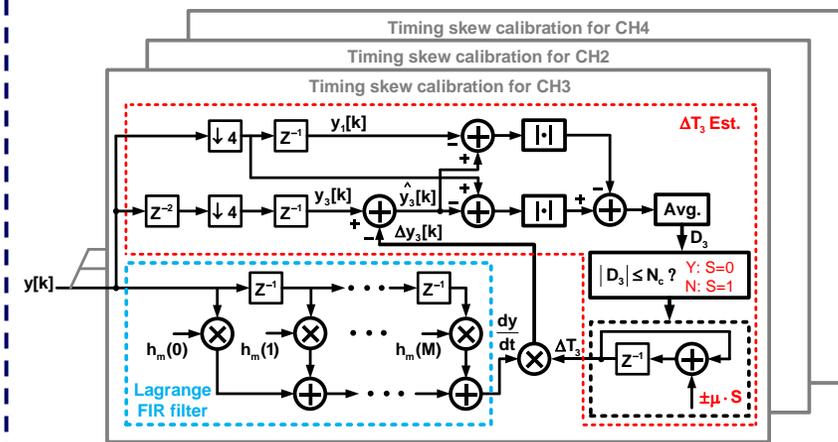
TI ADC

静态失配 (失调失配、增益失配)

动态失配 (时钟偏差、带宽失配)



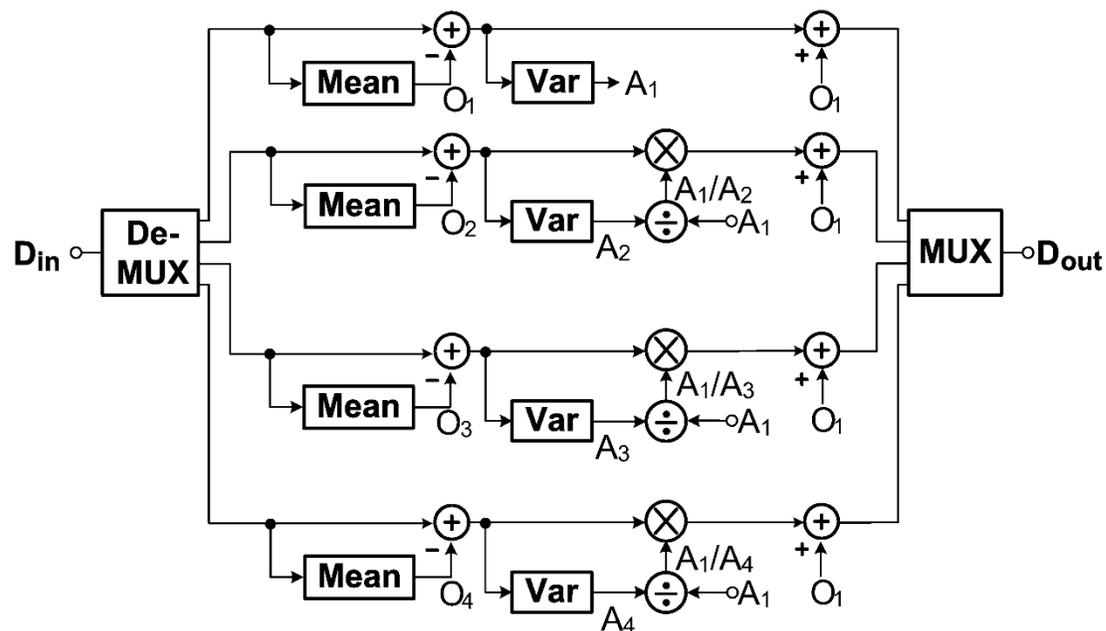
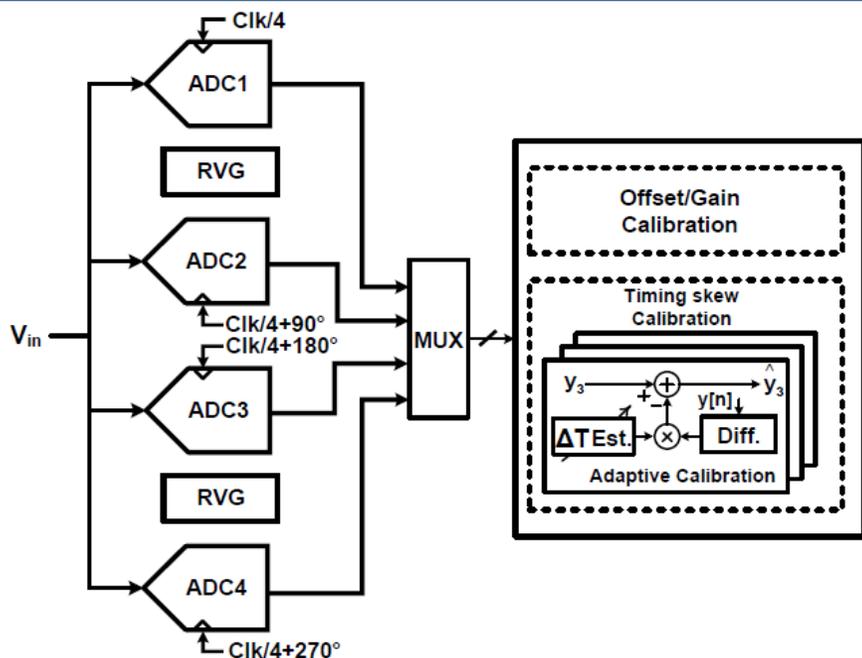
静态失配校准



动态失配校准



TI ADC静态失配校准技术

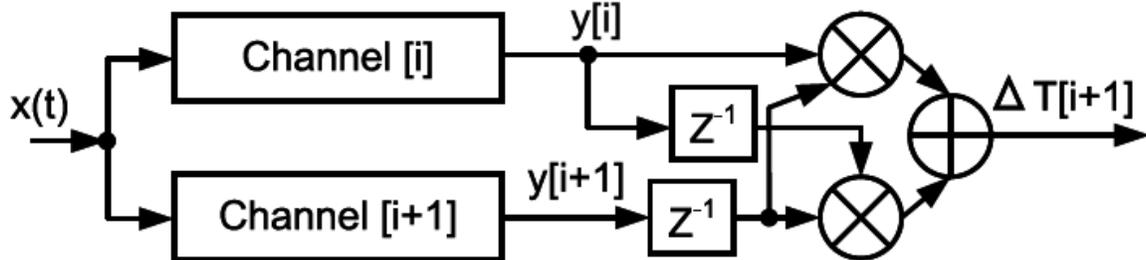


- 静态失配校准流程：**失调消除—增益失配校准—直流恢复**
- 失调校准：**统计学平均算法**，计算各通道均值(O_i)，通道2、3、4减去 O_1 ，与通道1归一化
- 增益校准：**统计学方差算法**，计算各通道输出码均方根值(A_i)，通道2、3、4乘系数，与通道1归一化



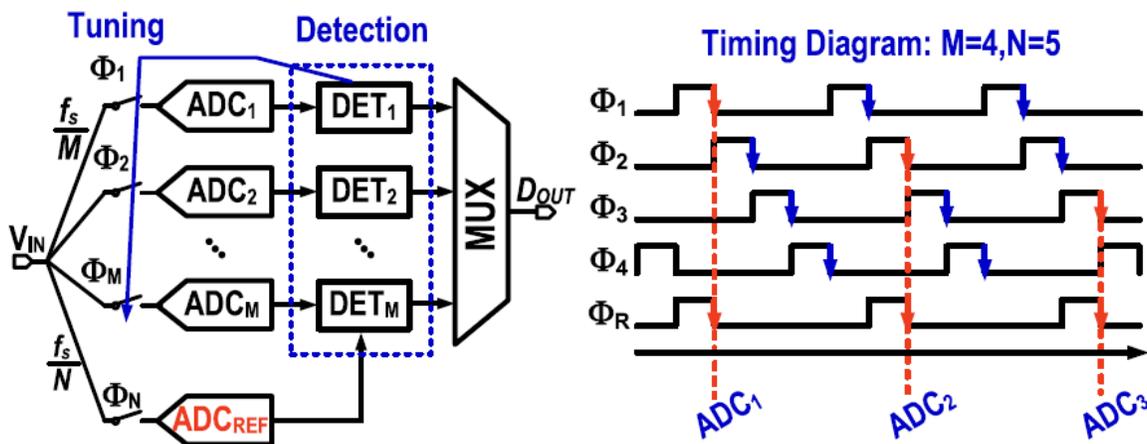
TI ADC时钟偏差探测

方法1：自相关函数



- 利用输出码自相关函数
- 结构简单，无需参考通道
- 数据量大，收敛速度慢

方法2：参考通道

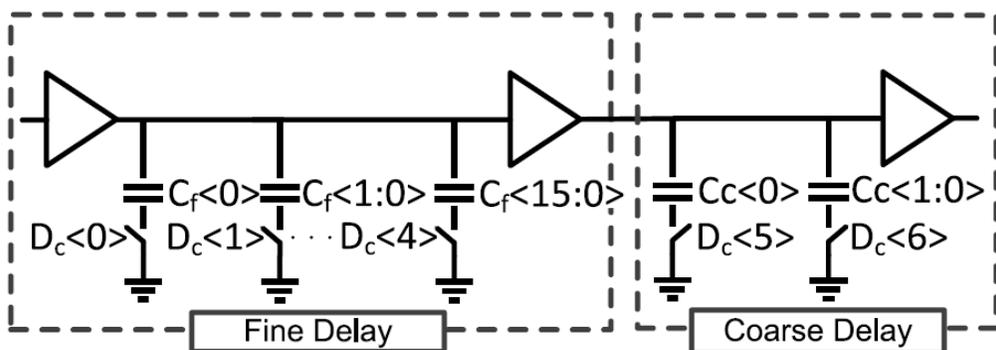


- 利用参考通道提取失配信息
- 输入阻抗变化，影响带宽和精度
- 额外增加通道，需计算方差，功耗面积大



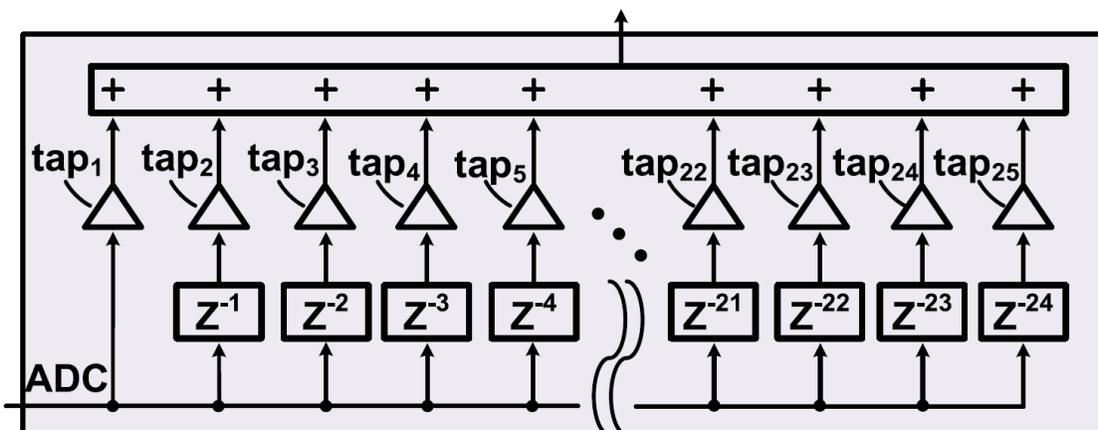
TI ADC时钟偏差补偿

方法1：压控延迟线



- 电压/数字码控制延迟时间
- 精度低，增加抖动
- 调整范围小

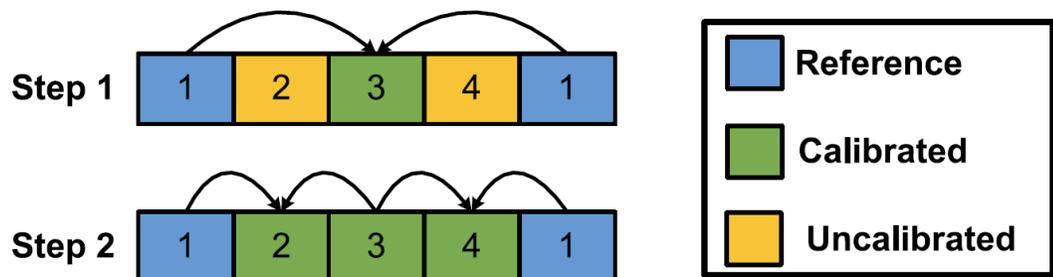
方法2：FIR滤波器



- 精度高，调整范围大
- 数字电路实现，速度快、可适应先进工艺
- 滤波器阶数高，功耗高

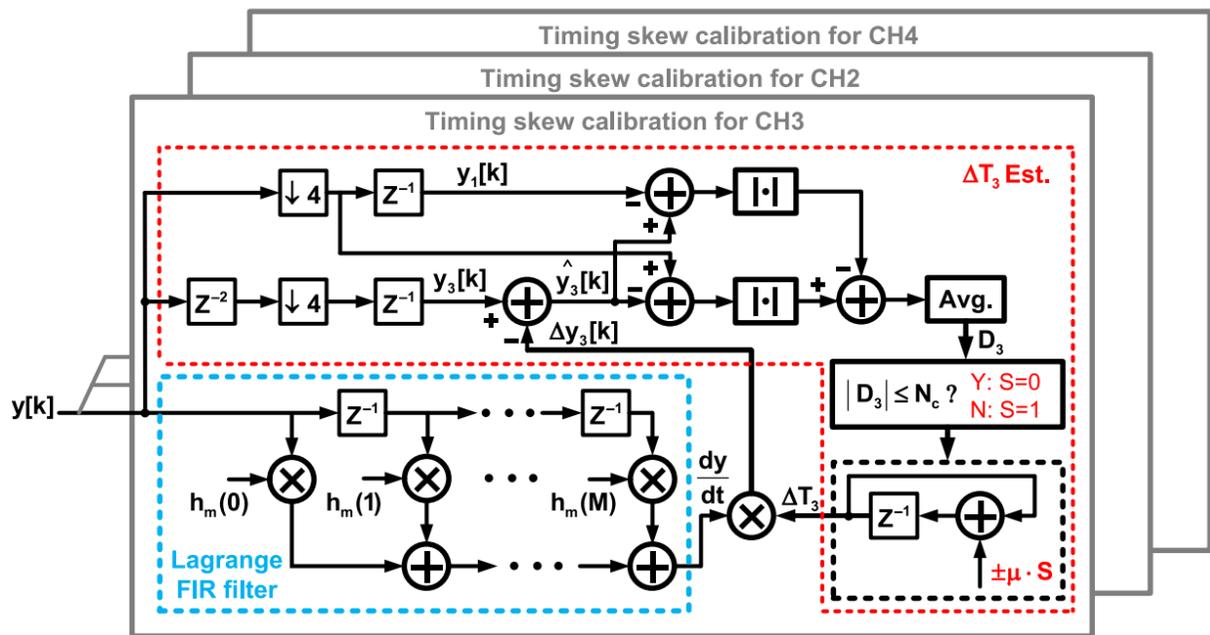


基于插值滤波的TI ADC数字校准



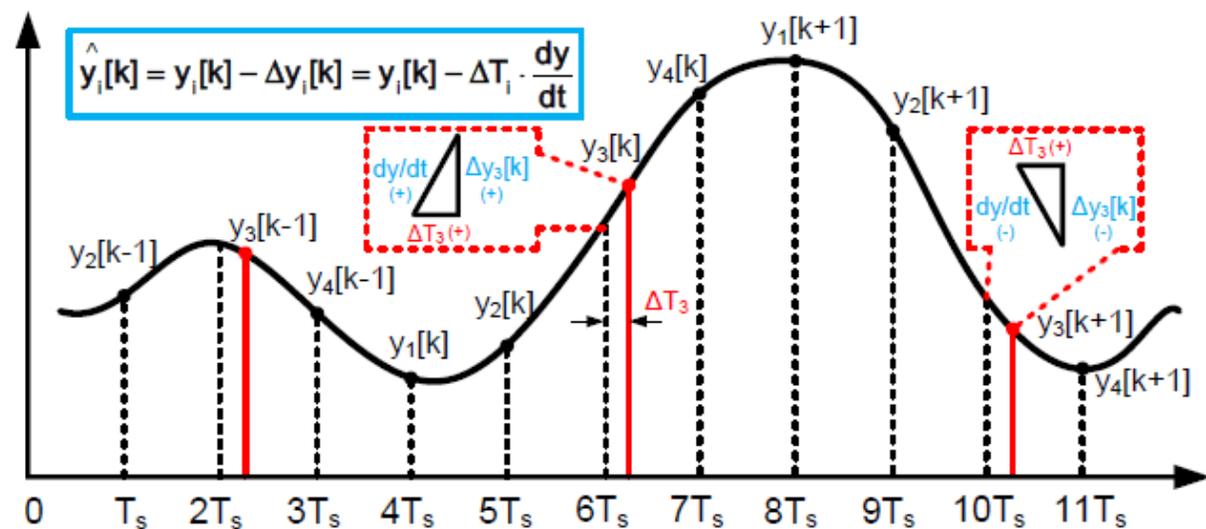
自相关函数:

$$D_3 = E(|y_1[k+1] - y_3[k+1]| - |y_3[k+1] - y_3[k+1]|) = R_{13} - R_{31} \propto \Delta T_3 \cdot R'(\tau)$$



时钟偏差校准电路

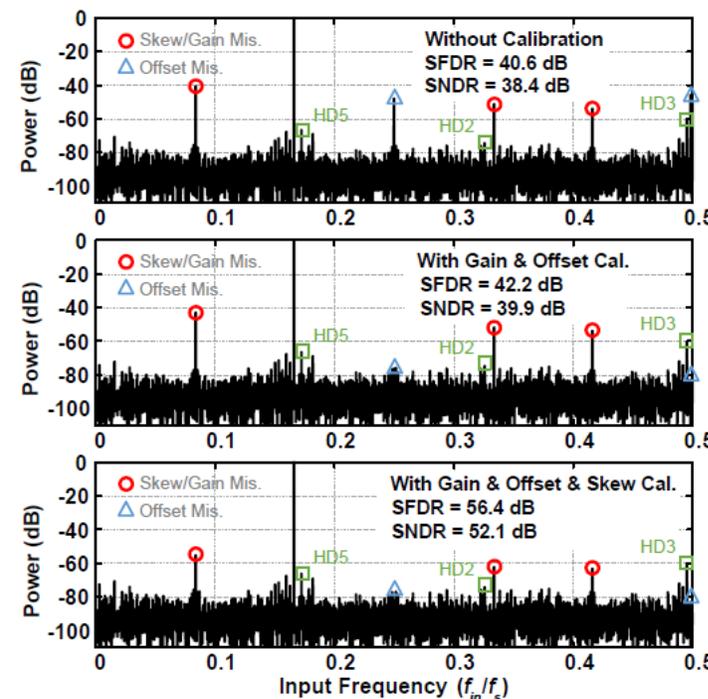
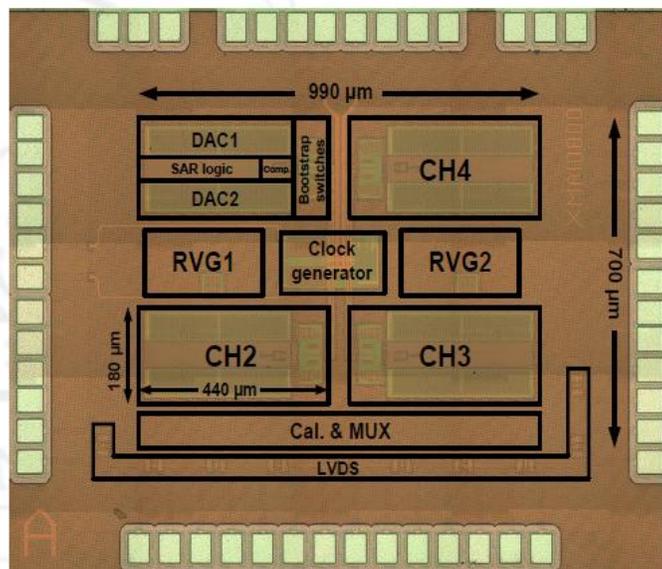
[D. Li, TCAS-II' 19]



一阶补偿模型



基于插值滤波的TI ADC数字校准



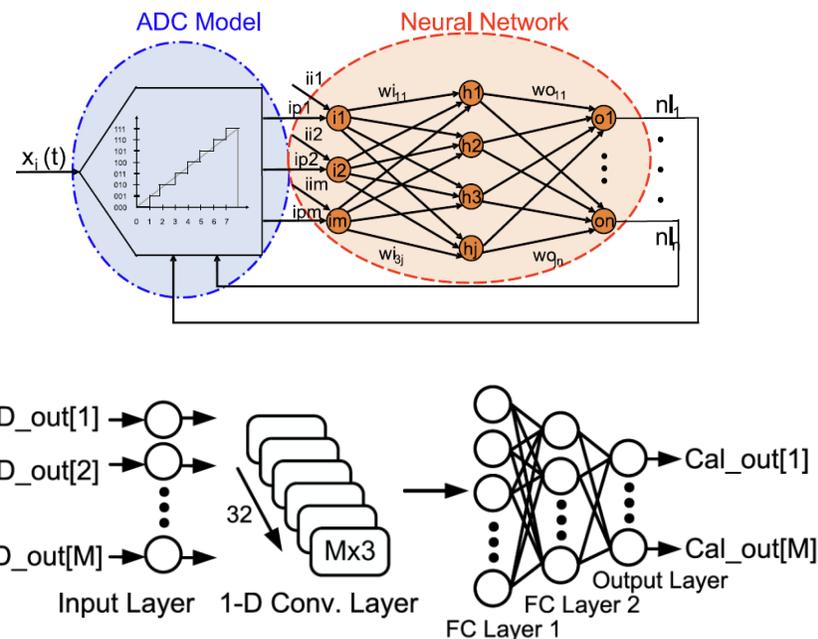
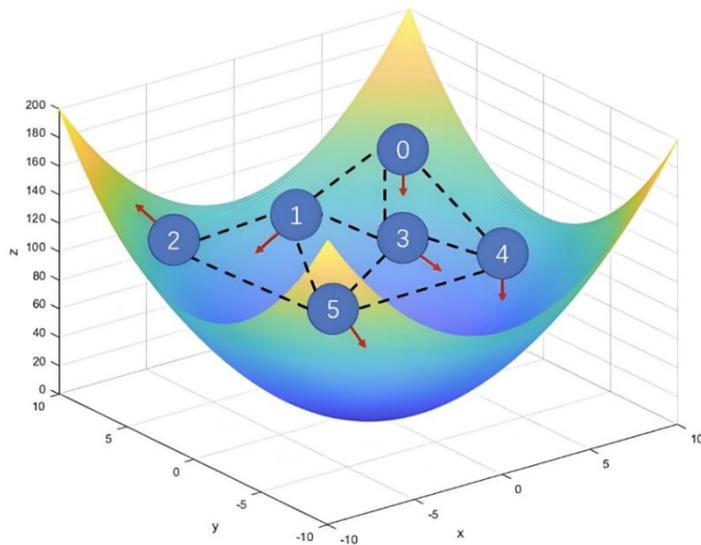
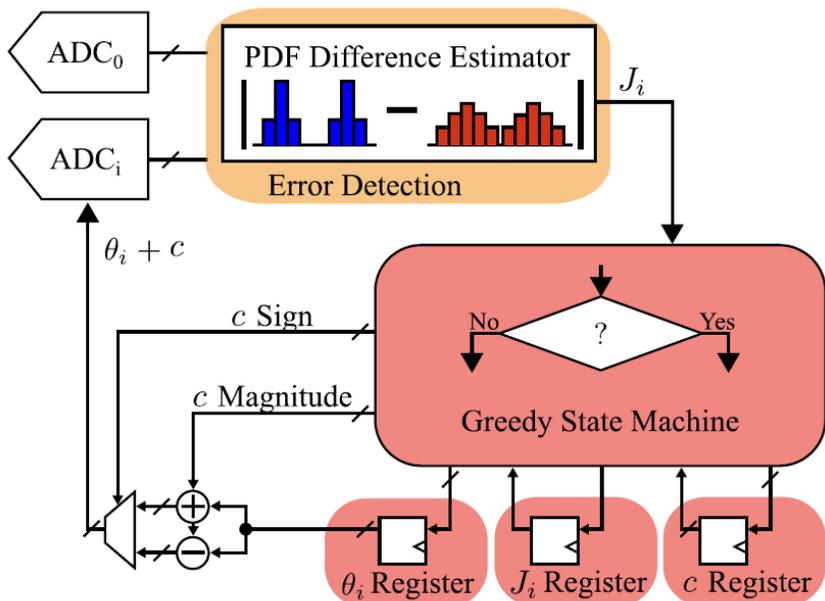
[D. Li, TCAS-II' 19]

- 4通道10位600MS/s时域交织ADC
- 校准后, SNDR和SFDR分别提升13.7dB和15.8dB
- **全数字后台校准**, 可自适应PVT变化, 校准电路功耗7.9mW



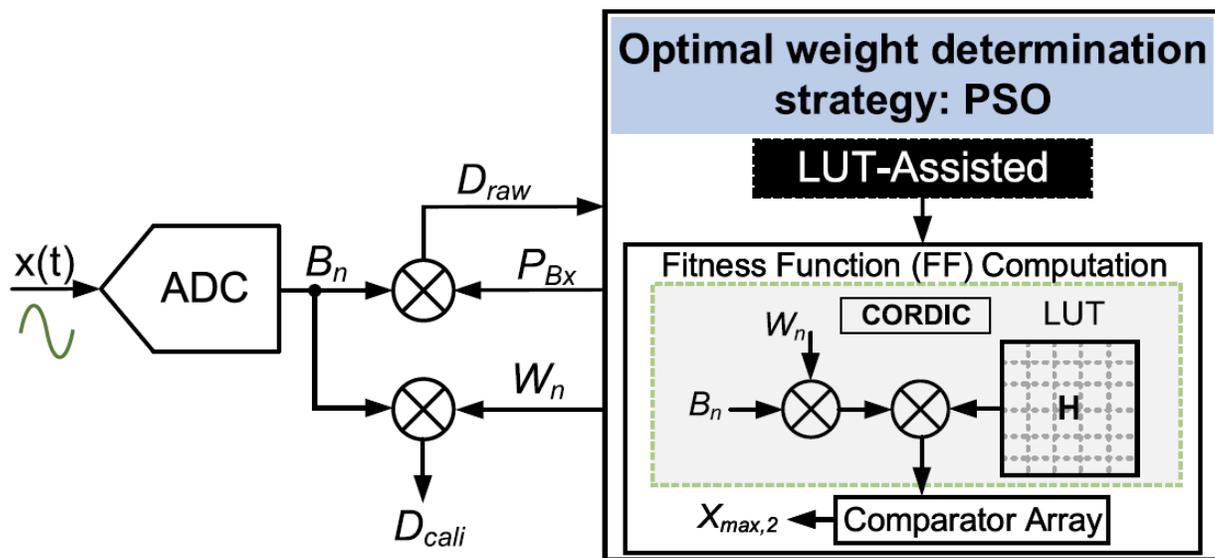
基于AI辅助的校准技术

使用遗传算法、粒子群优化、神经网络等AI算法，迭代误差函数系数，使适应度函数最大（或最小）化，从而消除ADC误差。通常**具有收敛速度快、校准范围大、校准误差种类多的优点**。但需要合理选择适应度函数，权衡功耗、精度、稳定性等方面因素。

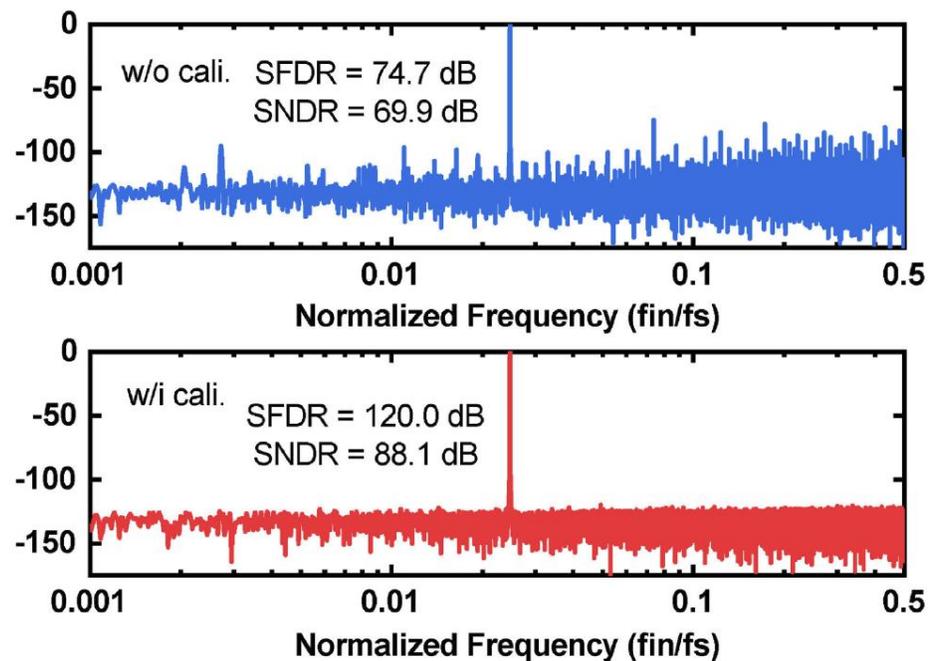




基于粒子群优化的SAR ADC数字校准



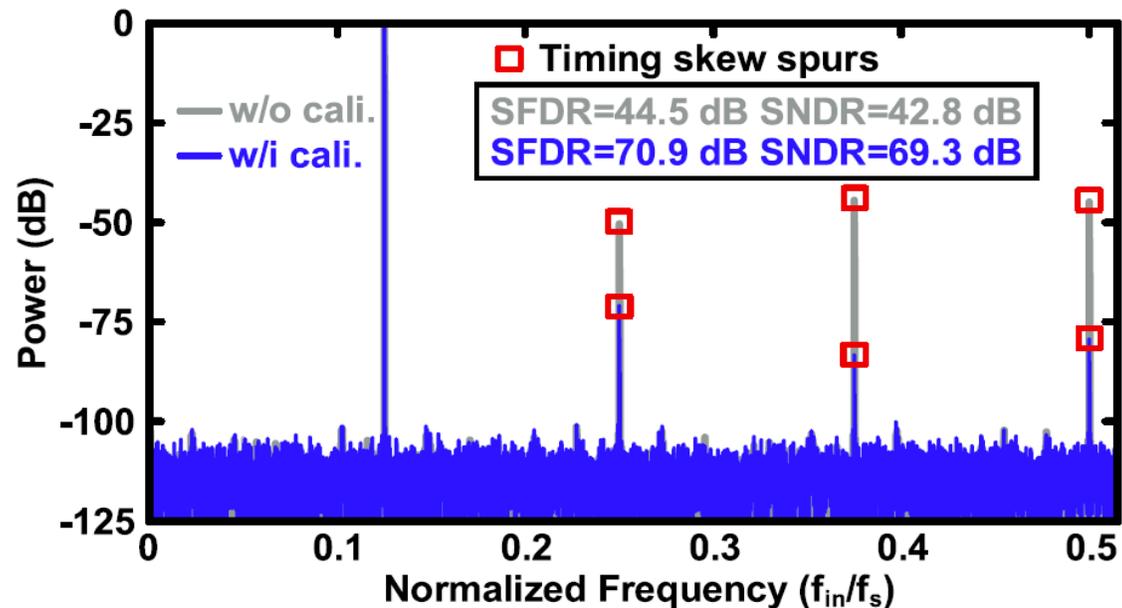
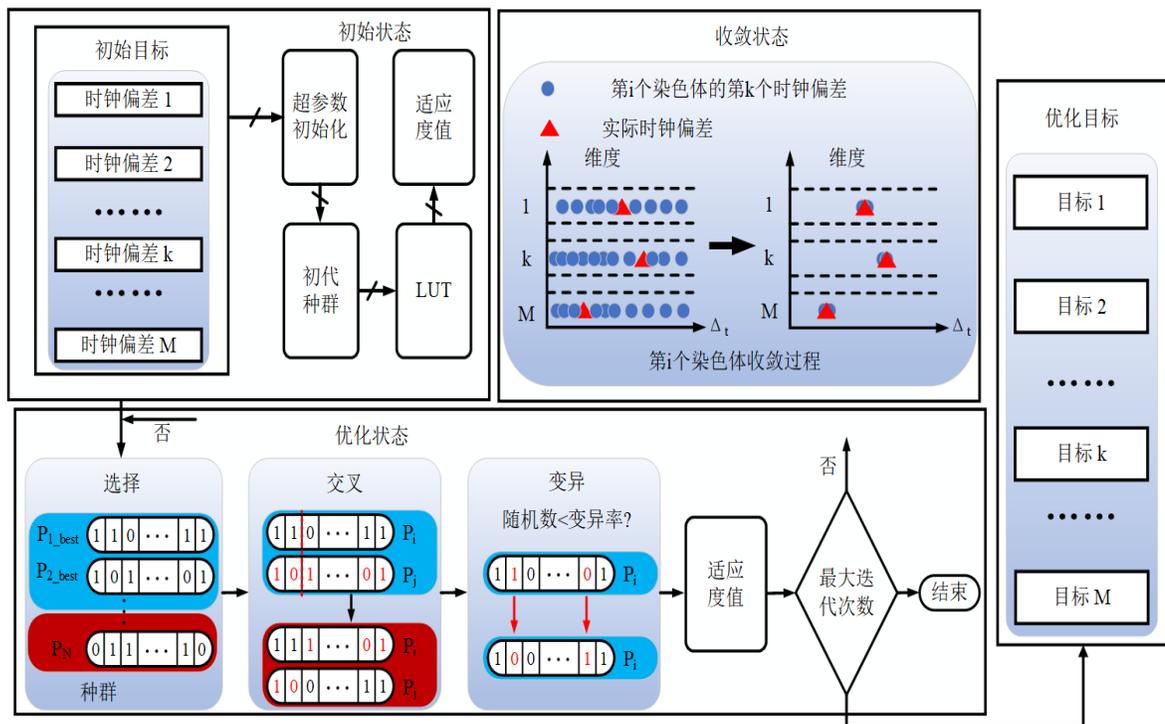
[L. Wang, TIM' 24]



- 基于**粒子群优化**的SAR ADC电容失配校准
- 通过查找表辅助的CORDIC算法，计算**频域适应度函数**
- 对ADC输出码**位权重**进行搜索，使适应度函数最大化
- 校准速度及精度远超传统模拟和数字方法



基于遗传算法的TI ADC数字校准

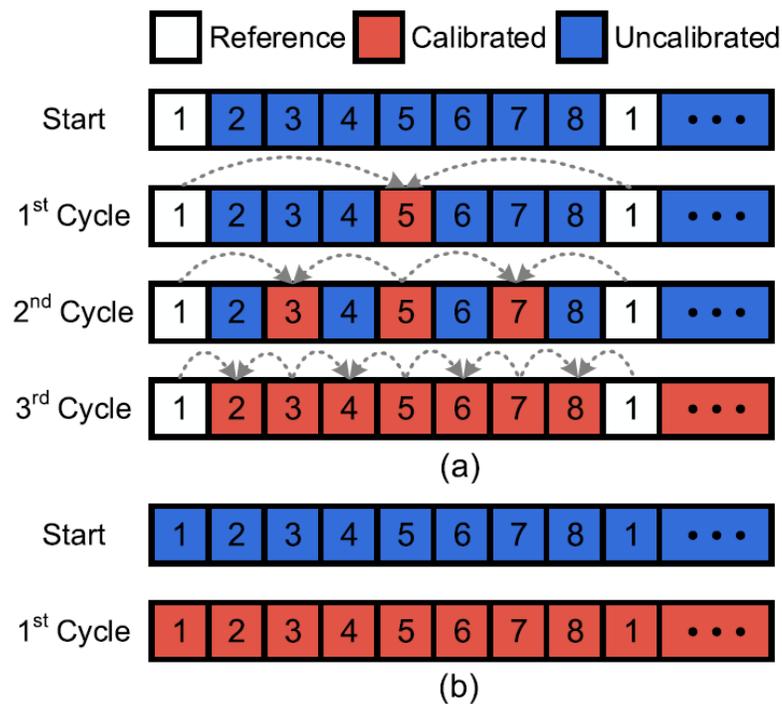
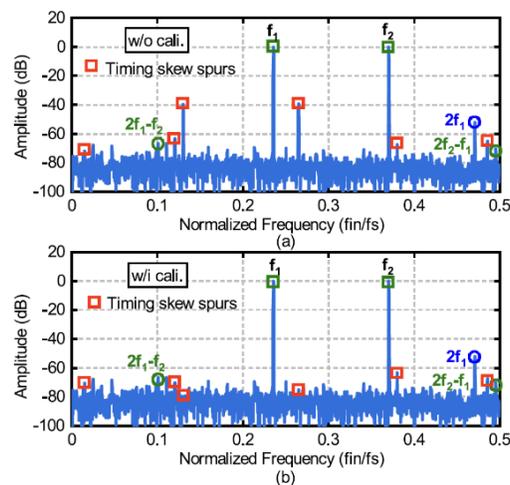
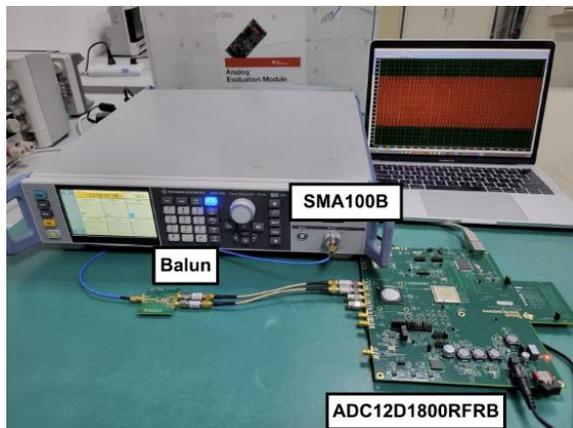
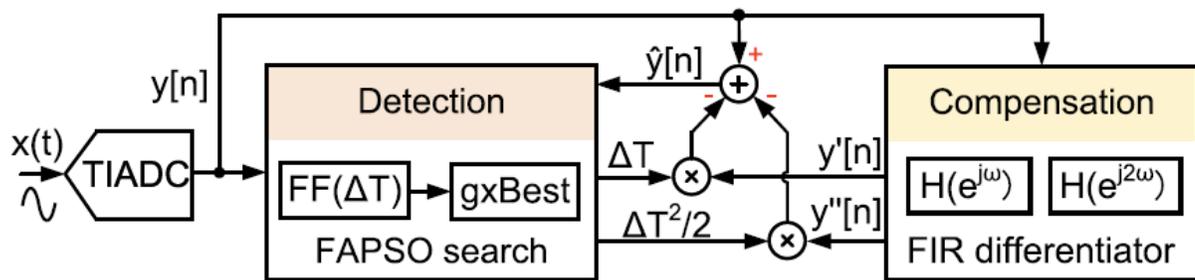


[D. Li, TIM' 24]

- 基于**遗传算法**的时钟偏差校准方法，可校准**任意通道**TI ADC
- 在**频域**优化适应度函数，解决了**特殊频点**校准难题
- 频繁的时-频域FFT转换导致功耗较大



基于粒子群优化的TI ADC数字校准



传统方法：
3个周期收敛

本方法：
1个周期收敛

[L. Wang, TCAS-I' 24]

- 改进时域适应度函数，仅由简单逻辑电路组成，功耗低
- 无需参考通道，各通道独立收敛，收敛速度提高10倍以上
- 可适应各类型输入信号，实现全数字后台校准



提纲

- 高速高精度ADC背景及发展现状
- 高速高精度ADC主流架构及技术
- 新型混合架构高速高精度ADC
- 数字校准技术
- 技术展望



总结

- 高速高精度ADC是信号链关键元器件，也是**核心“卡脖子”芯片**
- 随着工艺节点不断缩小，传统架构ADC面临**速度和能效瓶颈**
- **混合架构ADC**具有速度快、能效高、适应先进工艺的优点，是**未来高速ADC发展的主要方向**
- 随着ADC性能指标的不不断提升，校准几乎成为必然，**数字后台校准**可跟踪PVT变化，已成为高速高精度ADC不可或缺的重要组成部分
- **人工智能、神经网络**等未来可辅助实现更高性能的ADC

谢谢！