



中国科学院高能物理研究所

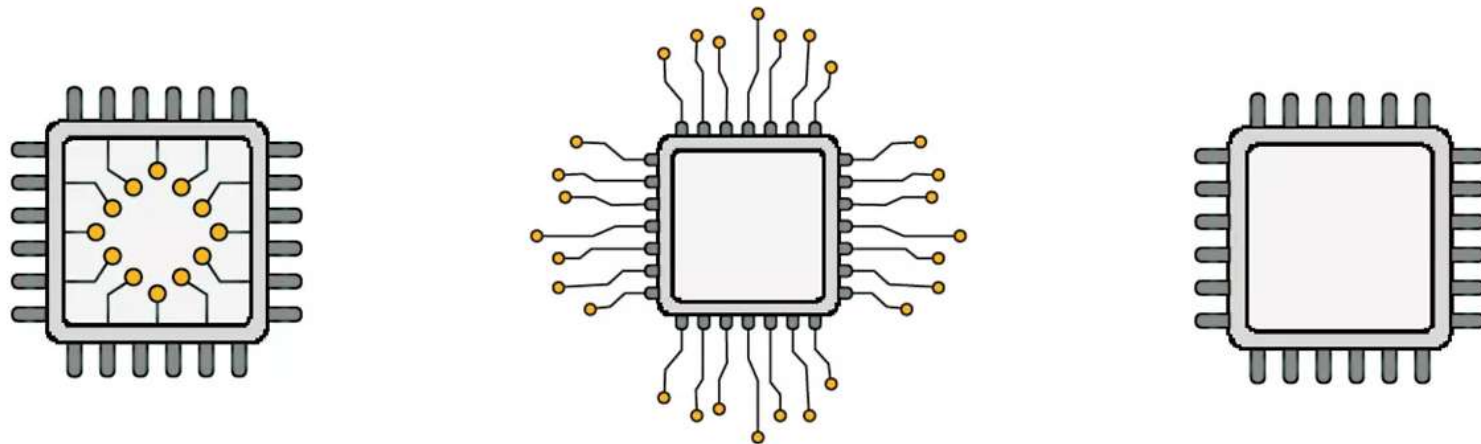
Institute of High Energy Physics, Chinese Academy of Sciences

数字集成电路设计简述

报告人：陈娇龙 汇报时间：2025年2月7日

1.1、什么是集成电路 (IC)

- 集成电路是由晶体管、电阻器和电容器等相互连接的组件组成的紧凑型电子芯片，通常称为芯片，可包含数百到数十亿个组件的集合，由半导体材料制成。硅片内的晶体管通过层叠在硅表面的互连线连接在一起。



- 集成电路的用途非常广泛：儿童玩具、汽车、计算机、手机、飞机、电子游戏、牙刷等等。
- 集成电路是使用光刻技术创建而成，这种工艺利用紫外光将组件同时印刷到一块基板上，就像用一张底片打印多张照片一样。相比于使用分立组件而言，将IC的所有组件打印在一起的高效率意味着IC的生产成本更低、性能更可靠，且尺寸小，速度快，功耗低。

1.2、集成电路产业链

- 集成电路是半导体产业的核心，由于其技术复杂性，产业结构高度专业化。目前市场IC产业链分为**IC设计**、**IC制造**和**IC封装测试**。

(Electronic Design Automation)



- 设计方面**：细分领域具备亮点，核心关键领域设计能力不足。从应用类别(如手机到汽车)到芯片项目(如处理器到FPGA)，国内在高端关键芯片自给率几近为0。
- 设备方面**：自给率低，需求缺口较大，当前在中端设备实现突破，初步产业链成套布局，但关键领域如沉积、刻蚀、离子注入、检测等，仍旧缺失。
- 材料方面**：在靶材等领域已经比肩国际水平，但在光刻胶等高端领域仍需较长时间实现国产替代。
- 制造方面**：全球市场集中，台积电占据约60%的份额。
- 封测方面**：国内企业（如长电、华天、通富等）整体实力不俗，在世界拥有较强竞争力。

按功能分类：

- **模拟集成电路 (Analog IC)**：处理连续信号，如放大器、滤波器、电压基准、电源管理芯片等。
- **数字集成电路 (Digital IC)**：处理离散信号，如逻辑门、微处理器、存储器、FPGA 等。
- **混合信号集成电路 (Mixed-Signal IC)**：同时包含模拟和数字电路，如 ADC、DAC、PLL (锁相环) 等。

按制造工艺分类：

- **双极型集成电路 (Bipolar IC)**：采用双极型晶体管 (BJT)，如高频放大器、模拟电路等。
- **CMOS 集成电路**：采用 CMOS 工艺，功耗低，适用于数字电路和低功耗模拟电路。
- **BiCMOS 集成电路**：结合 BJT 和 CMOS 的优势，适用于高速低功耗应用。

按集成度分类：

- **小规模集成电路 (SSI, Small Scale Integration)**：包含 10~100 个元件，如基本逻辑门。
- **中规模集成电路 (MSI, Medium Scale Integration)**：包含 100~1000 个元件，如计数器、寄存器。
- **大规模集成电路 (LSI, Large Scale Integration)**：包含 1000~10000 个元件，如存储器、简单处理器。
- **超大规模集成电路 (VLSI, Very Large Scale Integration)**：包含 10000 以上元件，如微处理器、DSP。
- **特大规模集成电路 (ULSI, Ultra Large Scale Integration)**：现代高端 IC，如高性能 GPU、AI 芯片。

1.3、集成电路类型

按应用领域分类：

- 通用集成电路：如通用 MCU、存储器、运算放大器。
- 专用集成电路（ASIC, Application-Specific IC）：针对特定应用设计，如图像处理 ASIC、通信 ASIC。
- 现场可编程门阵列（FPGA, Field Programmable Gate Array）：可编程硬件，实现定制逻辑功能。
- SoC（System on Chip）：集成多个功能模块的单芯片系统，如手机处理器。

按封装形式分类：

- DIP（双列直插封装）
- SOP（小外形封装）
- QFP（四方扁平封装）
- PLCC（塑封引线芯片封装）
- BGA（球栅阵列封装）
- CSP（芯片级封装）
- 2.5D/3D封装（将多个芯片并列/堆叠）



DIP



SOP



QFP



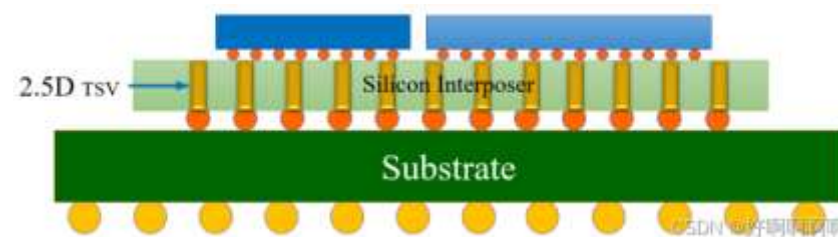
PLCC



BGA



CSP



2.5d/3D

IC设计中需要考虑的因素

- 满足功能和性能的要求（性能：速度、功耗）
- 降低芯片成本（包括：设计、制造、测试）
 - **设计**：良好的设计流程，就能降低芯片的设计成本。
 - **制造**：需要优化设计来减少芯片面积，增加每个晶圆上的管芯数，在设计中采用DFM (Design for Manufacturability) 方法来提高芯片制造成品率。
 - **测试**：在设计中采用可测试性设计（DFT）方法，降低每个芯片的测试时间等。
 - 单芯片成本计算方式： $CT = CD/N + CP/(y*n) + \text{封装测试成本}$
 - 第一项表示分摊到每个芯片上的设计费用：CD是设计及掩模制版费，N是总产量；
 - 第二项表示每个芯片的制造费用：CP是每个晶圆的制造费用，n是每个晶圆上的管芯数，y是晶圆成品率。
- 延长芯片的使用寿命
- 缩短芯片面市时间（Time-to-Market）

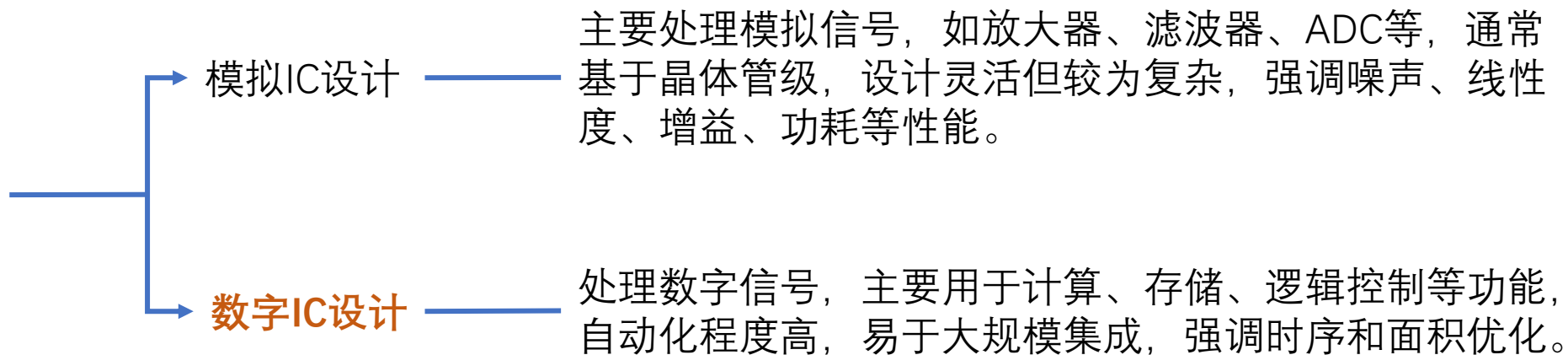
IC按功能分类：

- 模拟集成电路 (Analog IC)
- 数字集成电路 (Digital IC)
- 混合信号集成电路 (Mixed-Signal IC)



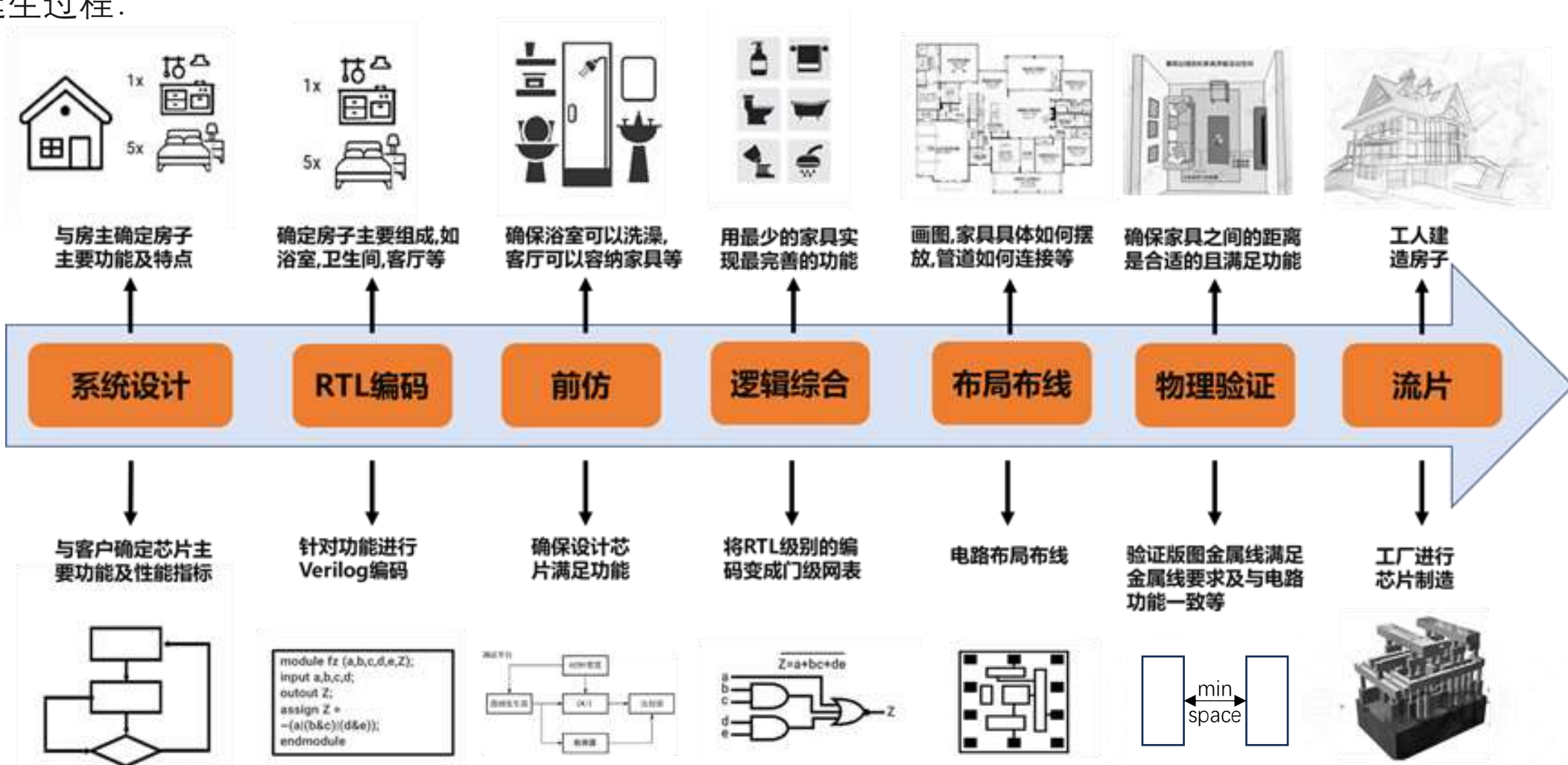
IC设计

- 模拟IC设计
- 数字IC设计



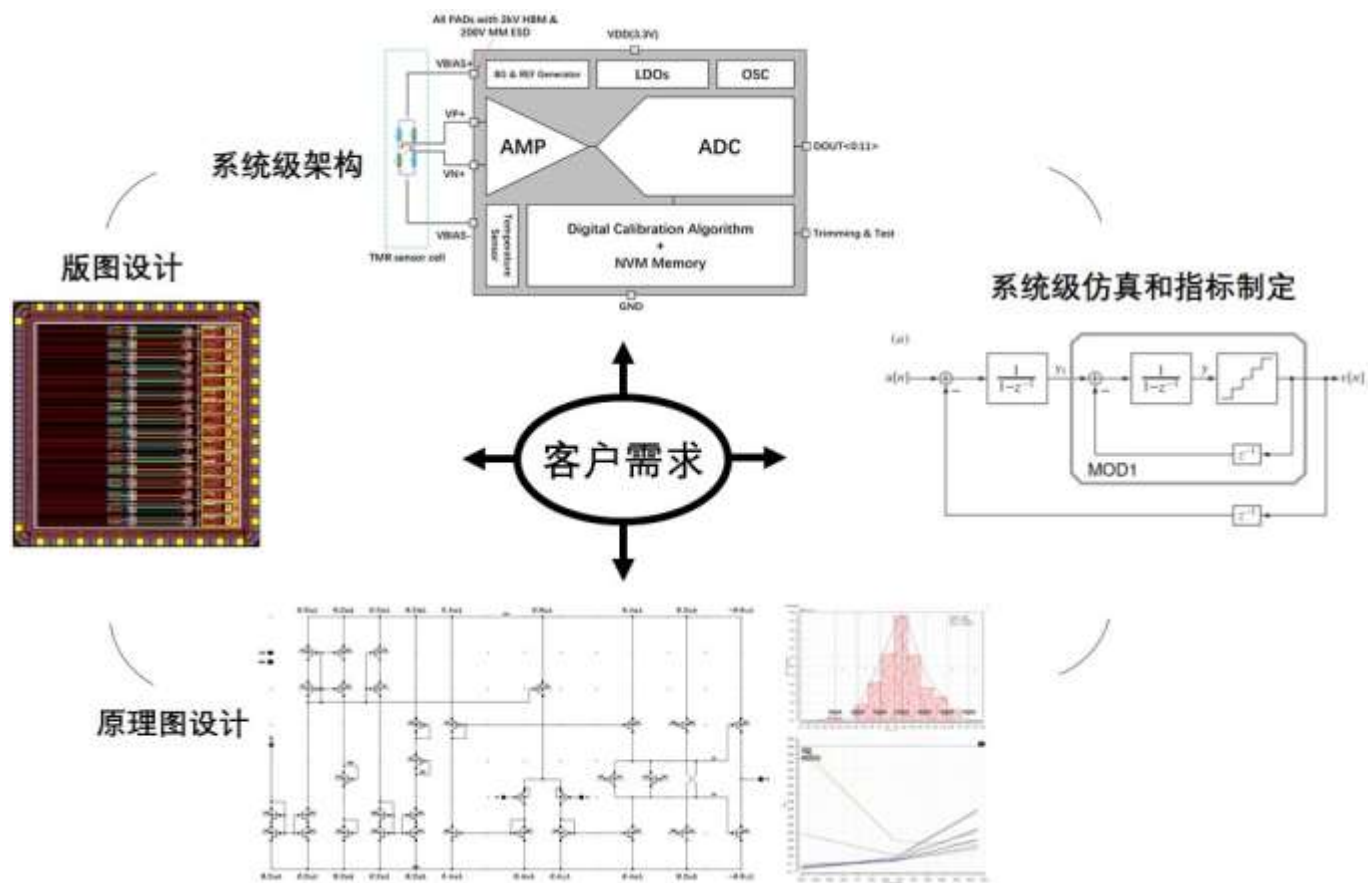
2、数字IC设计

芯片的诞生与楼房建造虽然属于完全不同的领域，但两者在流程上非常相似。芯片设计就像是**楼房建设中图纸**的诞生过程：



2.1、系统设计

- 以CPU芯片设计为例，首先需要确定**芯片的功能、性能指标和架构设计**，形成芯片规格说明书（Spec）。
- 典型的设计规格包括支持的指令集、主频、性能、面积和功耗指标以及接口信号定义。之后就给出相应的设计方案，通常用自然语言或高级建模语言从较为抽象的角度对CPU进行结构设计。



2.2、寄存器传输级 (RTL) 编码

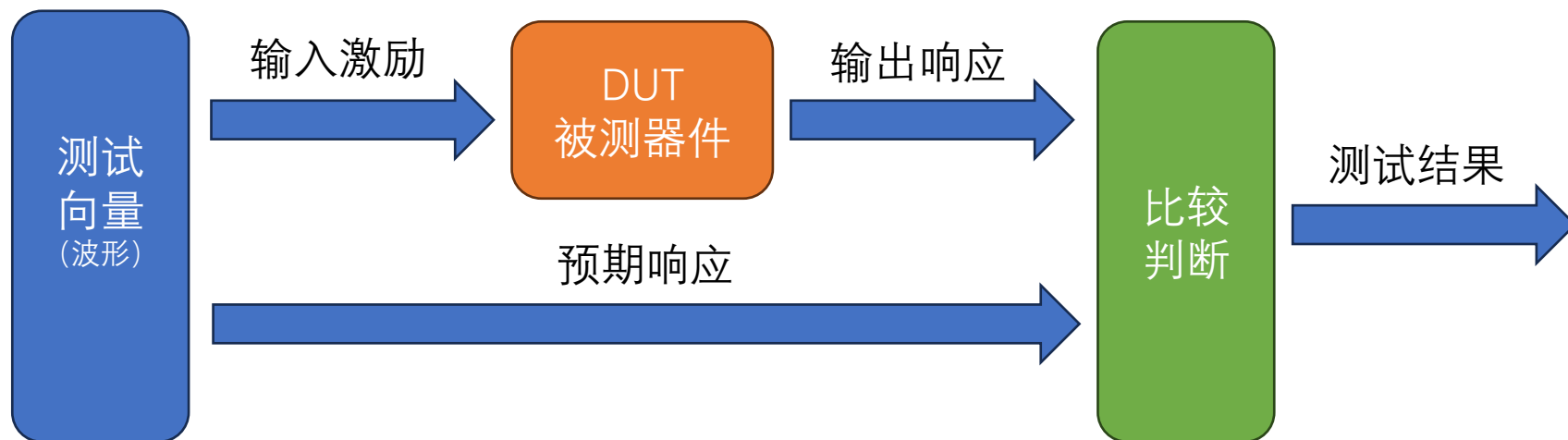
- 使用硬件描述语言（如Verilog或VHDL）编写芯片的逻辑描述，定义芯片的逻辑功能和数据传输。
- 这一步类似于建筑师绘制房子的详细布局，包括浴室、卫生间、客厅等各个房间的具体安排。

```
module counter(  
    clk,  
    rstn,  
    in_num,  
    out_num  
);  
input clk,rstn;  
input [3:0] in_num;  
output reg [3:0] out_num;  
  
always@(posedge clk or negedge rstn)  
begin  
    if(~rstn)  
        out_num <= in_num;  
    else  
        if(out_num > 3'd0)  
            out_num <= out_num-3 'd1;  
        else  
            out_num <= in_num;  
    end  
end  
endmodule
```

减法计数器Verilog代码示例

2.3、前仿（功能仿真）

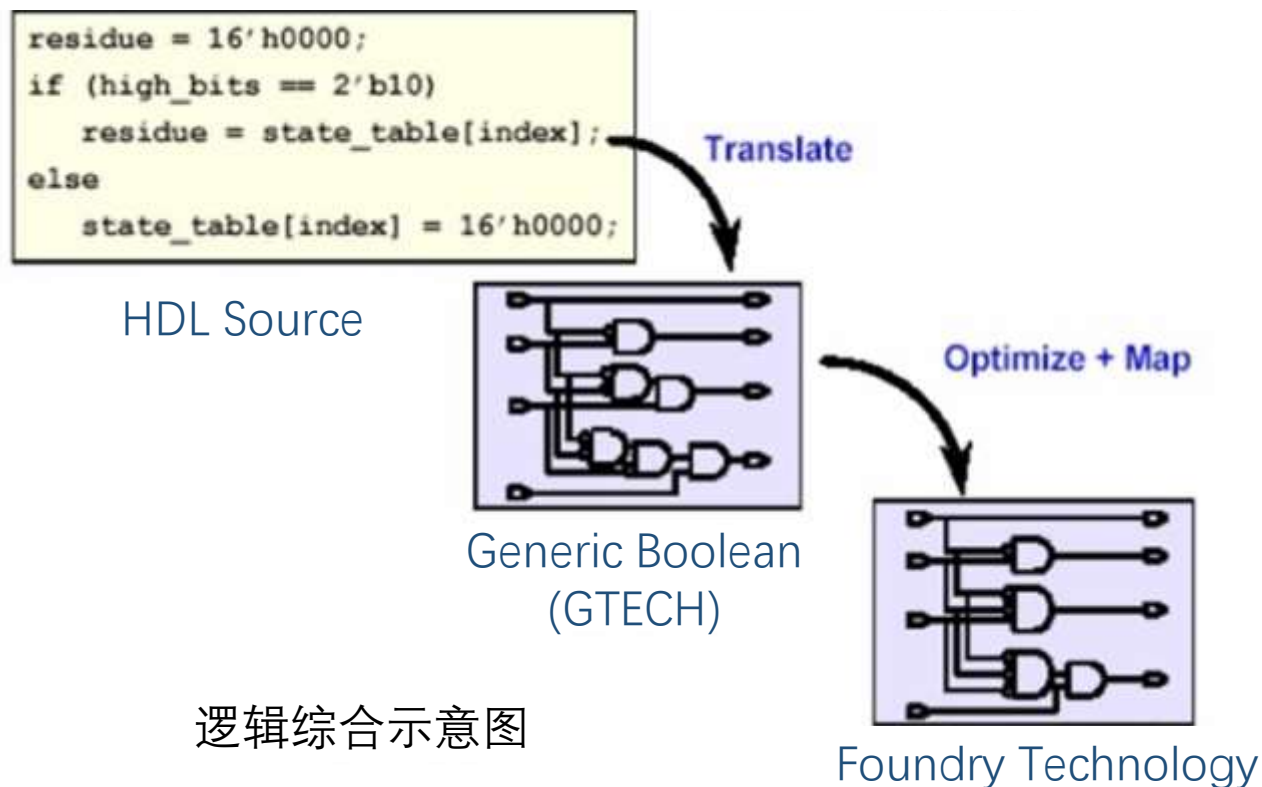
- 通过仿真验证逻辑设计是否符合预期功能，确保设计的正确性。功能验证是确保设计满足规范要求的关键步骤，通过仿真和形式验证等方法，设计团队将检查并消除设计中的错误和漏洞。
- 具体内容为，通过在搭建的验证环境中输入激励，然后通过检测输出波形是否和预期的一样来判断设计是否符合原来的设计规格。
- 这就好比在实际楼房建造之前，建筑师会确保每个房间都能满足基本功能，如浴室能洗澡，客厅能容纳家具一样。



2.4、逻辑综合

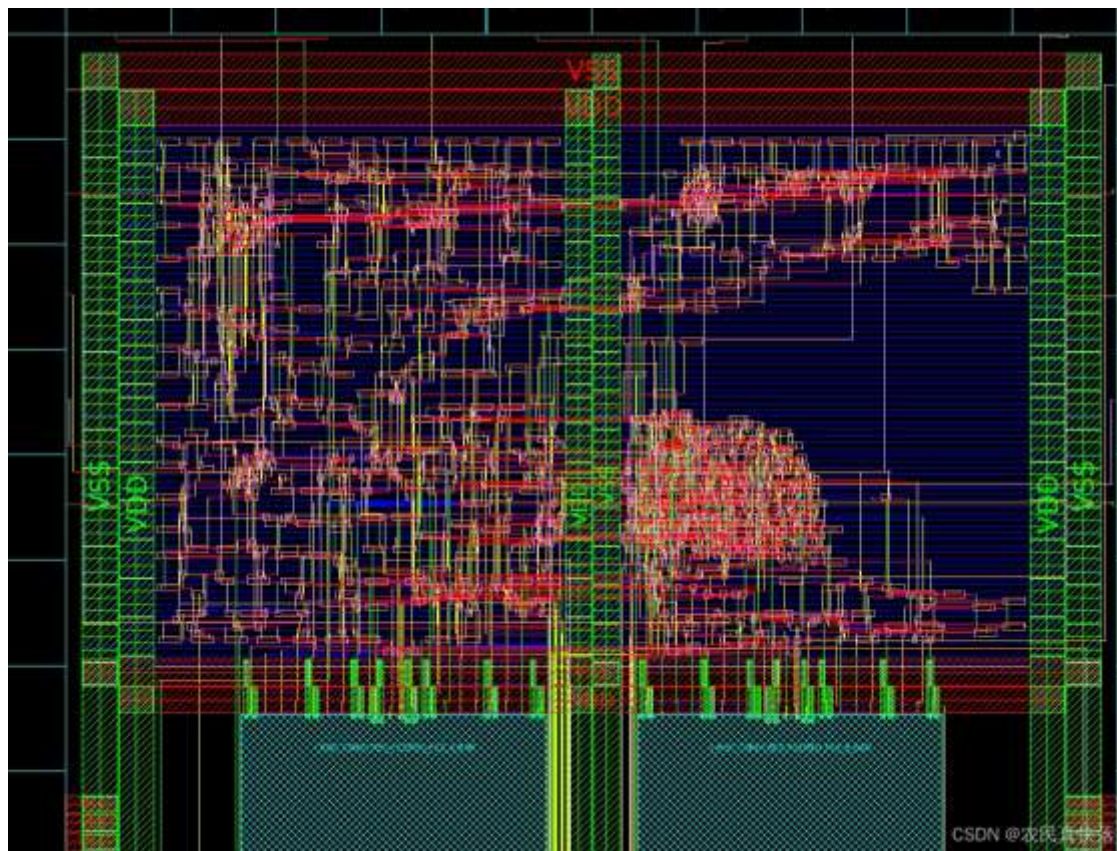
- 将RTL描述转换为**逻辑门级别**的电路，并进行优化，以满足性能、功耗和面积（PPA）的要求。逻辑综合主要包括翻译、优化、映射步骤。
- 这就如同建筑师在确定房间布局后，建筑师会考虑如何最有效地利用空间，比如选择多功能家具来节省空间。

Synthesis = Translation + Optimization + Mapping



2.5、布局布线

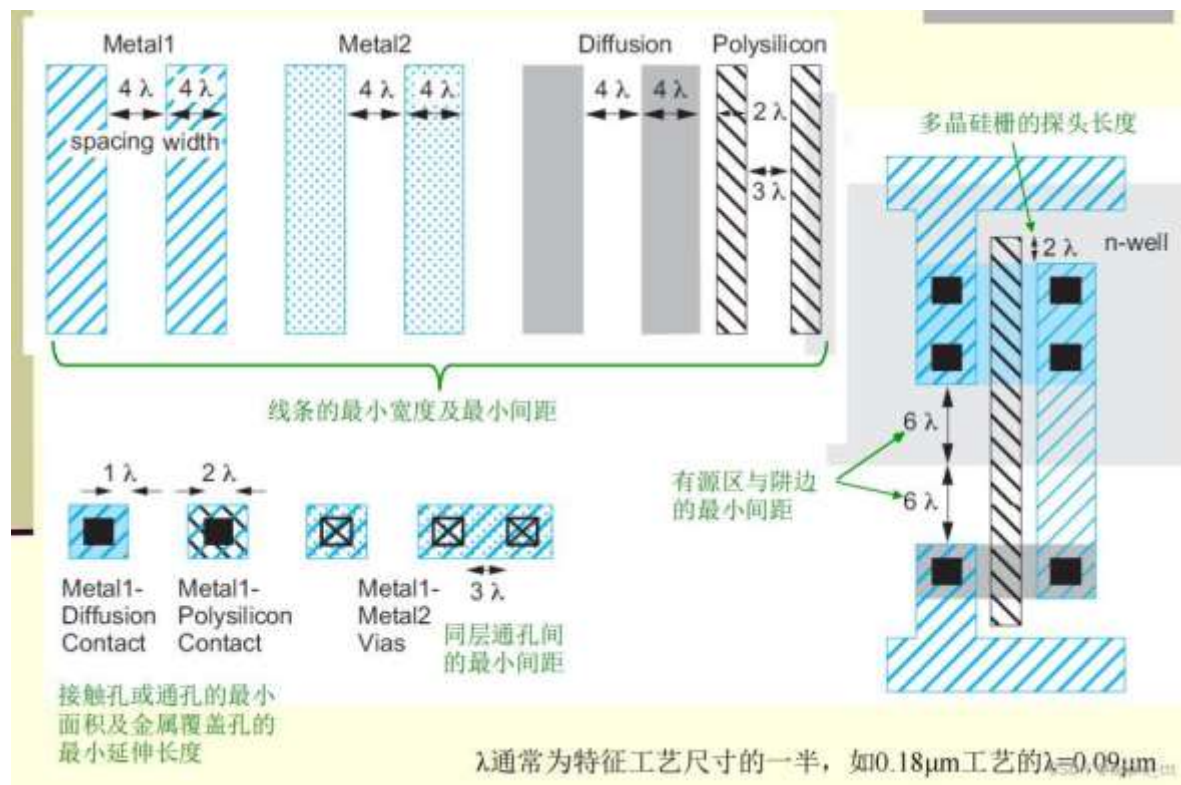
- 将逻辑门和电路元件放置在芯片上，并通过金属线连接它们，形成电路的物理布局，称之为版图。
- 这一步类似于建筑师将建筑设计草图转化为最后实际交给工人的建筑设计终版图，工程师根据优化后的电路逻辑布局设计芯片的物理结构。



版图示例

2.6、物理验证

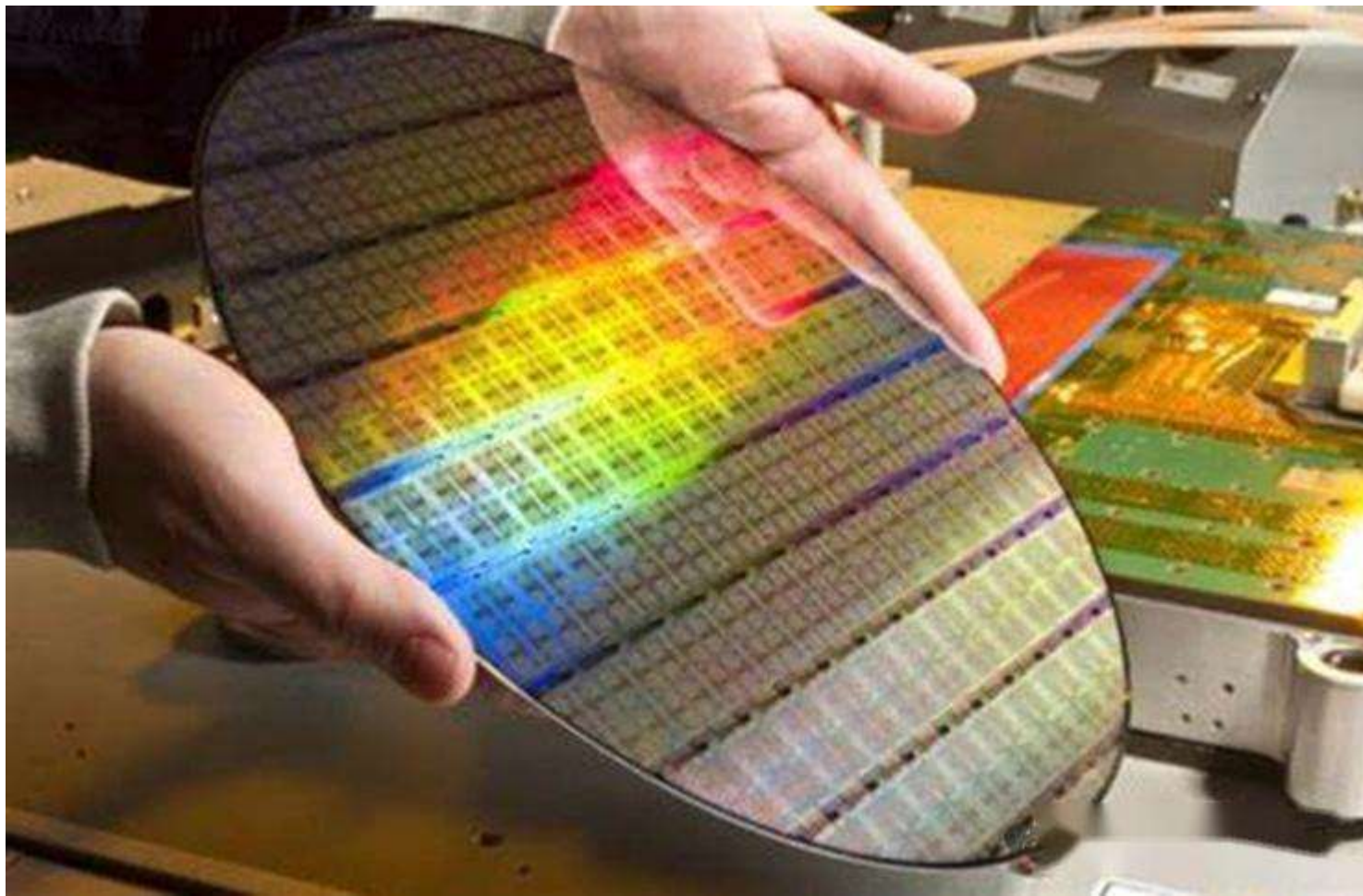
- 通过各种物理验证步骤（如设计规则检查DRC、版图与原理图一致性检查LVS等）确保布局和布线符合制造工艺规则。
- 在这一阶段，类似于建筑师进行结构和材料的检查以确保符合建筑规范，工程团队通过各种物理验证确保家具之间摆放距离合适等。

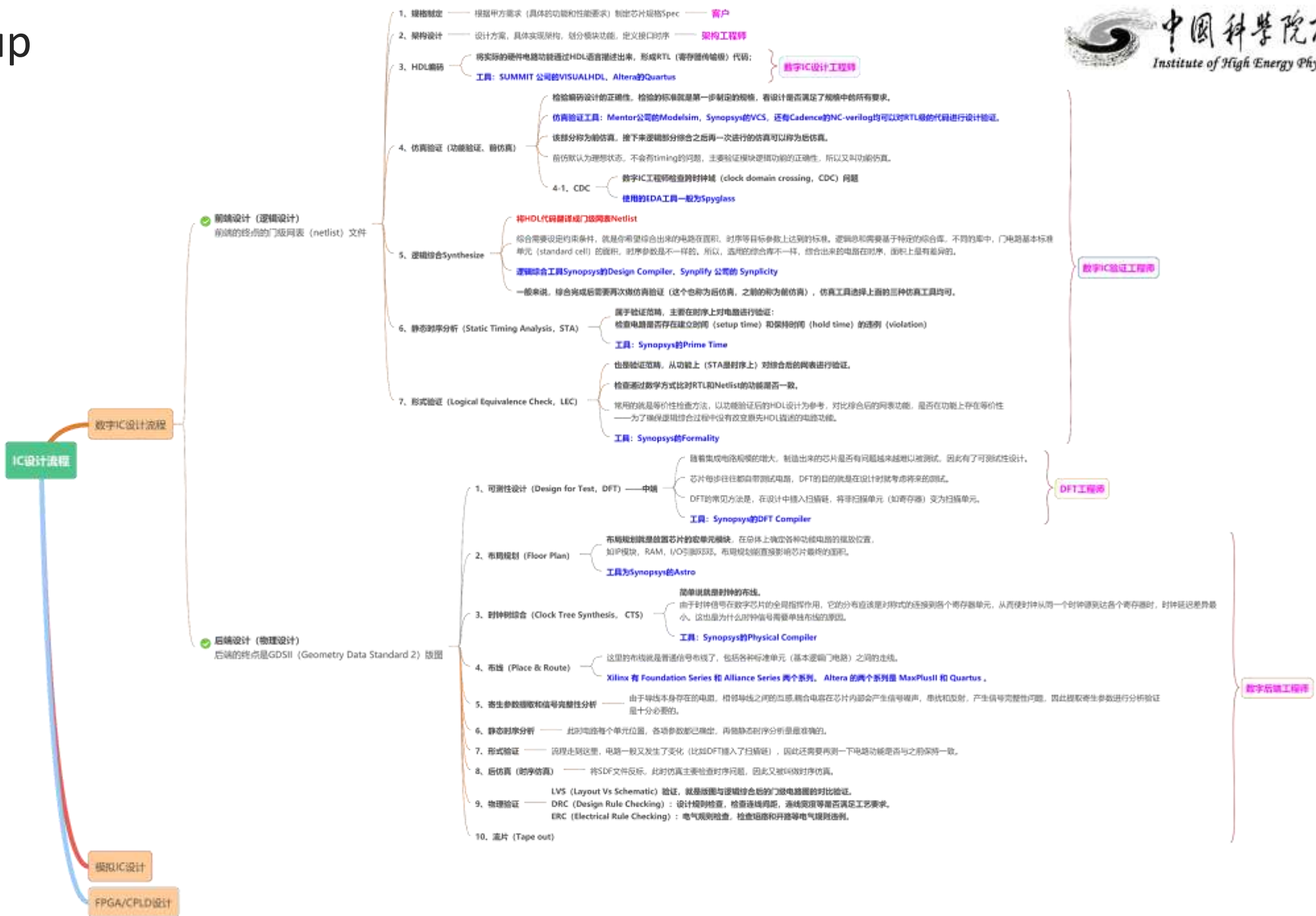


DRC规则示例

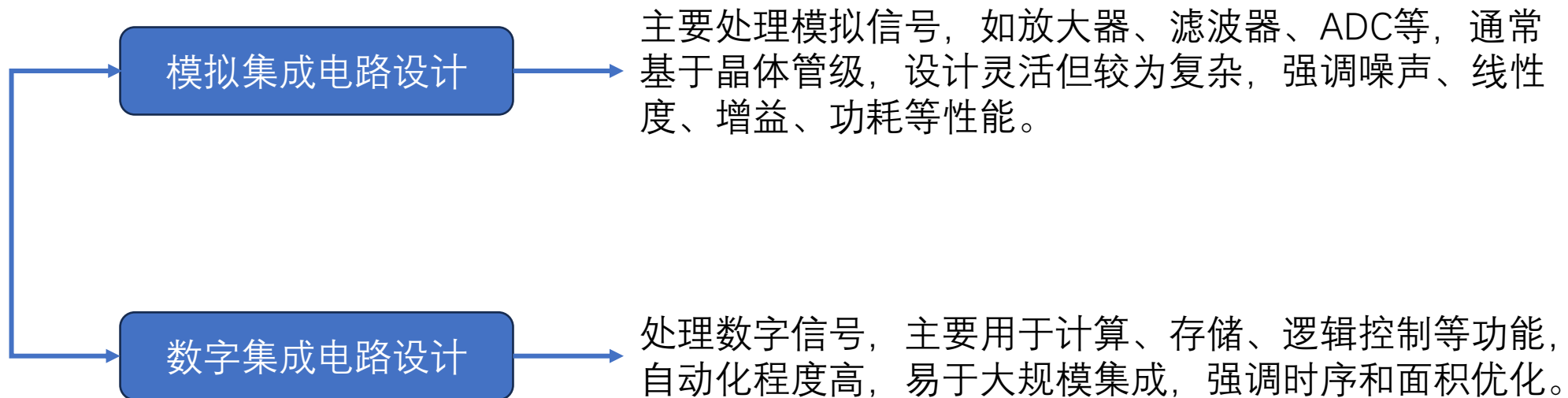
2.7、流片

- 将设计好的芯片图纸送到工厂进行制造，这个过程包括光刻，刻蚀，离子注入等。
- 类似于房子设计和规划完成后，开始实际建造房子，将设计图纸转化为实体建筑。

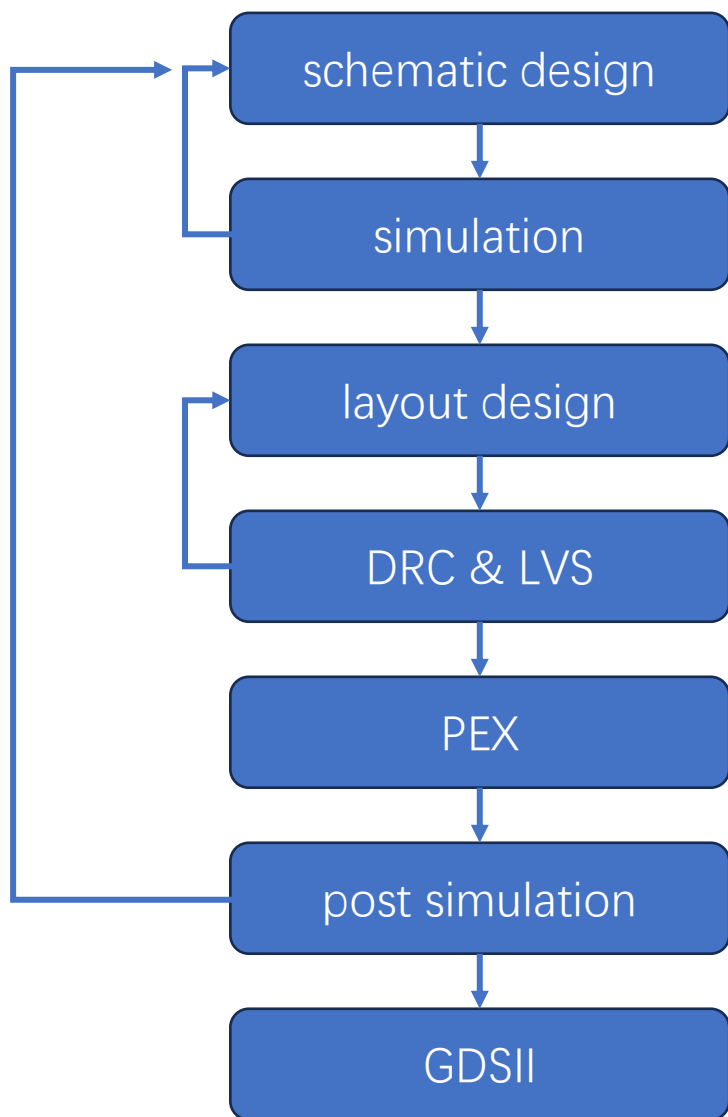




3、两种集成电路设计方式



2、模拟集成电路设计流程



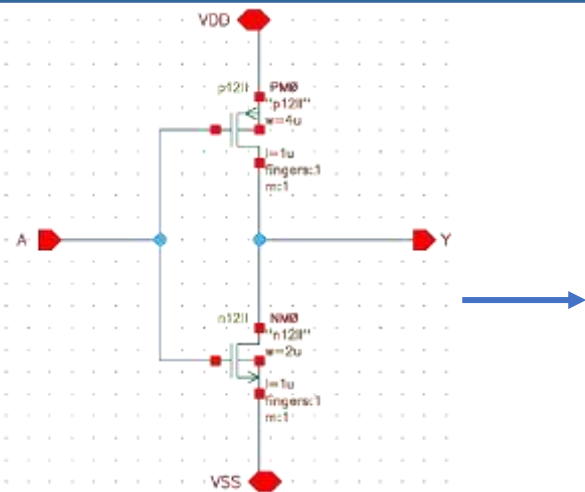
Design Rule Check: 设计规则检查，检查版图是否复合晶圆厂提供的工艺设计规则，包括线宽、间距、接触孔尺寸等。

Layout Versus Schematic: 检查版图与原理图是否一致，包括晶体管、电阻、电容等器件是否匹配、连接关系是否一致等。

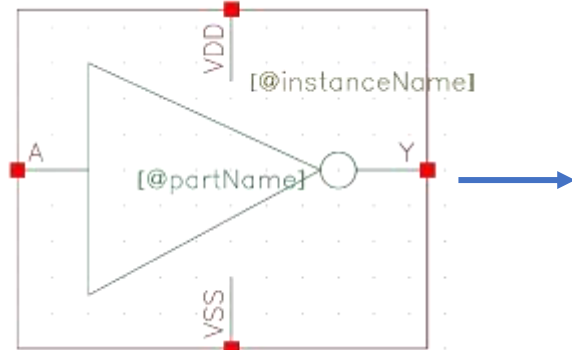
Parasitic Extraction: 寄生参数提取，包括寄生电容、寄生电感、寄生电阻等。

一种二进制文件格式，用于描述半导体芯片的布局和电路连接。它包含了各种几何形状、层次结构、电路元件和连线等信息

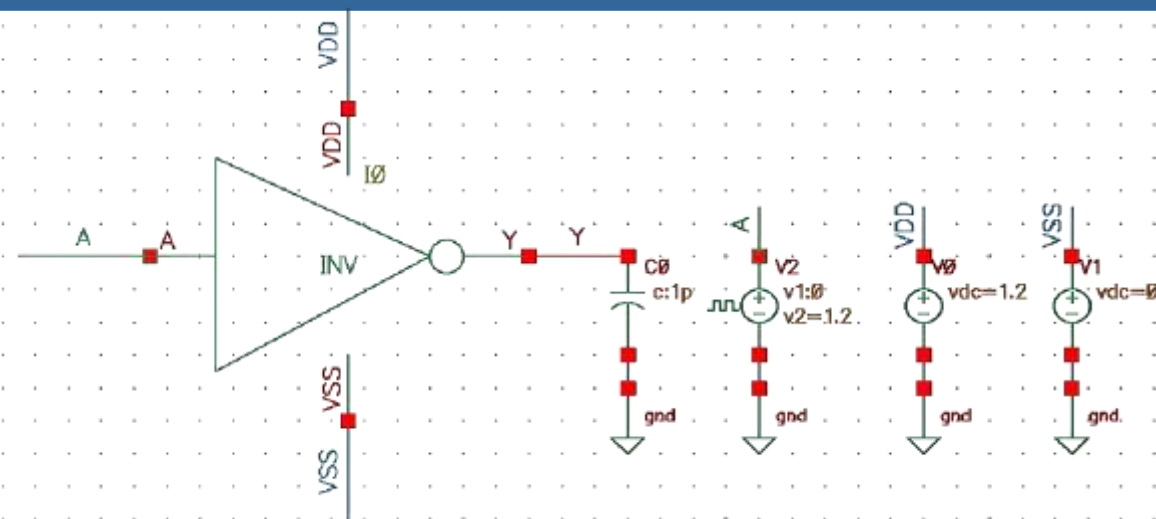
2、模拟集成电路设计流程



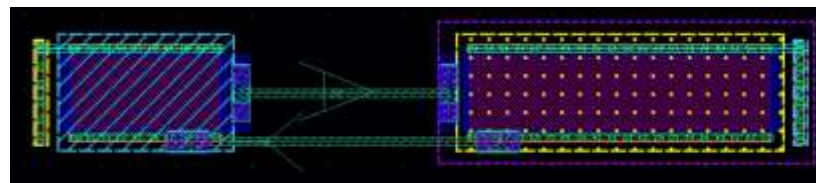
反相器原理图



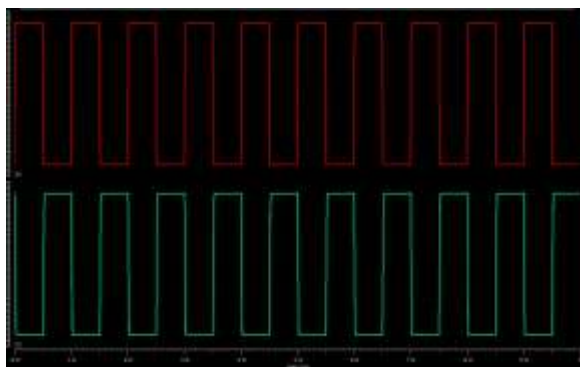
打包成symbol



测试电路



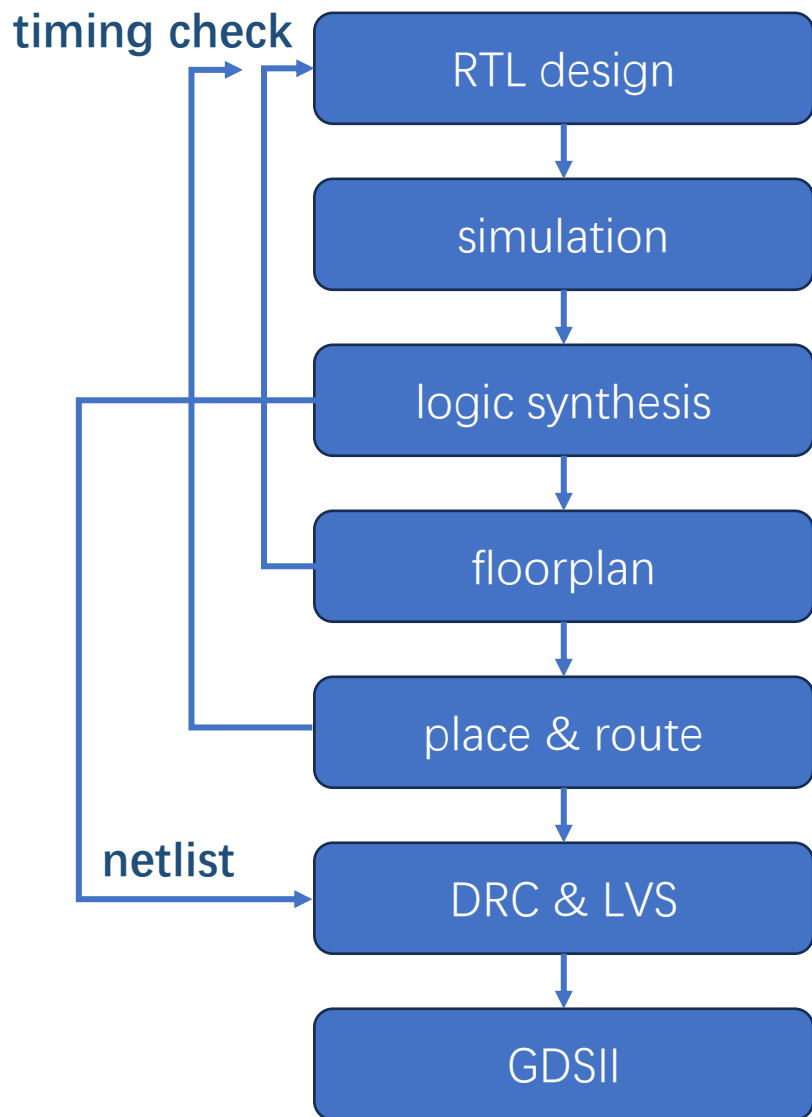
layout



后仿结果

DRC&LVS, PEX

3、数字集成电路设计流程



Register Transfer Level: 将设计需求用Verilog等语言进行描述

将RTL代码转换为门级网表

确定各个模块的大致位置及其之间的互联路径

将具体的电路元件放到floorplan确定的模块区域内

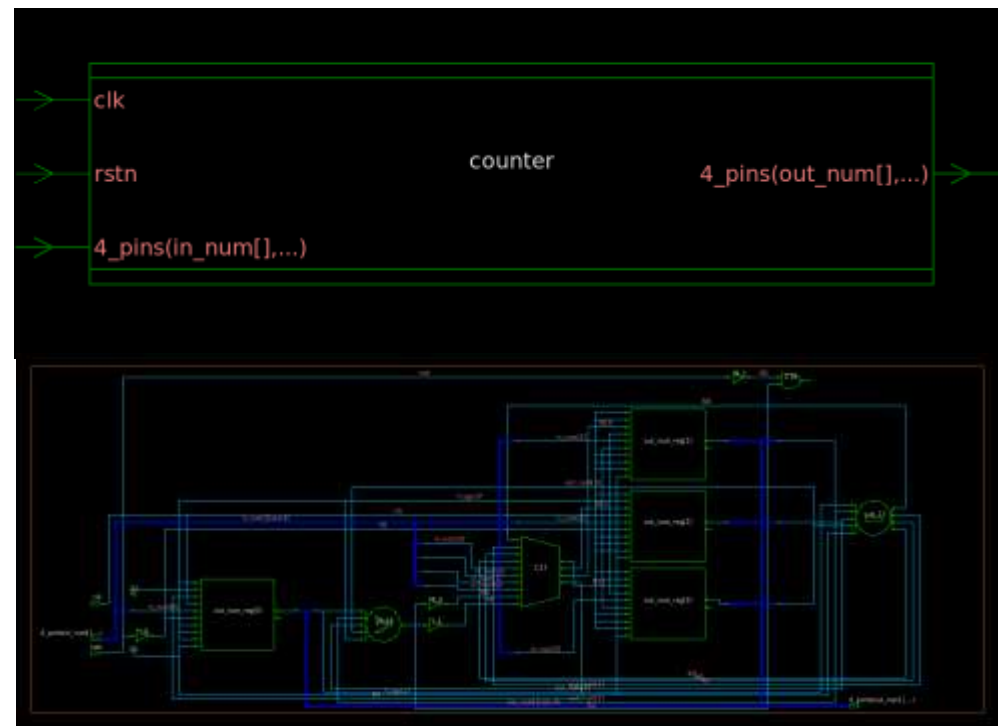
3、数字集成电路设计流程

```
module counter(  
    clk,  
    rstn,  
    in_num,  
    out_num  
);  
input clk,rstn;  
input [3:0] in_num;  
output reg [3:0] out_num;  
  
always@(posedge clk or negedge rstn)  
begin  
    if(~rstn)  
        out_num <= in_num;  
    else  
        if(out_num > 3'd0)  
            out_num <= out_num-3'd1;  
        else  
            out_num <= in_num;  
    end  
end  
endmodule
```

减法计数器代码

```
`timescale 1ns/1ns  
module counter_tb();  
reg [3:0] in_num;  
reg clk,rstn;  
wire [3:0] out_num;  
  
initial  
begin  
    #0 in_num = 4'd7;  
    #0 clk = 1'd0;  
    #0 rstn = 1'd1;  
  
    .....  
  
    counter counter(  
        .clk(clk),  
        .rstn(rstn),  
        .in_num(in_num),  
        .out_num(out_num)  
    );  
end  
endmodule
```

测试文件

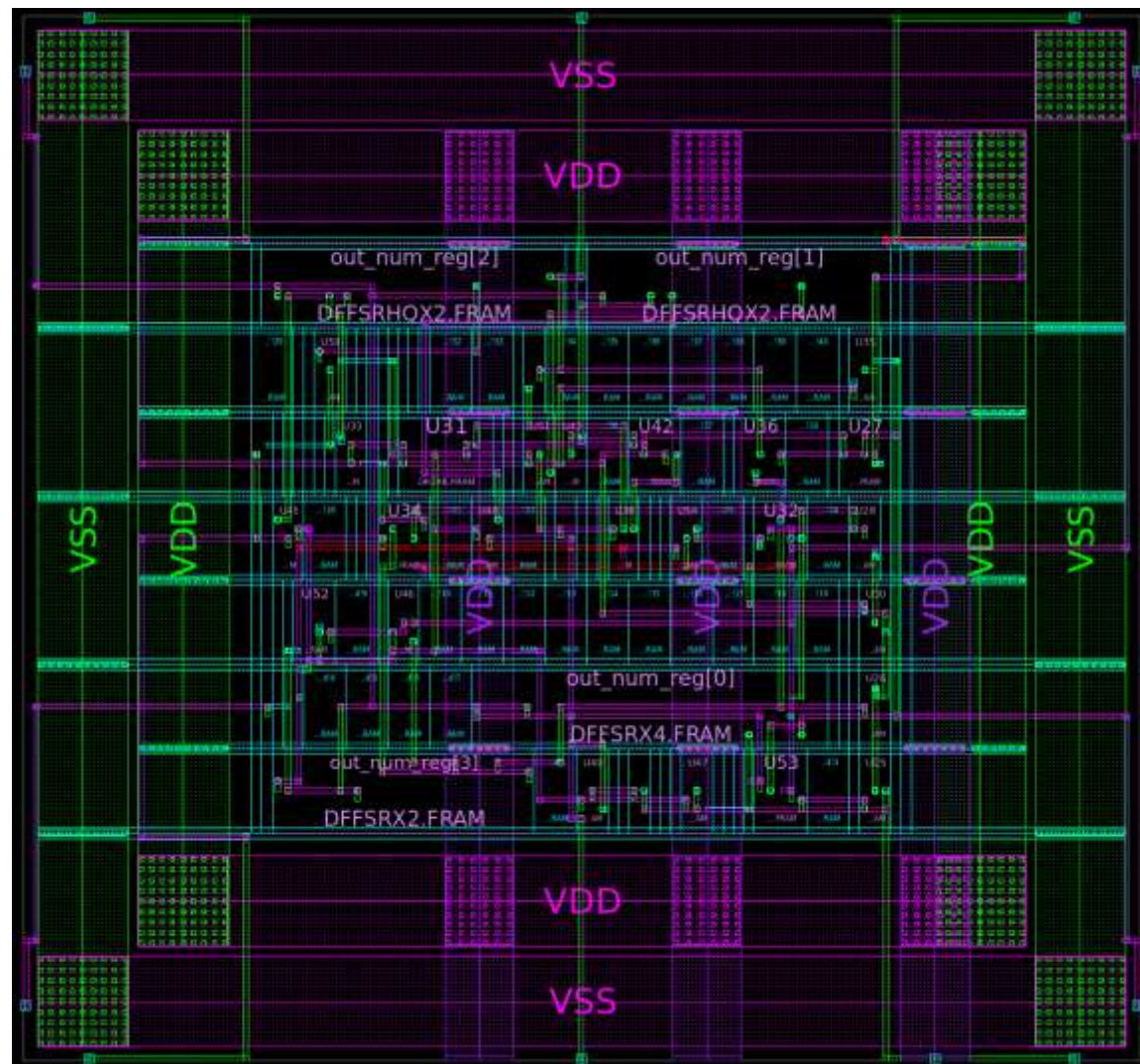


逻辑综合

3、数字集成电路设计流程

icc_command:

```
create_floorplan  
create_rectangular_rings  
create_power_straps  
preroute_standard_cells  
.....
```



This design has no violated constraints.

