

Data Link Project

数据传输系统方案及芯片设计

Data Link项目组

华中师范大学 郭迪

diguo@mail.ccnu.edu.cn

2025年2月18号



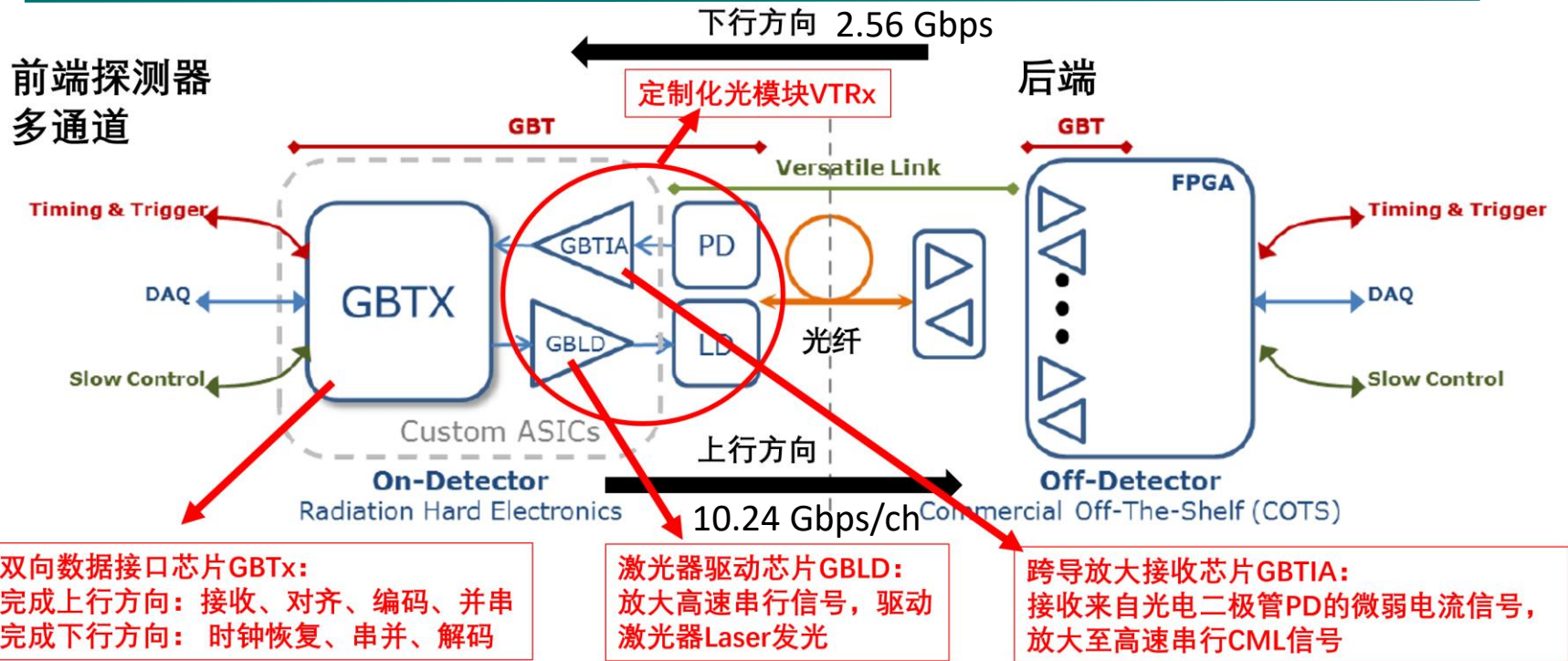
Data Link Project项目概要

- **Data Link Project项目概要**
- **TaoTie饕餮：数据预汇总芯片**
- **ChiTu赤兔：双向数据接口芯片**
- **KinWooLDD 金乌激光器驱动芯片**
- **KinWooTIA 金乌TIA跨阻接收芯片**
- **总结**

Data Link Project项目概要

- **Data Link Project项目的需求背景：**
 - 面向以CEPC为代表的大型高能物理实验中各类前端探测器有海量的数据传输需求（前端→后端 **Uplink**方向）。
 - 特别是不同类型探测器，有不同的通道数、数据率。
 - 前端探测器中的各类电子学模块需要配置、触发**Trig**等信息（后端→前端 **Downlink**方向）。
 - 各前端探测器子系统需要不同速率、高精度的时钟信号。
 - 如何以一套通用、整体的数据传输架构解决以上问题，并初步考虑抗辐照的需求与设计。
- **Data Link Project项目的概念：**
 - 构建一套面向CEPC具体需求，应用于大型高能物理实验前后端之间，基于光纤数据通讯的通用、完整、双向、高速数据传输系统。

国际上同类型项目介绍



CERN研发的GBT系列芯片等构建起双向光纤数据传输系统:

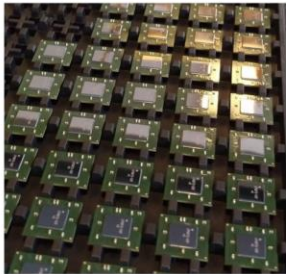
- ✓ GBTx: 双向数据接口芯片
- ✓ GBT-SCA: Slow control慢控配置相关芯片
- ✓ GBLD: 激光器驱动芯片 (LD: Laser Driver)
- ✓ GBTIA: 跨导放大芯片 (TIA: Transimpedance Amplifier)
- ✓ VTRx光模块:

国际上同类型项目介绍

CERN的Versatile Link和GBT 项目:

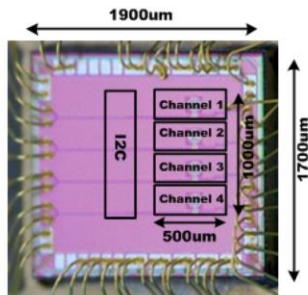
- ✓ 起始于2007年，目标构建应用于HEP抗辐照、高速、双向光纤数据发送系统，主要由GBT系列芯片组和光模块组成。
- ✓ 第一代GBT系列ASIC基于130 nm工艺（2011年）最高串行数据率5.12 Gbps
- ✓ 第二代GBT系列芯片基于65 nm CMOS工艺（2019年），最高串行数据率10.24 Gbps.

以上GBT系列芯片与光模块对国内禁运，目前正在对同功能类型的相关芯片和光模块进行研发。



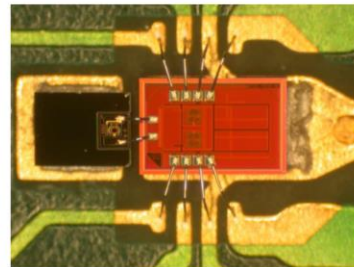
第二代GBTx芯片 (lpGBTx)

- 65nm CMOS
- Downlink: 2.56 Gbps
- Uplink: 最高10.24 Gbps
- 0.5mm pitch BGA封装, 289 Pins



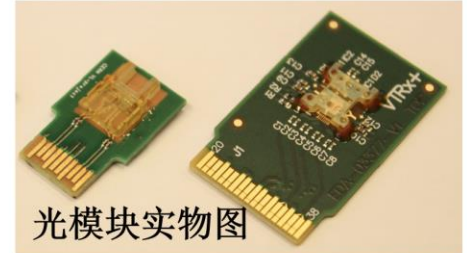
第二代GBLD芯片 (LDQ10)

- 65nm CMOS
- 4 x 10 Gbps 四通道阵列式 VCSEL激光器驱动



GBTIA芯片

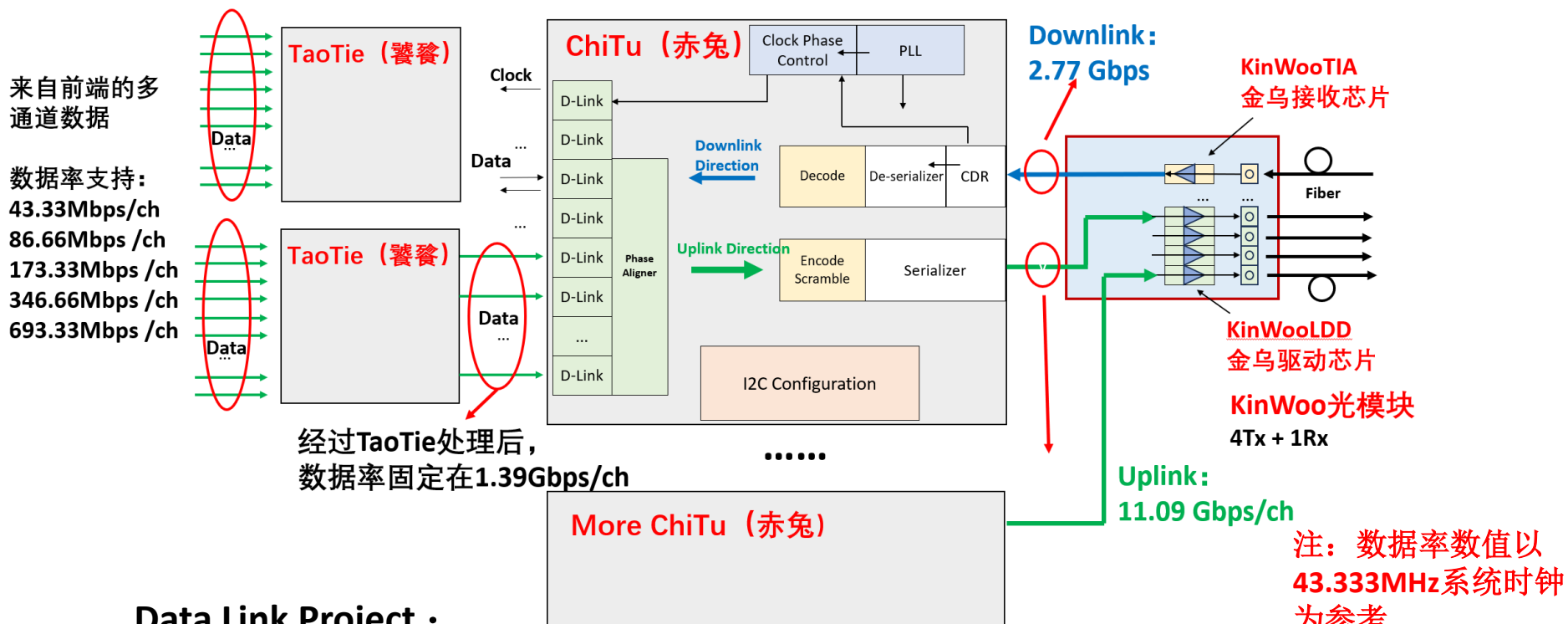
- 130 nm CMOS
- 5 Gbps 单通道接收放大芯片



Data Link Project项目概要

Front-end

Back-end



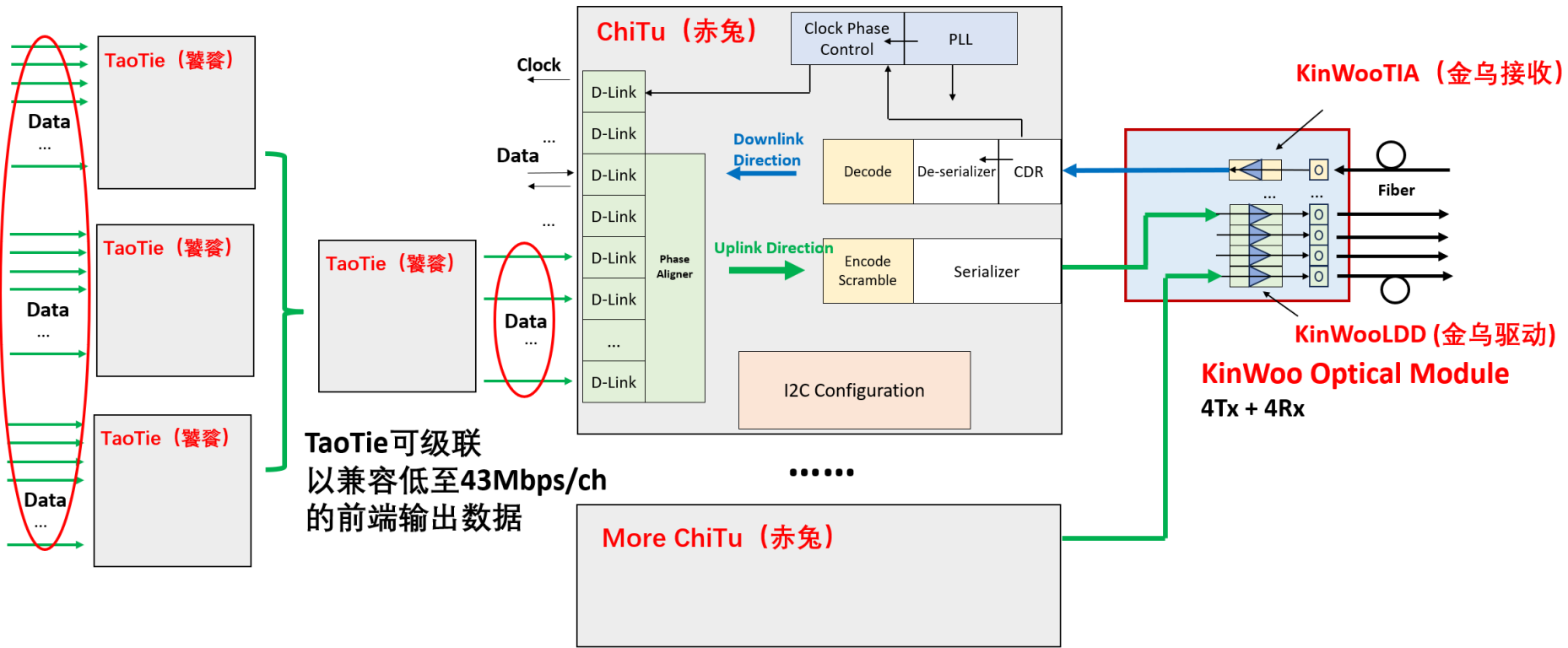
Data Link Project :

- ✓ **TaoTie饕餮:** 数据预汇总芯片 (解决前端探测器数据率各不相同的问题)
- ✓ **ChiTu赤兔:** 双向数据接口芯片 (数据编解码、Serdes) Uplink: 11.1 G Downlink: 2.8G
- ✓ **KinWoolDD金乌驱动:** 激光器驱动芯片 (LD: Laser Driver) 11.1 Gbps/ch
- ✓ **KinWooTIA金乌接收:** 跨导放大芯片 (TIA: Transimpedance Amplifier) 2.8 Gbps/ch
- ✓ **KinWoo金乌光模块:** KinWoolDD与KinWooTIA的“载体”

Data Link Project项目概要

Front-end

Back-end

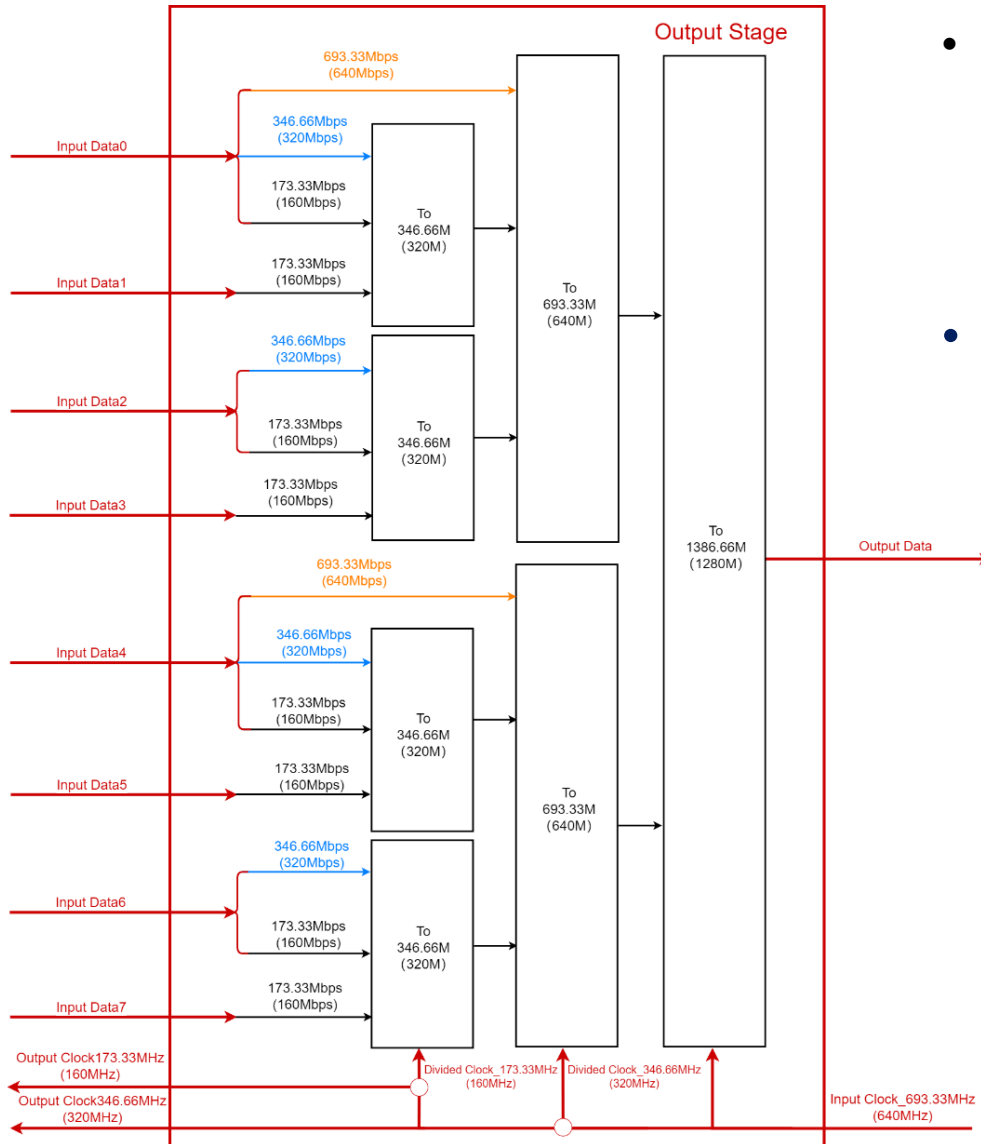


TaoTie饕餮：数据预汇总芯片的级联模式形态

Data Link Project项目概要

- Data Link Project项目概要
- **TaoTie饕餮：数据预汇总芯片**
- ChiTu赤兔：双向数据接口芯片
- KinWooLDD 金乌激光器驱动芯片
- KinWooTIA 金乌TIA跨阻接收芯片
- 总结

TaoTie 饕饕芯片：全速模式



- TaoTie最大支持将8个通道的数据串行化为1个数据通道。拥有较丰富的可配置功能，以支持不同数据率、不同通道数的需求。

• 1.3866Gbps全速输出模式

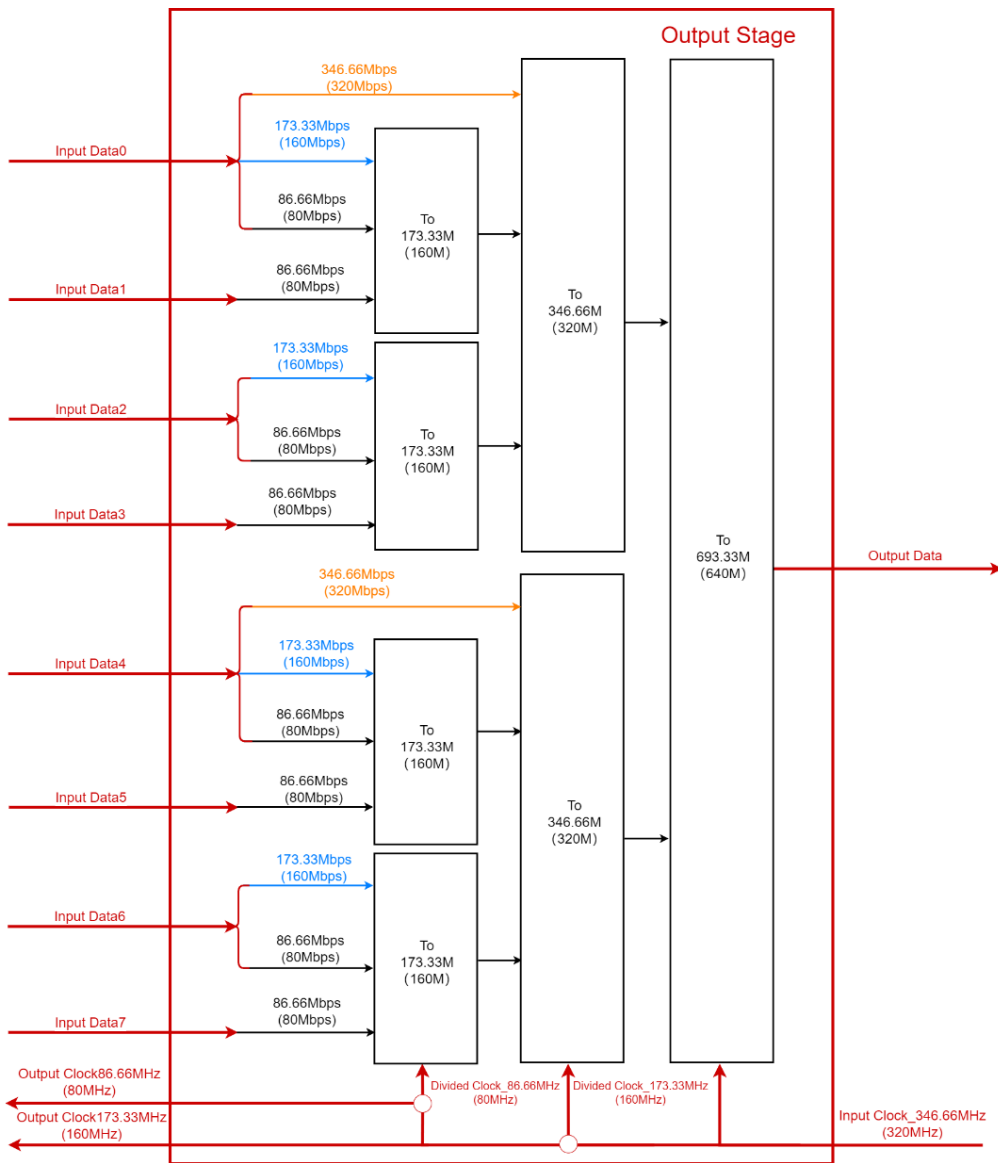
此时输出速率固定在1.3866 Gbps
此时输入可为以下不同情形：

- ① 173.33Mbps x 8Ch 输入
- ② 346.66Mbps x 4Ch输入
- ③ 693.33Mbps x 2Ch输入

在以上任一种情形下，可使用过采样，以接受更低速率的输入情形。例如

86.66Mbps(2倍过采样)x 1ch +
173.33Mbps x 7Ch 或：
43.33Mbps(4倍过采样)x 1ch +
173.33Mbps x 7Ch

TaoTie 饕饕芯片：半速模式



TaoTie最大支持将8个通道的数据串行化为1个数据通道。拥有较丰富的可配置功能，以支持不同数据率、不同通道数的需求。

0.69 Gbps半速输出模式

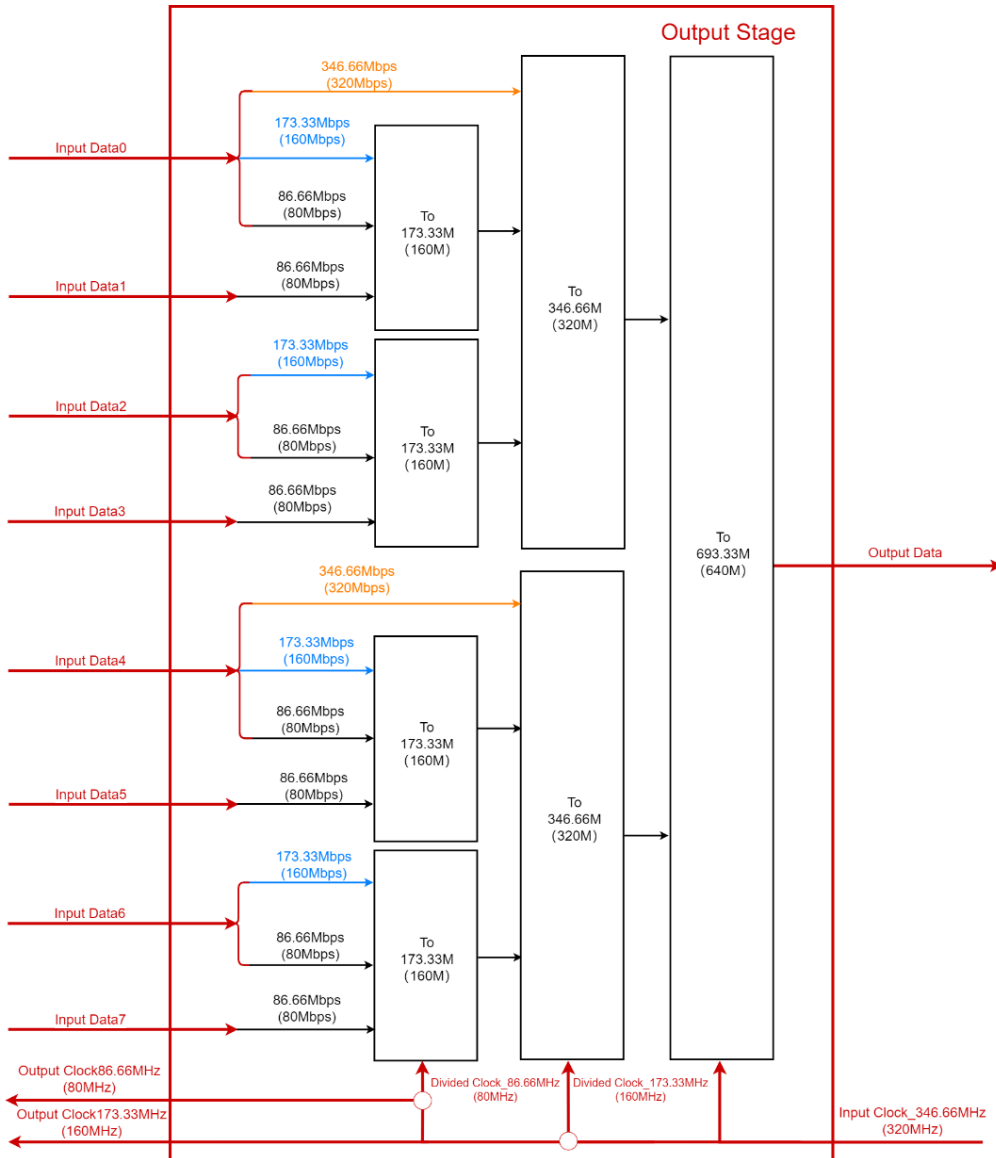
此时输出速率固定在0.69 Gbps
此时输入可为以下不同情形：

- ① 86.66Mbps x 8Ch 输入
- ② 173.33Mbps x 4Ch输入
- ③ 346.66Mbps x 2Ch输入

在以上任一种情形下，同样支持过采样，以接受更低速率的输入情形。

如果以半速模式工作，TaoTie输出速率0.69Gbps，需要级联TaoTie，将数据率变为1.39Gbps后，才可送至ChiTu芯片

TaoTie饕饕芯片：1/4速模式



TaoTie最大支持将8个通道的数据串行化为1个数据通道。拥有较丰富的可配置功能，以支持不同数据率、不同通道数的需求。

0.34 Gbps 1/4速输出模式

此时输出速率固定在0.34 Gbps
此时输入可为以下不同情形：

- ① 43.33Mbps x 8Ch 输入
- ② 86.66Mbps x 4Ch 输入
- ③ 173.33Mbps x 2Ch 输入

如果以半速模式工作，TaoTie输出速率为0.34Gbps，需要级联TaoTie，将数据率变为1.39Gbps后，才可送至ChiTu芯片

TaoTie 饕饕芯片级联模式示意



- TaoTie最大支持将8个通道的数据串行化为1个数据通道。拥有较丰富的可配置功能，以支持不同数据率、不同通道数的需求。

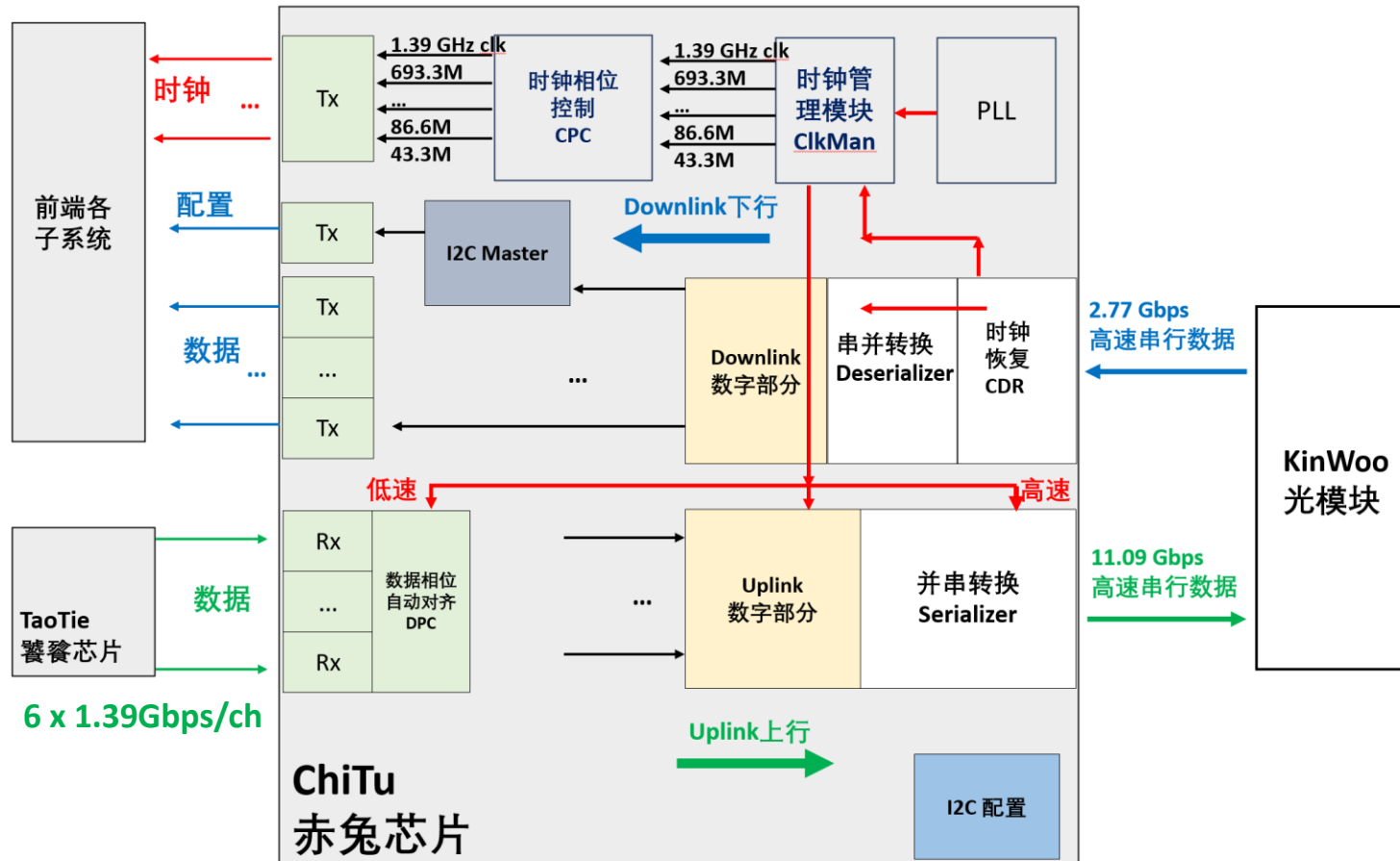
TaoTie 饕餮芯片研发考虑与探讨

- 目前TaoTie 饕餮芯片的功能结构设计尚处于初步阶段，潜在有以下问题待进一步考虑与探讨：
 - 本质为“透明的”多级Serializer并串转换，不存在FIFO、压缩、编码扰码、组帧等额外功能。
 - 低速率通道通过“过采样”（数据重复），或者级联方式来解决。
 - 若出现“空闲”通道，只能采取填补冗余数据解决。
 - 多数据率43.3M, 86.6M, ... 多通道、多数据率的相位问题难以解决。ChiTu芯片中拟设计自动相位对齐模块，但难以适配低至43.3Mbps数据率。
 - 无扰码导致潜在的长‘0’长‘1’问题。
 - 问题本质在于：将低至43.3Mbps ~ 1.39 Gbps 数据率跨度过大的数据通道，全部交给Data Link Project一套通用的数据传输系统解决。
 - 参考CERN GBT项目，目前lpGBT芯片可接收处理 160Mbps, 320Mbps, 640Mbps, 1.28 Gbps 四种速率的数据通道。

Data Link Project

- Data Link Project项目概要
- TaoTie饕餮：数据预汇总芯片
- **ChiTu赤兔：双向数据接口芯片**
- KinWooLDD 金乌激光器驱动芯片
- KinWooTIA 金乌TIA跨阻接收芯片
- 总结

ChiTu赤兔芯片整体结构



ChiTu赤兔芯片整体结构框图

ChiTu赤兔芯片Uplink方向传输能力

Capability of ChiTu ASIC		Channel Number	Data/Clock Rate	Notes
Uplink	Payload Data Channels (input)	Maximum 6 channels	1.39 Gbps/ch	ChiTu can receive and transmit maximum 7 channels of data from TaoTie and front-end. The data rate is fixed to 1.39 Gbps/ch. Maximum uplink payload transmission capability is 8.32 Gbps per ChiTu ASIC.
	External Control Channel (input)	1 channel	86.67 Mbps	ChiTu can transmit one specific channel of 86.67 Mbps. This channel has specific input pins. The data of this channel is embedded as 2 bits in the uplink frame.

- **ChiTu芯片Uplink 前端→后端方向的数据传输能力：**
 - 可接收来自TaoTie饕餮芯片或直接来自前端的 **6 x 1.3867 Gbps/ch**数据，即每颗ChiTu芯片在**Uplink方向可传输总计 8.32 Gbps数据通量（Payload）**
 - 经过数据扰码、编码（FEC前向纠错）、组帧、并串转换后，**以11.09 Gbps的高速串行数据输出。 Payload传输效率： 75%**

ChiTu赤兔芯片Uplink方向帧格式



Uplink方向数据256bit帧格式（Interleave之前）

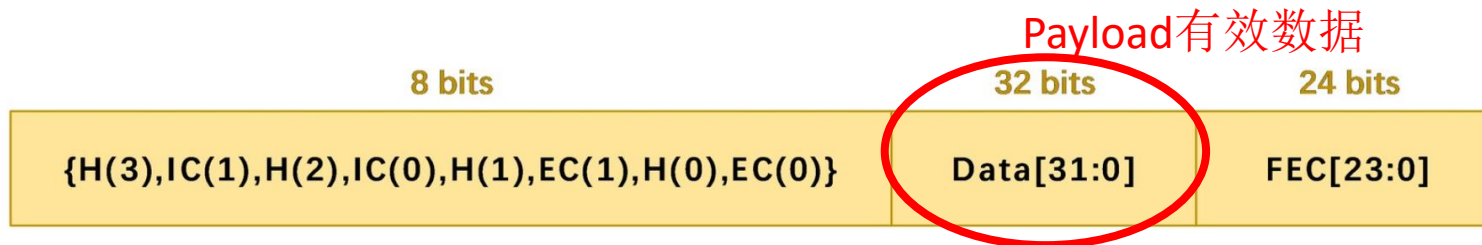
- 6 x 1.39 Gbps/ch输入数据经过ChiTu芯片内的接收、扰码、编码、组帧后，形成 **256 bit**的帧格式定义（其中payload占**192 bit**），帧速率 **43.33M**
 - 总串行数据率 $256\text{bit} \times 43.33\text{M} = 11.09\text{ Gbps}$
- ChiTu芯片Uplink上行方向扰码（Scramble）、FEC前向纠错编码、帧格式定义、Interleave均符合**CERN IpGBT芯片中Uplink上行数据协议**。
- 注：IpGBT芯片在Uplink上行方向有两种速率、两种FEC编码可选，交叉组合后共计**4种Uplink帧格式定义**。ChiTu赤兔芯片目前选择的是IpGBT高速率情形下**FEC12编码方式下的帧格式定义**。

ChiTu赤兔芯片Downlink方向传输能力

Down-link	Payload Data Channels (output)	Maximum 16 channels	Maximum 346.67Mbps/ch Minimum 86.67 Mbps/ch	ChiTu can output maximum 16 channels of data to the front-end with the data rate of 86.6666 Mbps/ch. The output data rate can be configured to 86.6666M, 173.3333M or 346.6666Mbps/ch with the channel number of 16, 8 or 4, respectively.
	External Control Channel (output)	1 channel	86.67 Mbps	ChiTu can output one specific channel of 86.6666 Mbps. This channel has specific output pins. The data of this channel is embedded as 2 bits in the downlink frame. This data channel is mainly for slow control from back-end.

- ChiTu芯片Downlink 后端→前端方向的数据传输能力：
 - 接收来自后端的 **2.77 Gbps** 串行数据
 - 经过解码、串并转换后，可以输出：
 - 16 ch x 86.67Mbps** 或
 - 8 ch x 173.33Mbps** 或
 - 4 ch x 346.67Mbps** 可配置的数据流至前端
 - 帧格式中特定位**86.6Mbps**数据流用于配置前端子系统（I2C）

ChiTu赤兔芯片Downlink方向帧格式



Downlink方向数据64 bit帧格式

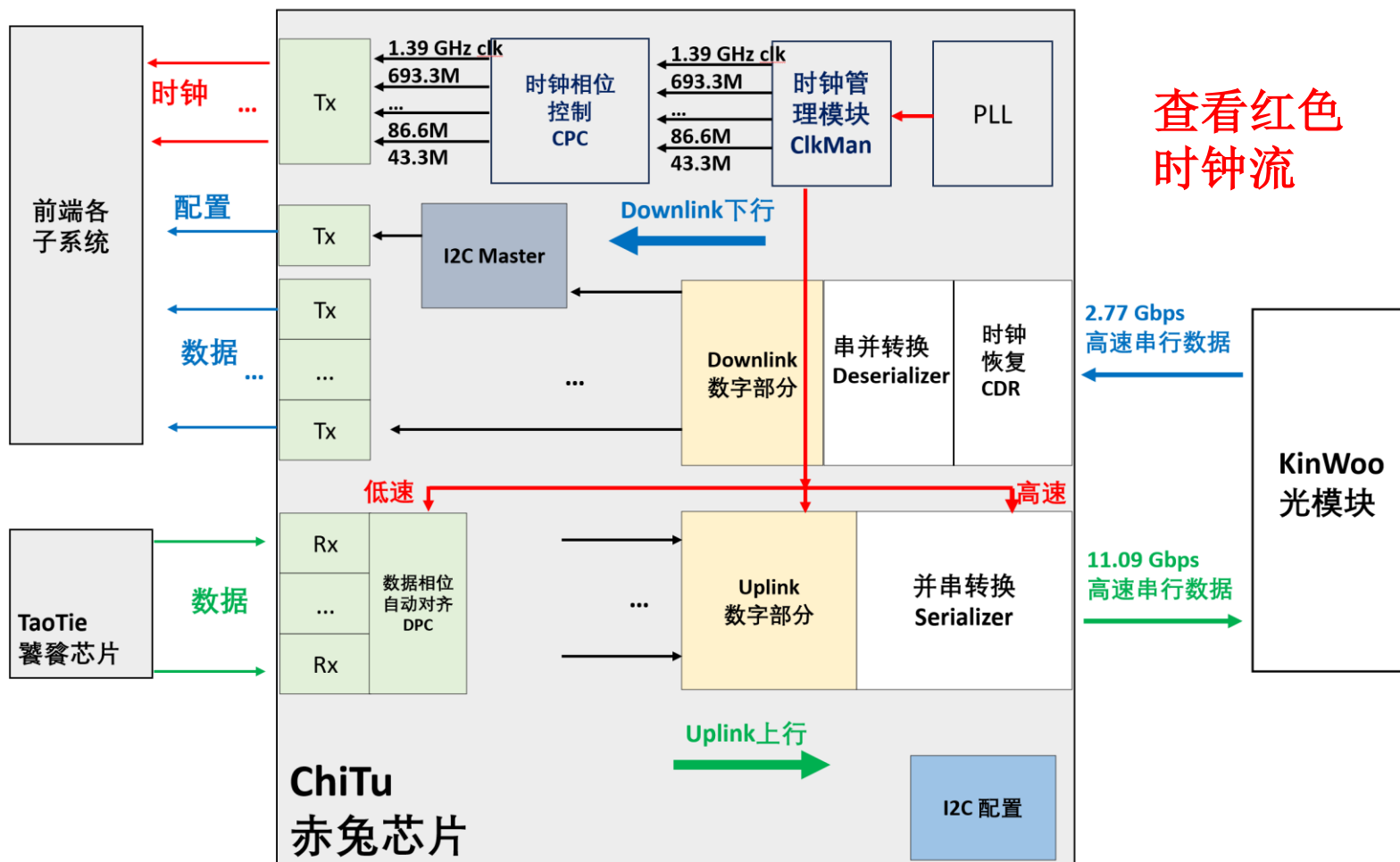
- Downlink方向帧格式位64 bit，帧速率为43.33M，即对应于2.77 Gbps的下行总串行速率
- ChiTu芯片Downlink方向扰码（Scramble）、FEC前向纠错编码、帧格式定义、Interleave均符合CERN IpGBT芯片中Downlink下行数据协议。
- 注：IpGBT芯片在Downlink方向上只有一种速率、一种FEC编码（FEC12）情形。

ChiTu赤兔芯片时钟输出能力

Provide Clock	(Output)	16 channels	43.33 MHz or 86.67 MHz or 173.33 MHz or 346.67 MHz or 693.33 MHz or 1.39 GHz	ChiTu can provide maximum 16 channels of clock (differential) to the front-end with configurable frequency from 43.3 MHz to 1.39 GHz. 2 Channels out of these 16 channels can provide phase adjustment function with a 46.15 ps resolution for all frequencies.
---------------	----------	-------------	---	---

- **ChiTu芯片时钟输出能力：**
 - 可输出总计**16路高精度时钟**
 - 输出时钟频率范围 **43.33 MHz ~ 1.39 GHz**
 - 其中**2路时钟**可实现 **46.15 ps**步长的相位可调功能（**CPC模块**）
 - 时钟同源性：来自**ChiTu芯片内部PLL** 或 **Downlink数据流**所恢复出来的时钟。
- 输出时钟频率范围、相位可调步长均参考对标**CERN IpGBT**芯片指标。

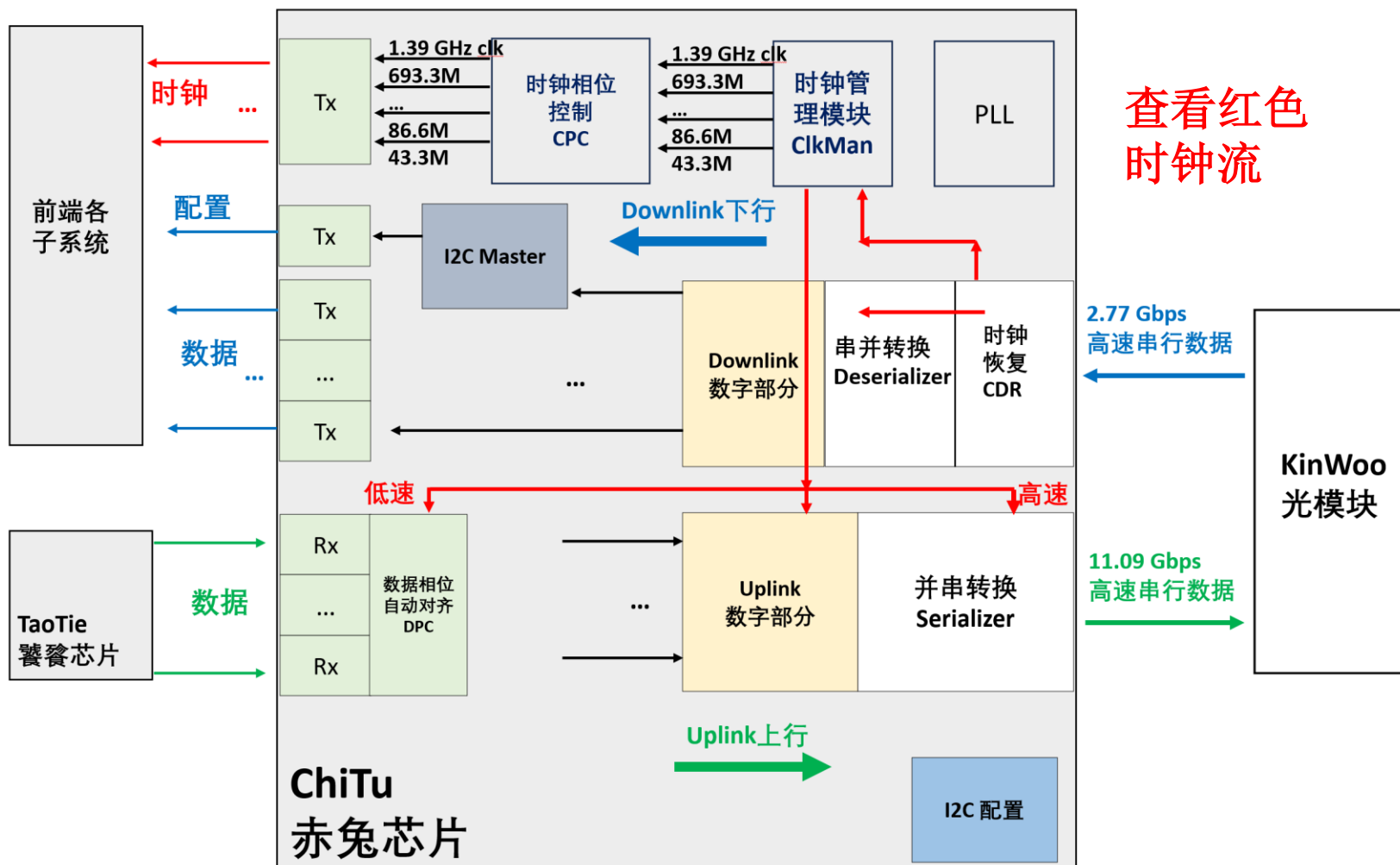
ChiTu赤兔芯片中的时钟流



查看红色
时钟流

- ChiTu赤兔芯片在“单工”状态（即仅Uplink方向）工作，则Uplink方向所有模块的时钟、送至前端的时钟均来源于片内PLL

ChiTu赤兔芯片中的时钟流



查看红色
时钟流

- ChiTu赤兔芯片在“双工”状态工作，则Uplink、Downlink方向所有模块时钟、送至前端的时钟均来自Downlink数据的时钟恢复

Chi Tu赤兔芯片中的时钟部分

• CDR模式:

DATA → 5.55GHz → C-MUX → **SERCK**

DATA → 5.55GHz → C-MUX → ÷ 2 → **DESCK**

DATA/RDATA → D-MUX → **TODES**

频率可调时钟输出:

5.55/2.77GHz → fbDIV+CK-MUX → **CTCK<0:15>**

PLL模式:

RCLK → 5.55GHz → C-MUX → **SERCK**

RCLK → 5.55GHz → C-MUX → ÷ 2 → **DESCK**

频率可调时钟输出:

5.55/2.77GHz → fbDIV+CK-MUX → **CTCK<0:15>**

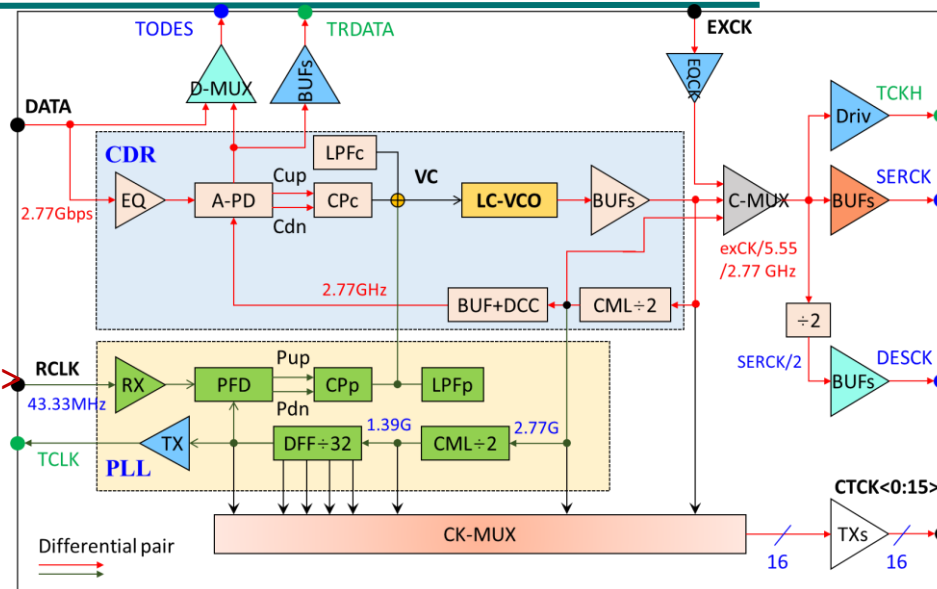
EXCK模式:

EXCK → C-MUX → **SERCK**

EXCK → C-MUX → ÷ 2 → **DESCK**

频率可调时钟输出:

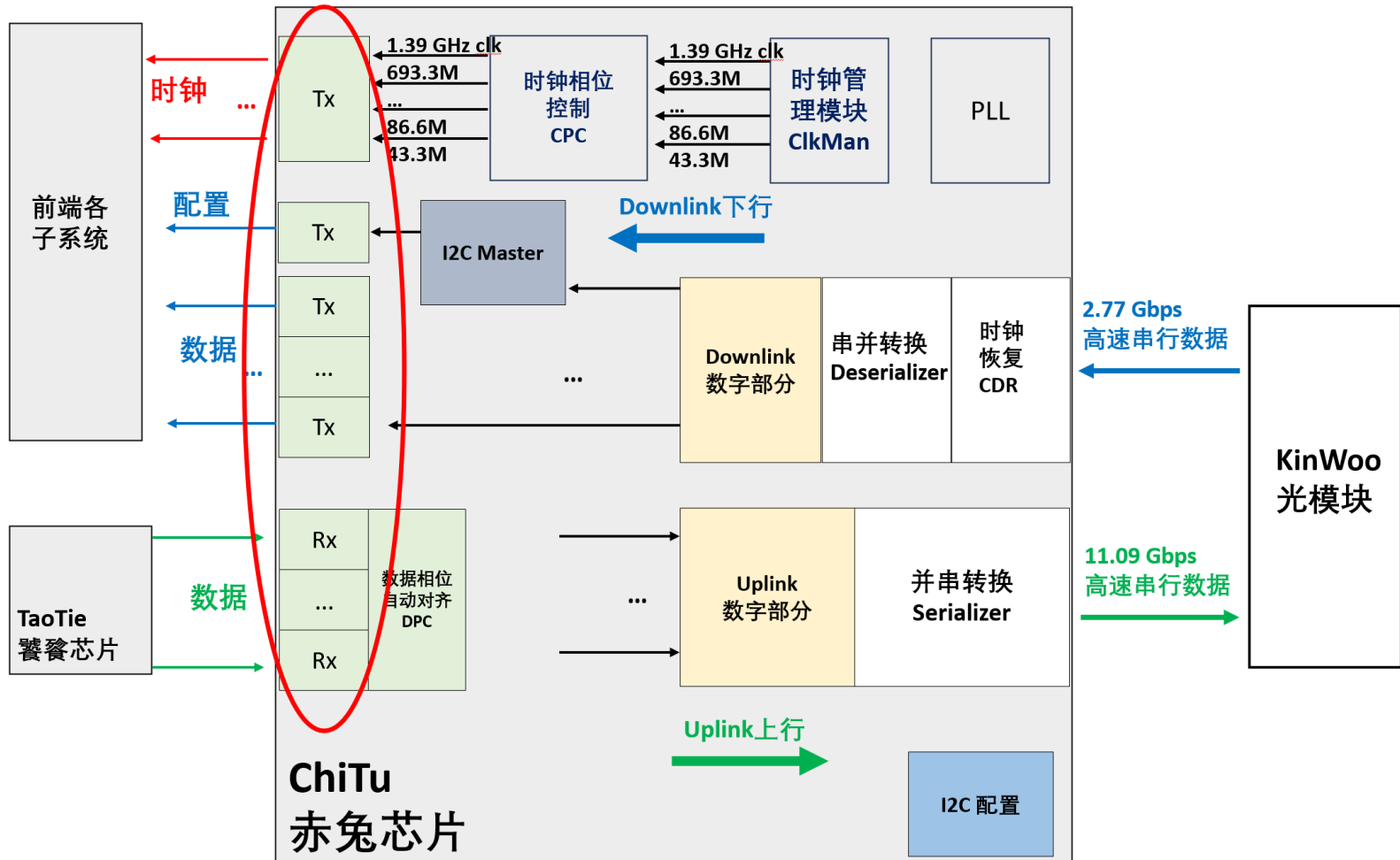
5.55/2.77GHz → fbDIV+CK-MUX → **CTCK<0:15>**



• CK-MUX说明:

- 分频时钟含CMOS和CML，差分输出，16通道
- 其中2通道相位可调（CPC模块）

ChiTu赤兔芯片中的Tx/Rx接口



- ChiTu赤兔芯片面向前端的数据Tx/Rx接口模块

ChiTu赤兔芯片中的Tx/Rx接口

Input Signal Specification		Notes
Type	Differential	
Signal Amplitude	Minimum 140 mV differential peak-to peak (@100 ohm differential)	
Common Mode Voltage (带均衡功能)	0 V ~ 1.2 V	All input data channels in ChiTu ASIC provide rail-to-rail common mode voltage receiving ability.
Data Rate	Maximum 1.3867 Gbps	Currently input data rate (uplink) of ChiTuis fixed to 1.2867 Gbps/ch. For the specific "External Control Channel", the data rate is fixed to 86.6666 Mbps.
Coupling	Support both AC or DC coupling	When using AC coupling, a default 600 mV common voltage can be configured to be provided within the ChiTu ASIC.
Termination	100 ohm differential resistor	ChiTu ASIC can be configured to provide or not to provide internal 100 ohm termination for signal receiving.

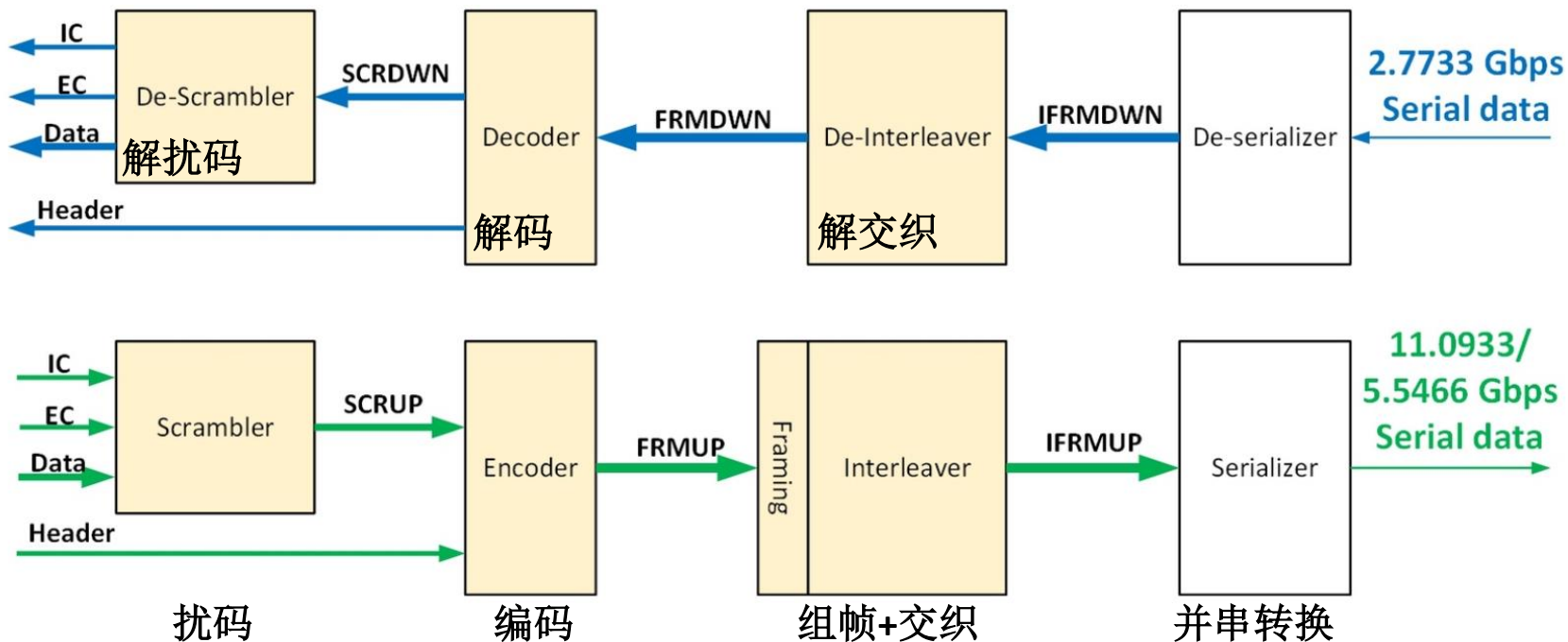
ChiTu赤兔芯片面向前端的Rx模块

ChiTu赤兔芯片中的Tx/Rx接口

Output Signal/Clock Specification		Notes
Type	Differential	
Signal Amplitude	200 mV ~ 800 mV differential peak-to peak (@100 ohm differential)	All output data and clock channels in ChiTu provide programmable signal amplitude.
Common Mode Voltage (带预加重能力)	600 mV	
Data Rate	Maximum 346.6666Mbps Minimum 86.6666Mbps	ChiTu outputs data (downlink) with three configurable data rates : 86.6666M/ch, 173.3333M/ch or 346.6666Mbps/ch. For the specific "External Control Channel" (slow control), the output data rate is 86.6666 Mbps.
Clock Frequency	Maximum 1.3863 GHz Minimum 43.3 MHz	ChiTu can provide clock signals with configurable frequency: 43.3 MHz, 86.6 MHz, 173.3 MHz, 346.6 MHz, 693.3 MHz or 1.3863 GHz.
Coupling	Support both AC or DC coupling	This depends on front-end requirement after considering the signal common voltage and amplitude.
Termination	100 ohm differential resistor	The receiver of these signals needs to provide differential 100 ohm termination.

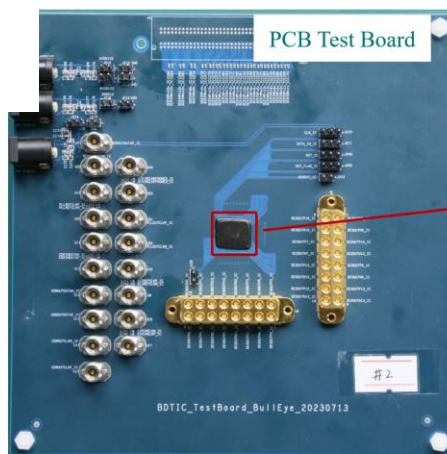
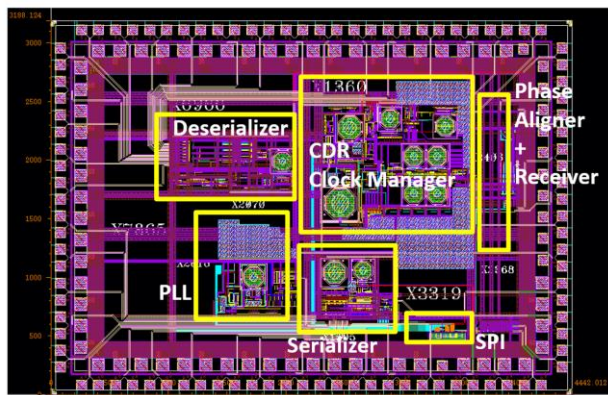
ChiTu赤兔芯片面向前端的Tx模块

ChiTu赤兔芯片中的数字部分

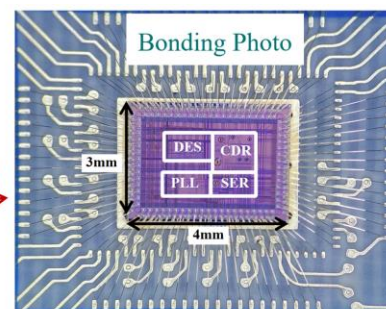


ChiTu芯片编解码等数字部分功能框图

Chi Tu赤兔芯片已有的设计基础

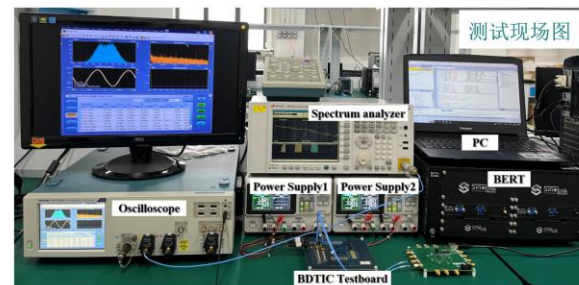


原型芯片测试PCB板实物图



原型芯片显微镜下bond线实物图

- 双向数据传输接口原型芯片
- 中芯国际SMIC 55nm, 3 x 4mm, 166 pins
- 5.12 G PLL ✓ 2.56 GHz CDR ✓
- 10.24 Gbps Serializer ✓ 2.56 Gbps Deserializer ✓
- 轨到轨1.28 Gbps Rx ✓
- 未包含Uplink/Downlink数字编解码部分



ChiTu赤兔芯片研发考虑与探讨

- ChiTu芯片的部分模拟核心模块已得到流片验证，鉴于该芯片规模与复杂度，有以下设计考量：
 - PLL、CDR等时钟模块已验证，但需要深度优化和面积精简
 - Serializer、Deserializer模块需要深度优化面积和功耗
 - 数字部分（Uplink/Downlink编解码）工作量较大。前后端流程、仿真验证，以及芯片数字逻辑功能测试等。
 - 大芯片的多模块集成，多模块联合仿真。模块间接口时序仿真与保证。
 - 集成后的各子模块测试方案设计。完整芯片的实测平台搭建。
 - 芯片封装（第一版完整原型芯片拟仍采用COB方式测试，后续版本采用定制化基板封装成BGA形式）

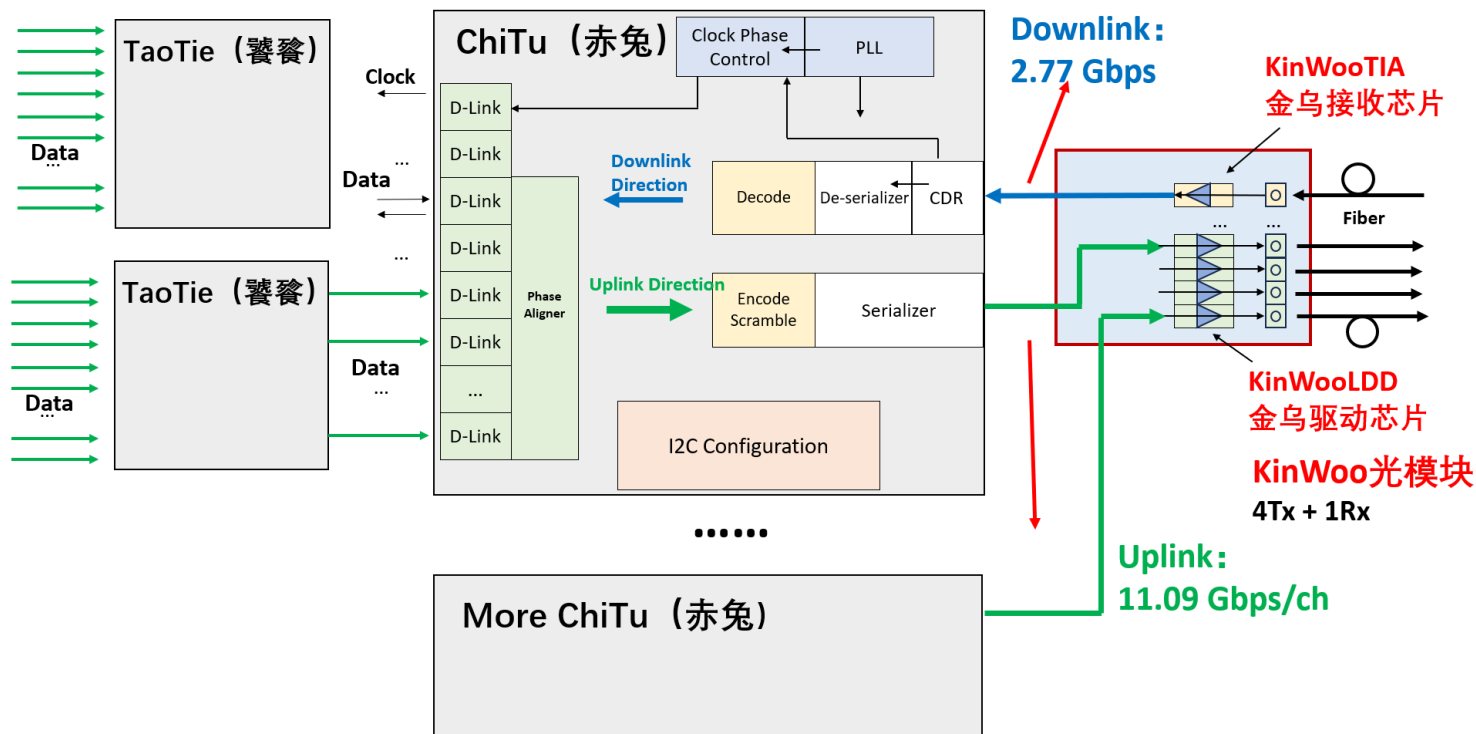
Data Link Project

- Data Link Project项目概要
- TaoTie饕餮：数据预汇总芯片
- ChiTu赤兔：双向数据接口芯片
- KinWooLDD 金乌激光器驱动芯片
- KinWooTIA 金乌TIA跨阻接收芯片
- 团队、计划与总结

KinWooLDD激光器驱动芯片

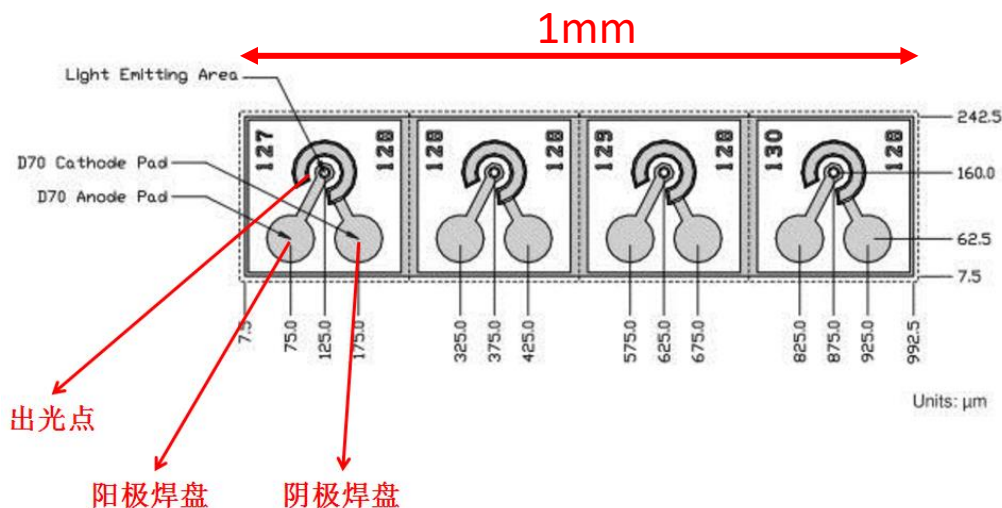
Front-end

Back-end

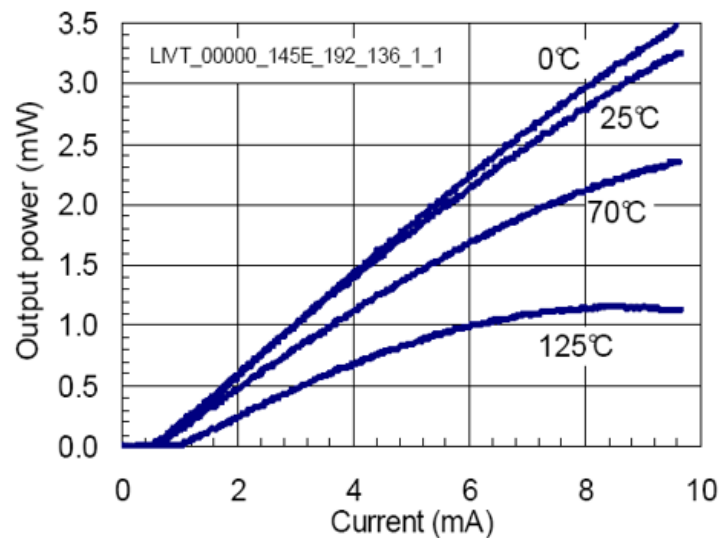


- KinWooLDD激光器驱动芯片接收来自ChiTu芯片输出的11.09 Gbps高速串行信号，将其放大并驱动激光器发光，完成Uplink方向数据的电->光转换。

KinWooLDD激光器驱动芯片



4通道激光器芯片示意图



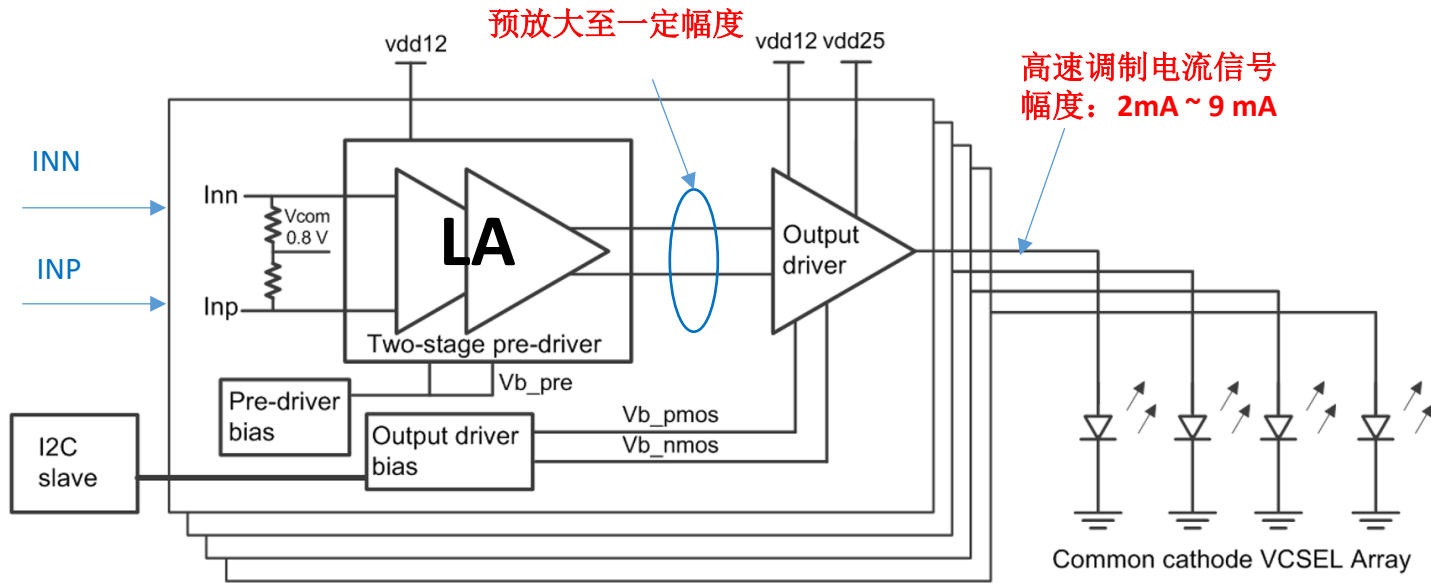
激光器芯片的电流->光转换图

- KinWooLDD激光器驱动芯片：
 - 本质：接收并放大**11.09 Gbps**的高速差分信号（CML信号），将其转换为在**2 ~ 9mA**间高速调制电流，并驱动**50 ohm**负载（激光器的电模型约等同于一个交流**50 ohm**负载）
 - 实现多通道阵列式。即独立接收放大**4路 11.09 Gbps**电信号，放大驱动**4通道**独立的阵列式激光器芯片，以实现**4 Tx**通道。

KinWooLDD激光器驱动芯片指标

parameter	Design indicators
power supply voltage	1.2 V and 3.3 V
Power consumption	typical 50 mW/ch 200 mW when working at 4 ch x11.1 Gbps/ch
Bit rate	11.1 Gbps/ch
Differential input signal amplitude	Minimum differential peak-to-peak 200 mV
differential input impedance	100 Ω
Maximum equalizer equilibrium strength	>7dB
Limiting amplification stage gain	>12dB@typical
Limiting amplification level bandwidth	>9.8GHZ@typical
Output current amplitude	5mA@typical
Maximum pre emphasis strength	>2.5dB
Simulate ISI jitter	<15ps

KinWooLDD激光器驱动芯片



典型的4通道阵列式激光器驱动芯片示意图

- **KinWooLDD激光器驱动芯片:**

- **限幅放大器Limiting Amplifier(LA)**

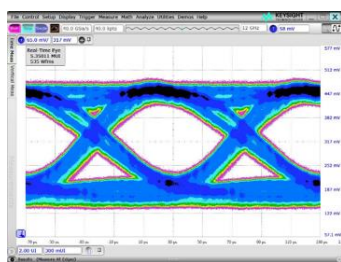
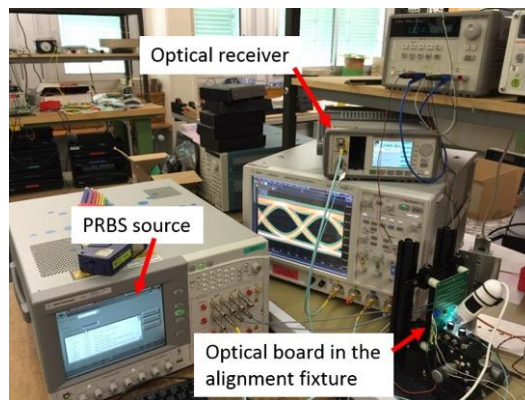
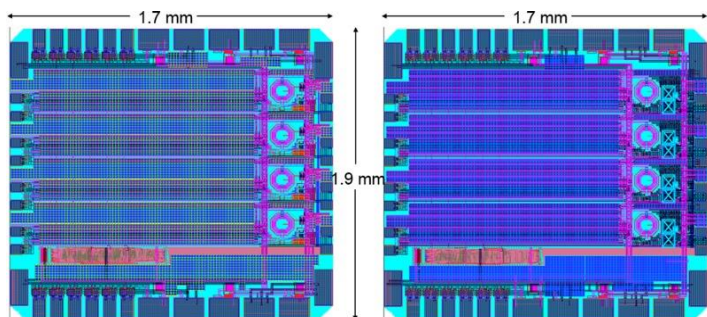
将输入的高速差分信号预放大至所需幅度

输入初往往需要加入一级均衡器Equalizer设计，以拓展输入信号带宽

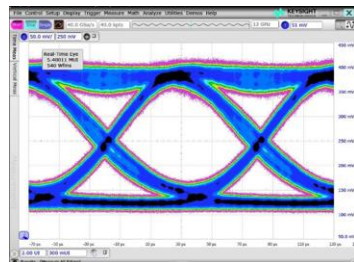
- **Output driver输出级**

将LA预放大后的高速差分信号（电压信号），转换成单端、高速电流信号，以驱动激光器发光

KinWooLDD激光器驱动芯片已有基础



10 Gbps光眼图



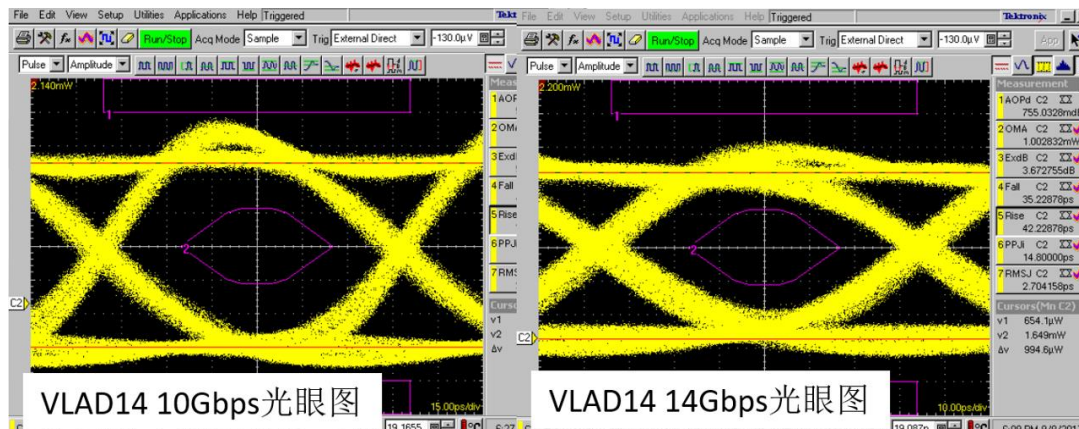
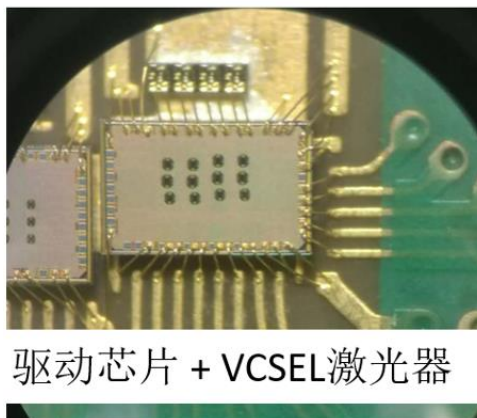
10 Gbps光眼图

4通道激光器芯片实物与测试现场图

D. Guo et al., *Developments of two 4 × 10-Gbps VCSEL array drivers in 65 nm CMOS*, Journal of Instrumentation, February 2017, Vol.12, C02065

- 基于TSMC 65 nm CMOS工艺
- VLAD 和 IpVLAD两款10 Gbps/ch 激光器驱动芯片设计

KinWooLDD激光器驱动芯片已有基础



4通道激光器芯片实物与光眼图

Q. Chen, D. Guo* et al., *A 14-Gbps VCSEL Driver in 65 nm CMOS with a Power-Efficient Driving Structure for Particle Physics Experiments*, in IEEE Transactions on Nuclear Science, doi: 10.1109/TNS.2023.3236780.

- 基于SMIC 55 nm CMOS工艺
- 一款14 Gbps/ch 激光器驱动芯片设计，已成功验证

KinWooLDD芯片研发考虑与探讨

- KinWooLDD激光器驱动芯片在过往已有较多的设计经验积累，目前主要由以下进一步设计考量：
 - 面积、功耗的进一步优化
 - 眼图质量优化与眼图调节功能进一步丰富
 - 4通道同时工作下的串扰实测与优化
 - 抗辐照测试与抗辐照设计
 - 与KinWoo光模块的结合、组装和光模块实测。

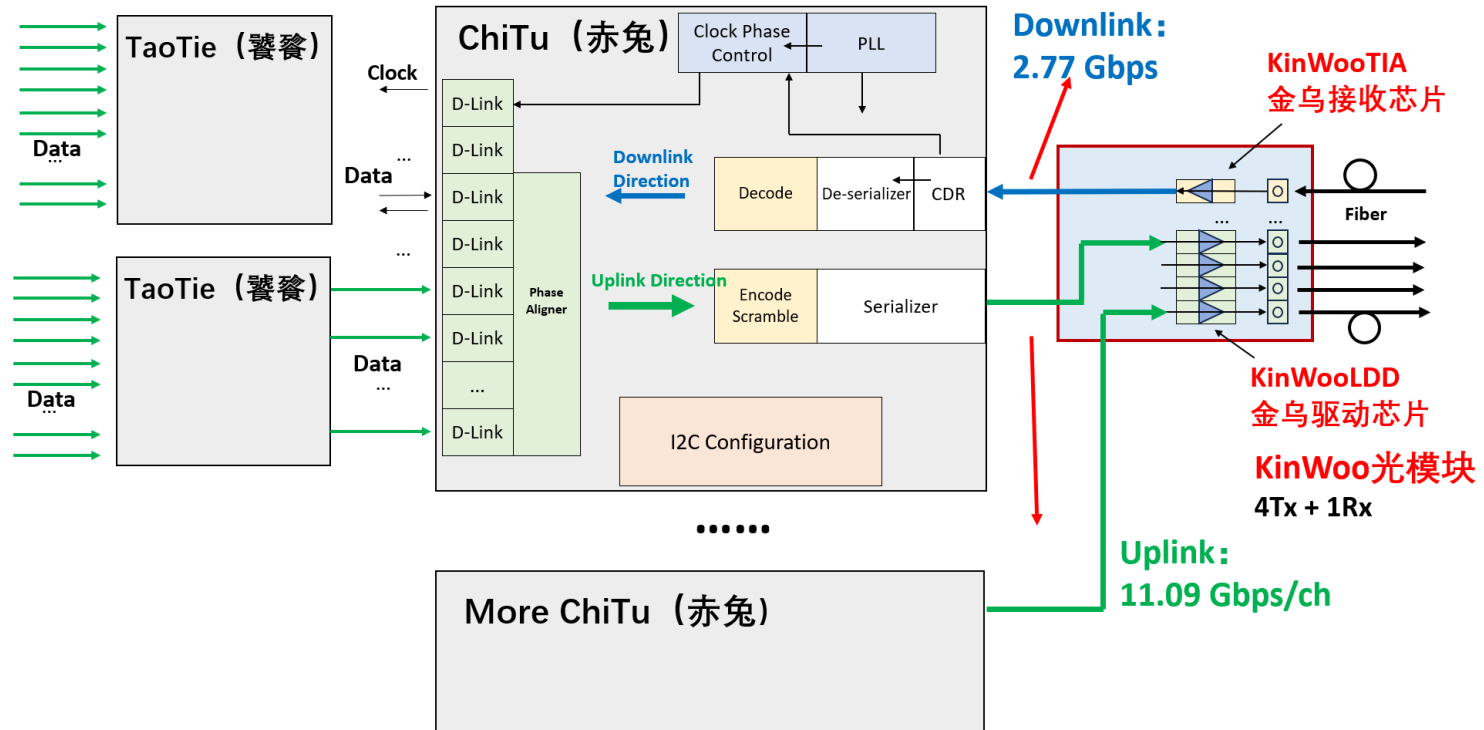
Data Link Project

- Data Link Project项目概要
- TaoTie饕餮：数据预汇总芯片
- ChiTu赤兔：双向数据接口芯片
- KinWooLDD 金乌激光器驱动芯片
- KinWooTIA 金乌TIA跨阻接收芯片
- 团队、计划与总结

KinWooTIA跨阻接收芯片

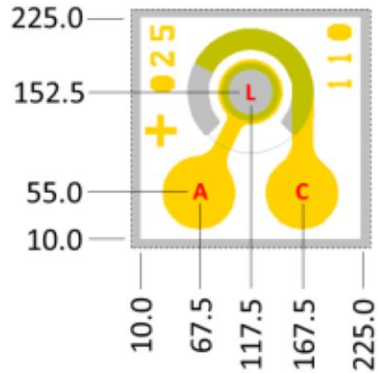
Front-end

Back-end

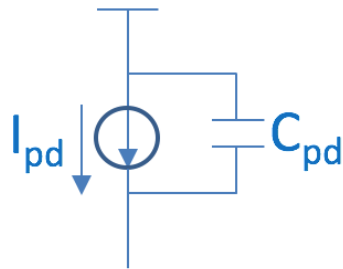


- KinWooTIA跨阻放大接收芯片接收来自后端，PD光电二极管恢复出的高速调制、微弱电流信号（2.77 Gbps），进行放大并输出至ChiTu芯片，完成进一步的时钟恢复、解码等Downlink步骤。

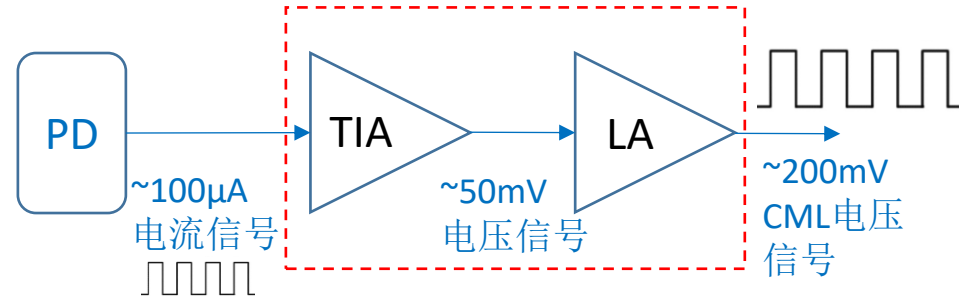
KinWooTIA跨阻接收芯片



PD光电二极管芯片



PD的电模型



KinWooTIA跨阻接收芯片

PD光电二极管芯片示意图

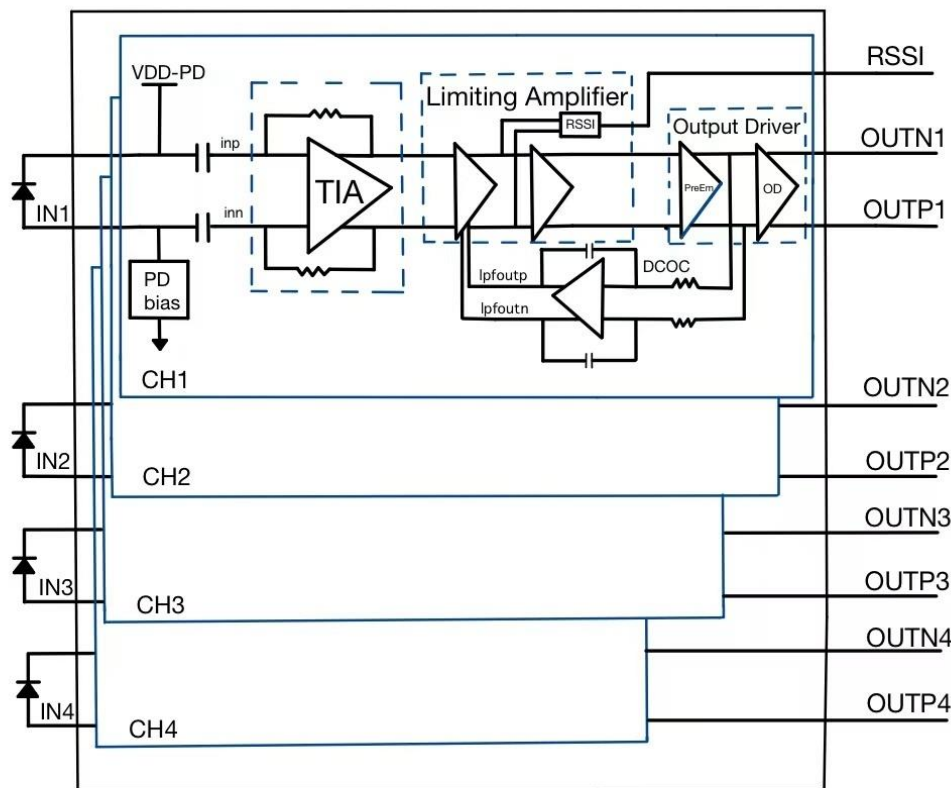
- KinWooTIA跨阻接收芯片：
 - 本质：接收并放大**2.77 Gbps**高速调制的微弱电流信号（幅度百 μm 量级），将其放大并转换为**200 mV**以上的高速差分电压信号（例如**CML**信号）

KinWooTIA芯片指标

Parameter	Design indicators
Bit rate	2.7733 Gbps
Photodiode capacitance	200fF to 2pF
High cut-off frequency	2 GHz
Low cut-off frequency	< 1 MHz
Sensitivity for BER = 10^{-12}	20 uA p-p (-17dBm)
Transimpedance gain	20 k Ω
Output differential voltage	40 mV (50 Ω)
PD bias supply voltage	2.5 V / 3.3V
Circuit supply voltage	1.2 V
Power consumption	< 100 mW/ch
Total jitter	0.085 UI (< 34ps@2.7733Gbps)

- KinWooTIA跨阻接收芯片核心指标参考对标CERN IpGBTIA芯片

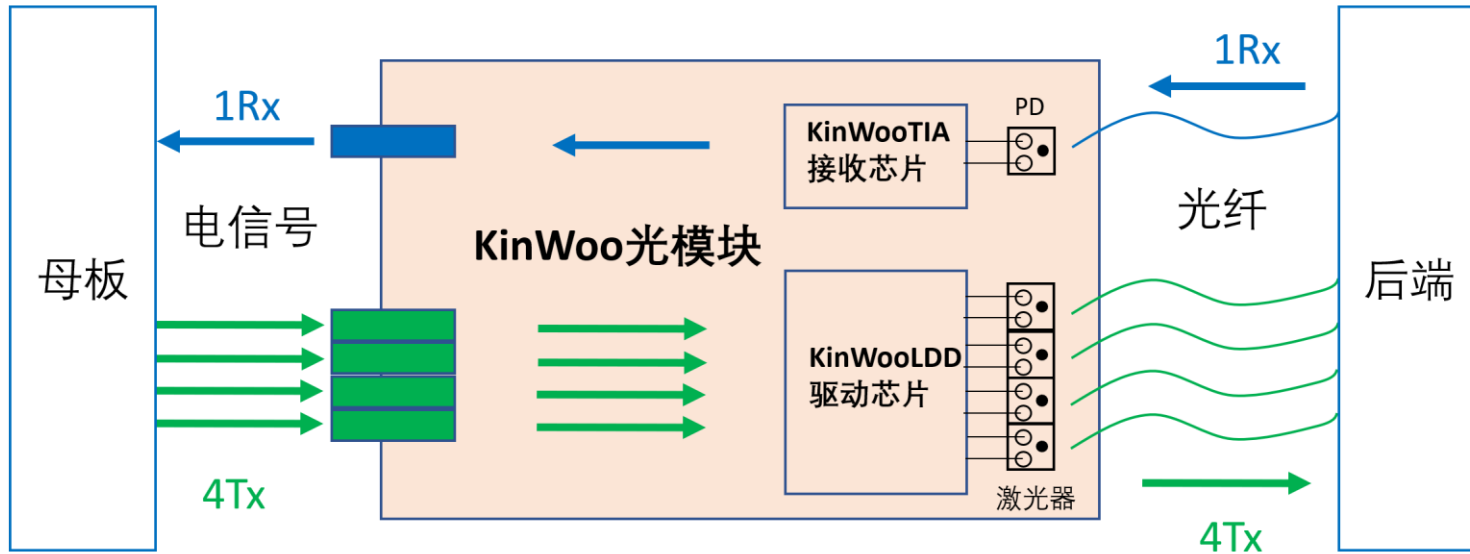
KinWooTIA跨阻接收芯片结构框图



4通道KinWooTIA跨阻接收芯片示意图

- KinWooTIA芯片主要由核心TIA、限幅放大器LA、直流失调消除DCOC、输出级Output Driver构成
- 4通道是为了适配目前暂定的4Tx + 4Rx光模块所考虑

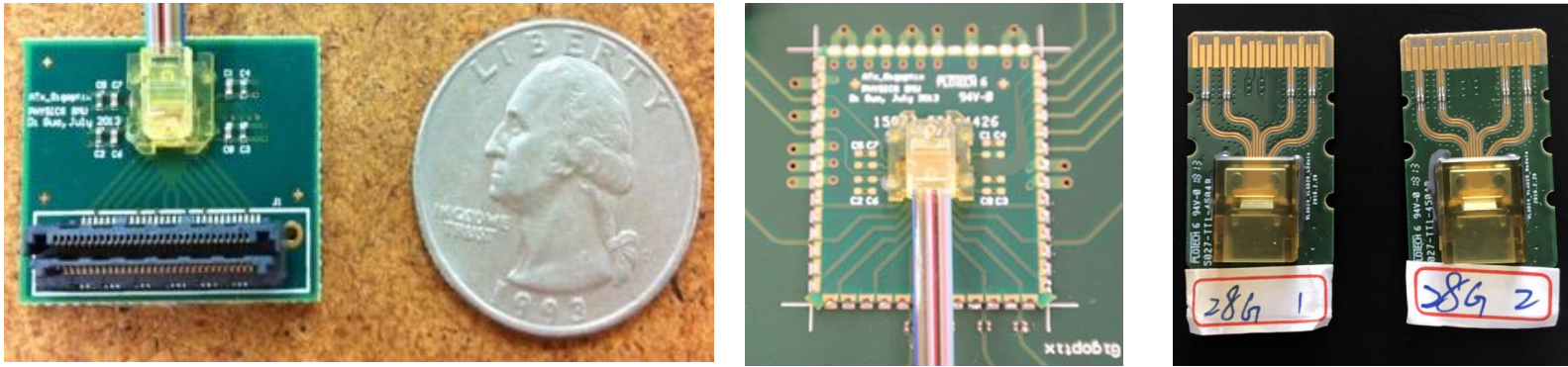
KinWoo光模块



KinWoo光模块结构示意图

- KinWoo光模块是一个可插拔的定制化独立模块，为KinWooLDD、KinWooTIA、激光器与PD芯片的载体。
- 图中示意为4Tx + 1Rx（目前CERN VTRx+光模块即采用此通道数配置）
- KinWoo光模块拟定采用4Tx + 4Rx方式设计

KinWoo光模块



过往定制化光模块设计展示

- 定制化阵列式光模块已有一定的设计经验积累，本项目中未来仍有以下设计考量：
 - 电接口接插件选型确认（尺寸、高度、母板适配、可靠性）
 - 光接口选型与组装试验，原型模块测试。
 - 与KinWooLDD、KinWooTIA芯片贴片、打线、光耦合的组装实测验证。
 - 光耦合部件与光纤的抗辐照验证与选型（已有一定研究基础）

Data Link Project

- Data Link Project项目概要
- TaoTie饕餮：数据预汇总芯片
- ChiTu赤兔：双向数据接口芯片
- KinWooLDD 金乌激光器驱动芯片
- KinWooTIA 金乌TIA跨阻接收芯片
- 团队、计划与总结

Data Link Project Work Package

✓ WP1: TaoTie (饕餮) 芯片研发

- 肖乐 (华师)、魏晓敏 (西工大)、李筱婷 (高能所)、王进红 (中科大)
- 面向前端各类探测器多通道数据的数据预处理 (预汇总) 芯片研发。主要解决不同通道数、不同数据率的并行数据, 将其统一成一种 (或几种) 固定通道数、固定数据率的并行数据, 以送入后续的ChiTu赤兔芯片。

✓ WP2: ChiTu (赤兔) 芯片研发

- 郭迪 (华师)、李筱婷 (高能所)、王进红 (中科大)、魏晓敏 (西工大)、肖乐 (华师)、张伟 (武汉纺织大学)
- 双向数据接口芯片, 接收来自前端的多通道数据, 完成数据扰码、编码、组帧 (GBT Protocol)、并串转换, 以送入后续KinWooLDD金乌驱动芯片。
- 接收来自KinWooTIA金乌接收芯片的高速串行型号, 完成时钟恢复、串并转换、解码和多通道数据下发。
- 将时钟 (内部PLL或CDR恢复产生) 以相位可调节的方式输出, 给前端探测器提供相位可调节的时钟。 (时钟频率可选、相位调节可选)
- 完成Fast command功能, 完成对前端探测器的I2C (或其他) 配置功能
- 温度、电流等前端所需要监测的信号收集、打包与传输。

Data Link Project Work Package

✓ WP3: KinWooLDD（金乌驱动）芯片研发

- 郭迪（华师）
- 4 x 10.24 Gbps/ch 4通道阵列式850 nm VCSEL激光器驱动芯片
- 功耗、面积、眼图进一步优化
- 完成现有版本抗辐照测试，根据测试结果进一步迭代设计

✓ WP4: KinWooTIA（金乌接收）芯片研发

- 郭迪（华师）
- 2.56 Gbps/ch（按照5 Gbps/ch设计）跨阻放大芯片
- 包含TIA核心电路、LA限幅放大级以及输出驱动级
- RSSI信号输出（考虑未来与光模块组装相关的需求）
- 抗辐照考量

Data Link Project Work Package

✓ WP5: KinWooTRX (金乌光模块) 定制化光模块

- 侯书云 (中研院)、郭迪 (华师)
- 4Tx + 4Rx 阵列式光模块形态
- 电接口接插件选型 (高度、易用性、robust)、光接口部件 (高度、插损)
- PCB基板板设计, 结合模块厂商的组装需求
- 商用VCSEL激光器具体型号选型与验证
- 商用Pin-Diode具体型号选型与验证
- 光耦合部件 (光接口部件) 的装配需求

✓ WP6: 后端系统与测试验证

- 邓彬伟 (湖北理工)、张雷 (南大)、李筱婷 (高能所)、王进红 (中科大)、郭迪 (华师)
- BGA封装与BGA测试用 Socket 设计、制作与测试
- TaoTie饕饕、ChiTu赤兔芯片的FPGA固件版本 (编解码双向)
- 后端测试PCB板设计

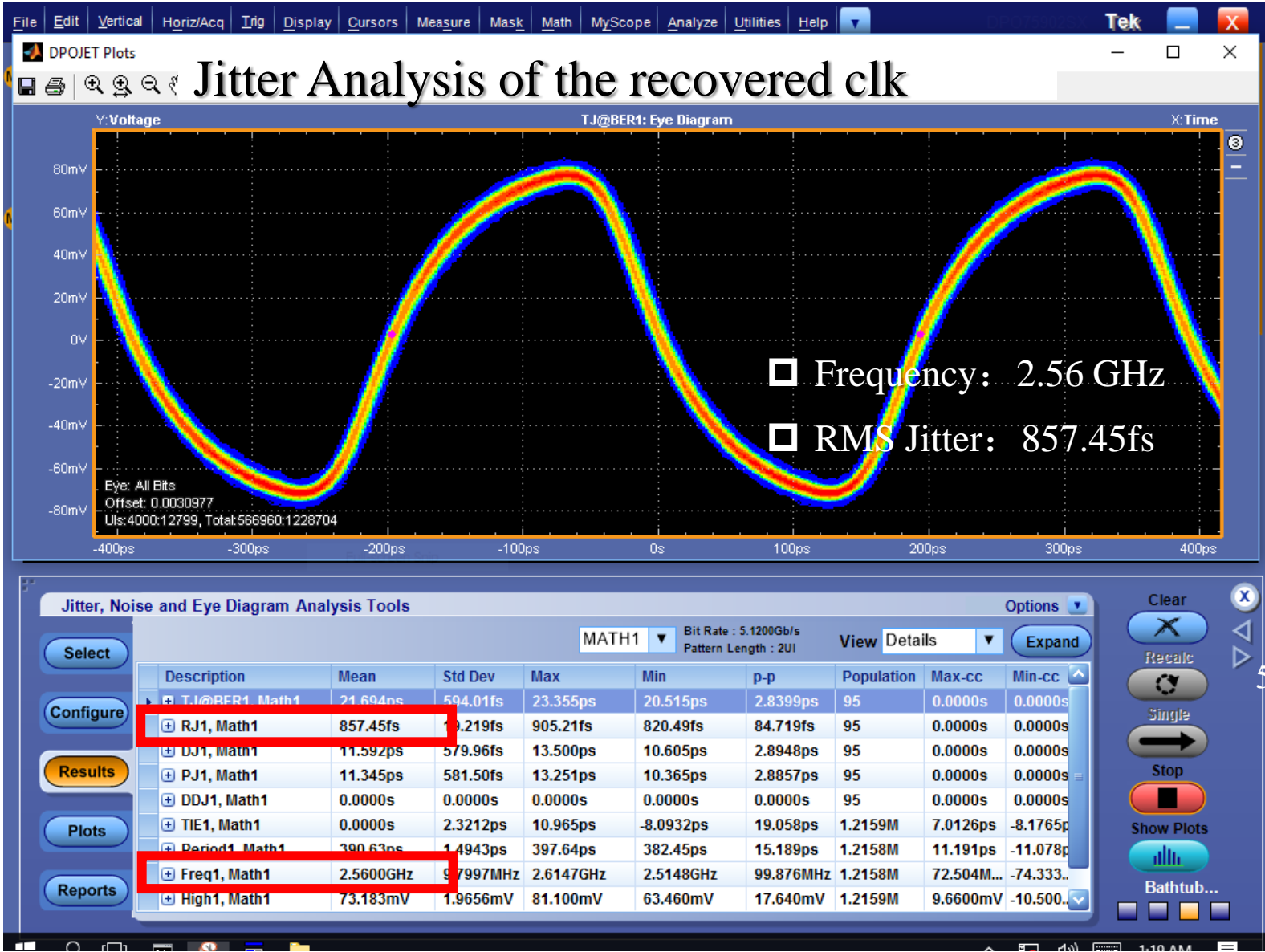
Data Link Project 近期流片计划与节点

	2025年4月	2025年7月	2025年10月	2026年1月
TaoTie 芯片	第一版流片			
ChiTu 芯片	DPC自动相位对齐、CPC时钟相位调节等子模块流片	PLL、CDR子模块流片	视测试情况补充	完整芯片第一版流片
KinWooLDD 驱动芯片	4通道第一版流片		视测试情况补充	
KinWooTIA 接收芯片	4通道第一版流片		视测试情况补充	
KinWoo 光模块		光模块原型+KinWooLDD+KinWooTIA组装		

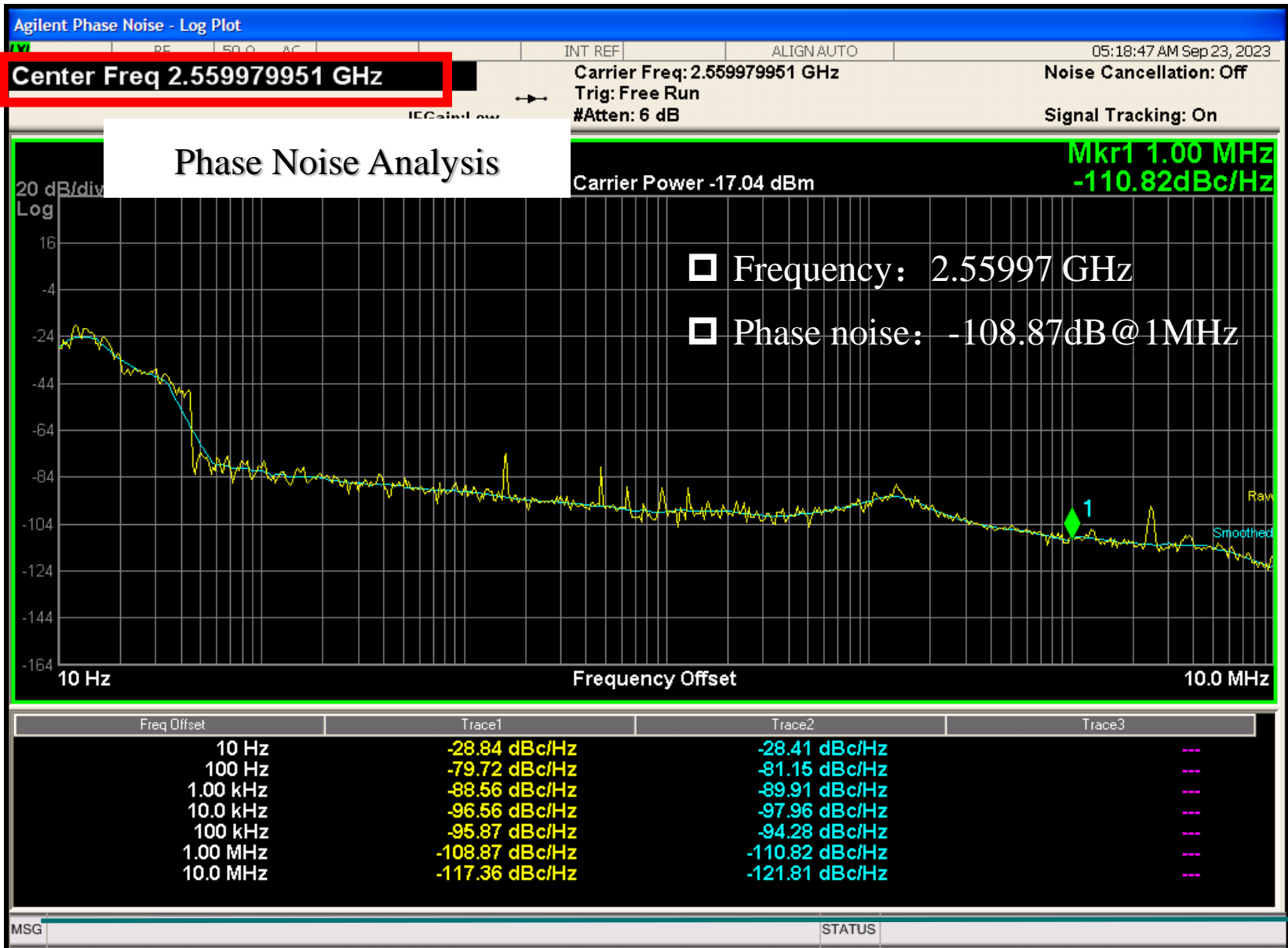
感谢各位专家的聆听，敬请批评指正！

备份

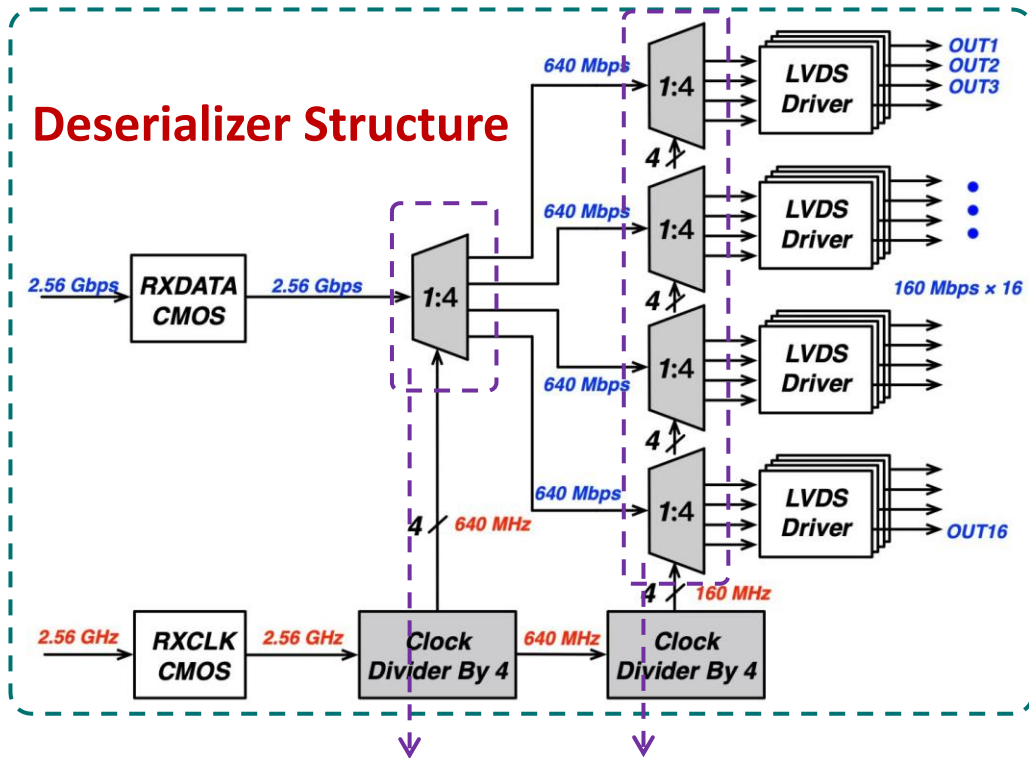
2.56 Gbps CDR模块测试



2.56 Gbps CDR模块测试



原型芯片中的2.56 Gbps Deserializer模块



First Stage Second Stage

First Stage: 1→4

Second Stage: 4→16

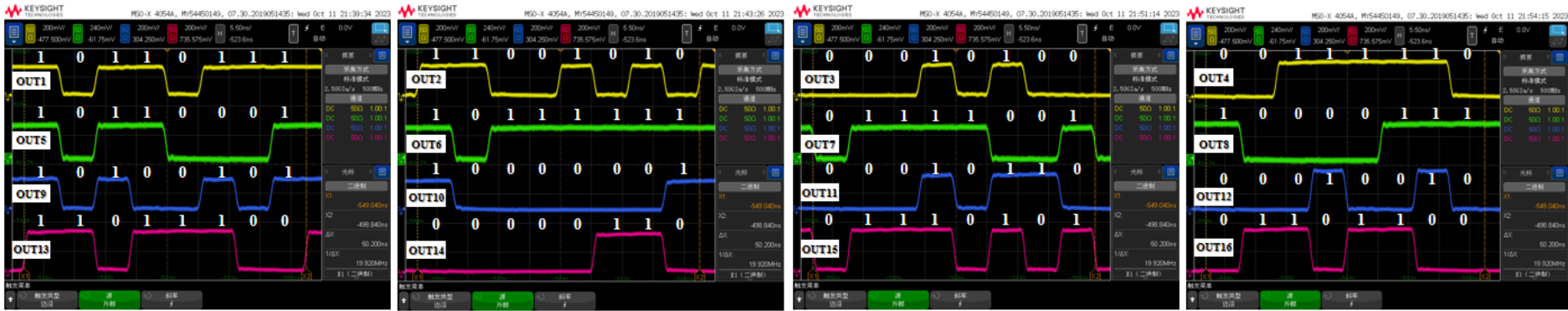
595μm

- ✓ 输入信号：2.56 Gbps 串行数据
- ✓ 需要时钟：2.56 GHz 时钟
(以上数据/时钟来自CDR模块)
- ✓ 输出：16 x 160 Mbps/Ch
16路并行数据
- ✓ Deserializer core 大小: 1135μm ×



1135μm

CDR + Deserializer 测试结果

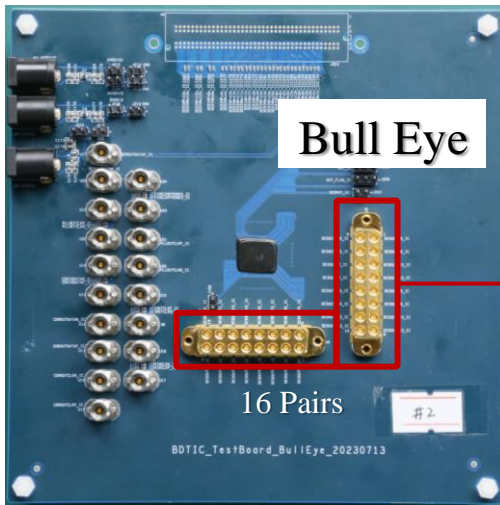


OUT1-OUT5-OUT9-OUT13

OUT2-OUT6-OUT10-OUT14

OUT3-OUT7-OUT11-OUT15

OUT4-OUT6-OUT12-OUT16

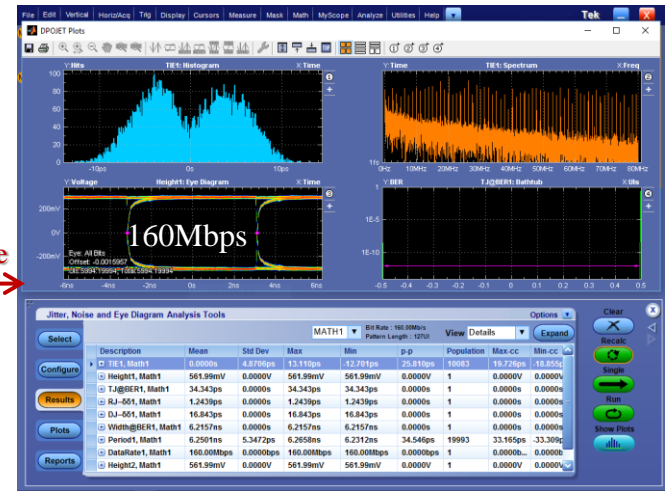


CDR + Drserializer



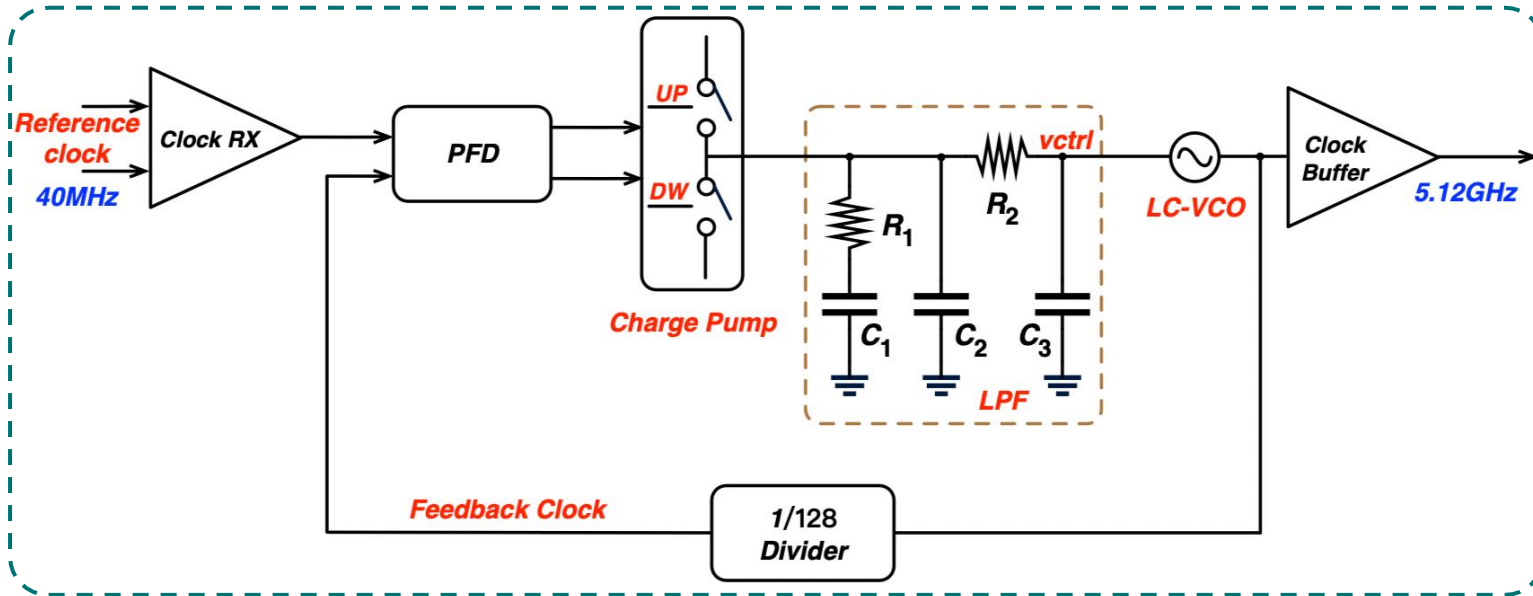
Connect to oscilloscope

Bull Eye to SAM



- ✓ 2.56 Gbps 1:16 Deserializer串并转换模块 + CDR模块联合工作
- ✓ 输出的16路并行数据（16 x 160Mbps/ch）逻辑正确，眼图清晰张开

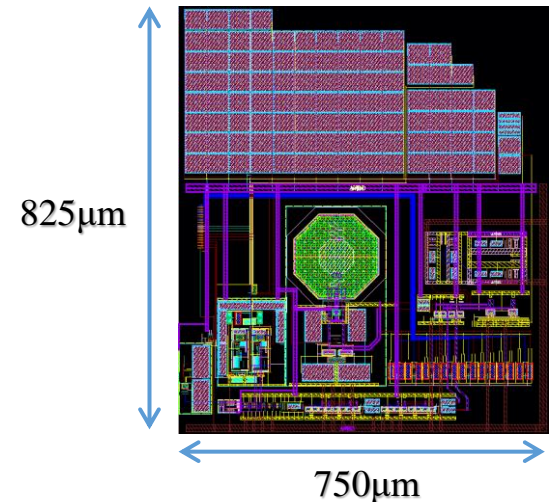
BDTIC芯片中的5.12GHz PLL模块



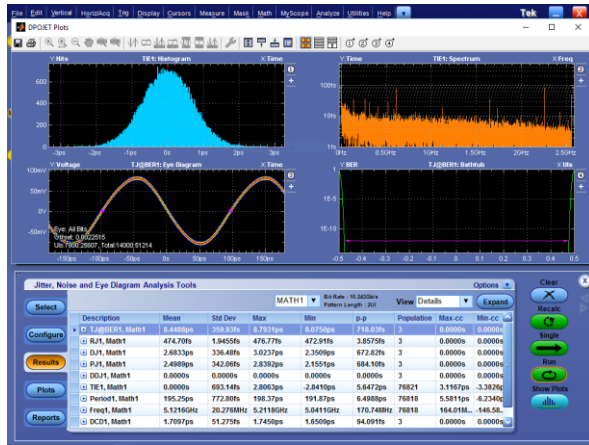
PLL结构框图

C. Zhao and D. Guo*, A low noise 5.12 GHz PLL ASIC in 55 nm for NICA Multi Purpose Detector Project, Journal of Instrumentation, 2022_JINST_17_C09003

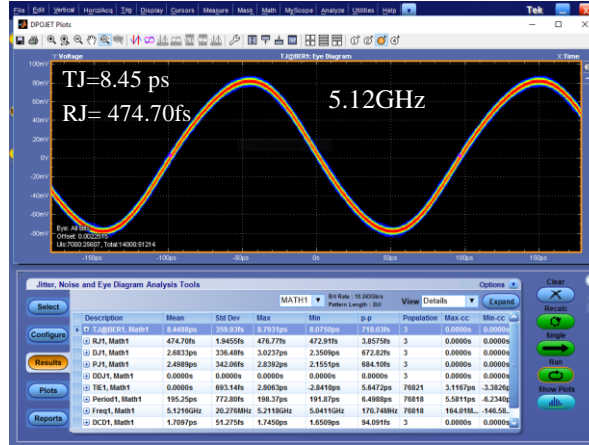
- ✓ 该PLL子模块于2021年设计，2022年流片验证成功
- ✓ 进一步优化后使用于BDTIC芯片中



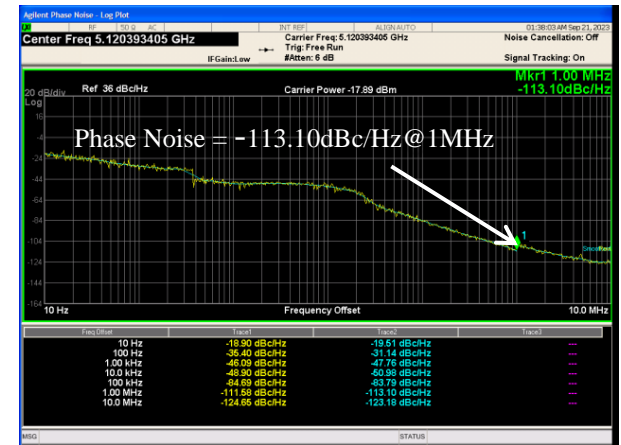
5.12GHz PLL模块测试结果



Jitter analysis



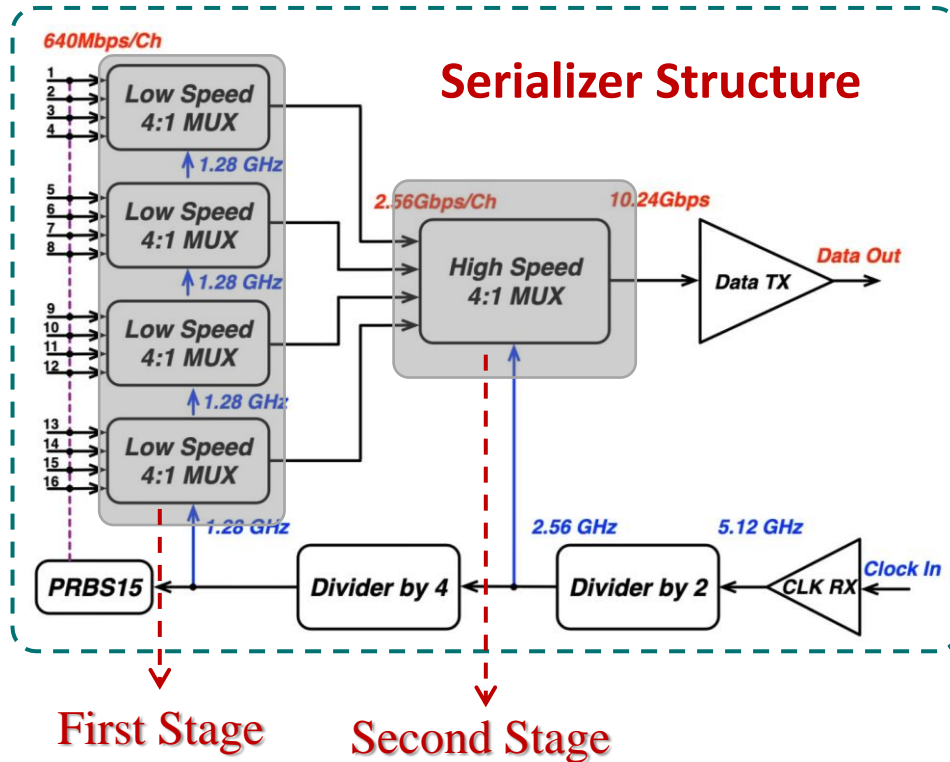
Eye Diagram



Phase Noise Curve

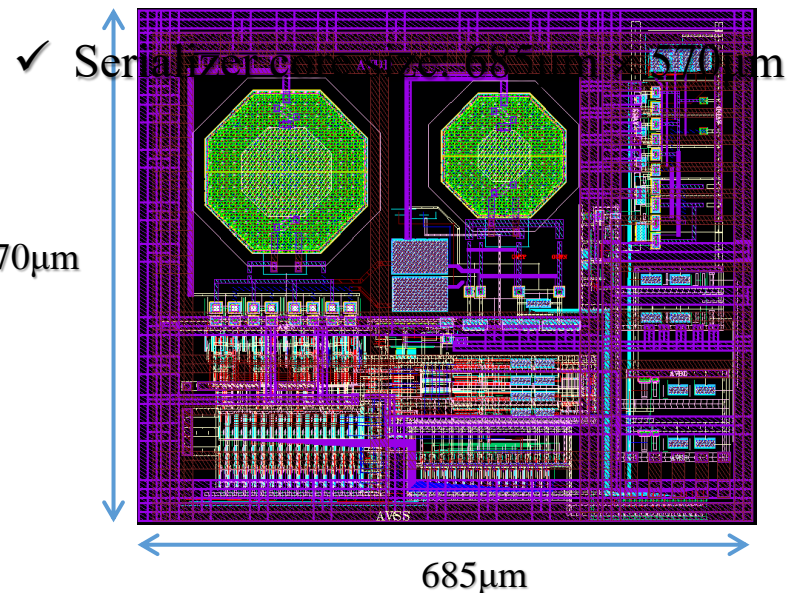
- ✓ Frequency: 5.12 GHz
- ✓ RMS Jitter: 474.70 fs
- ✓ Phase noise: -113dB@1MHz

BDTIC芯片中的10.24 GHz Serializer

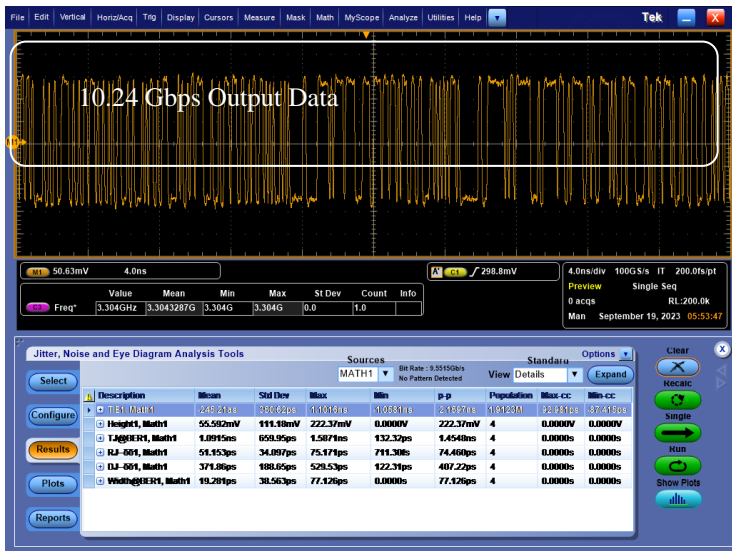


- ✓ First Stage: 16→4 (较低速使用CMOS逻辑) 570 μ m
- ✓ Second Stage: 4→1 (高速差分CML逻辑)
- ✓ PRBS15自检模块: 产生16路 640Mbps/ch测试数据

- ✓ 输入: 来自PRBS15自检模块产生的16路 640 Mbps/Ch 信号
- ✓ 需要时钟: 5.12 GHz (该时钟来自于5.12 GHz PLL模块)
- ✓ 输出: 10.24 Gbps高速串行数据



PLL + Serializer 测试结果



```

1111111111111111000000000000100000000000110000
000000010100000000000111100000000100010000000
01100110000000010101010000000111111100000100000
00100000110000001100001010000101000111000011110
01000100010001011001100110011101010101010011111
1111111101000000000001110000000001001000000000
01101100000000010110100000001110111000000100110
010000011010101100000101111110100001110000011100
010010000100100110110001101101011010010110111011
10111011000110011001101001010101011101111111111
100110000000000101010000000001111110000000100000
10000001100001100000010100010100001111001111000
010001010001000110011110011001010100010101111111
001111110000010100000010000111100000110001000100
    
```

```

1111111111111111000000000000100000000000110000
0000000101000000000001111000000001000100000000
01100110000000010101010000000111111100000100000
0010000011000000110000101000001010001111000011110
0100010001000101100110011001110101010101010011111
1111111101000000000001110000000001001000000000
011011000000000101101000000001110111000000100110
010000011010101100000101111110100001110000011100
010010000100100110110001101101011010101010111011
1011101100011001100110100101010101011101111111111
10011000000000010101000000000111110000000100000
10000001100001100000010100010100001111001111000
010001010001000110011110011001010100010101111111
001111110000010100000010000111100000110001000100
    
```

从实时示波器获取
波形数据恢复出0/1

符合
↔

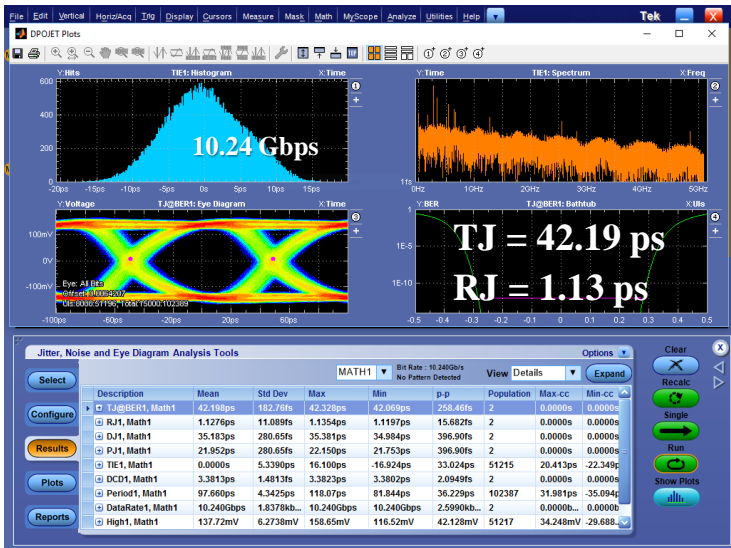
PRBS15序列
(15个1为种子)

✓ 输出逻辑检测正确

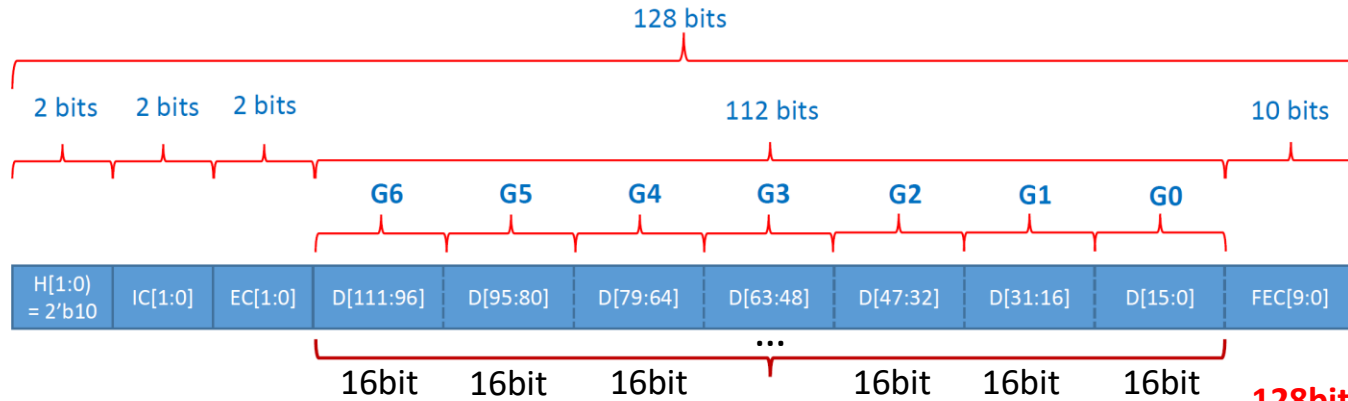
✓ 输出的10.24 Gbps眼图

✓ Total Jitter = 42.19 ps

✓ RMS Jitter = 1.13 ps



IpGBT中的UpLink帧格式



一帧为 **128bits**
 帧速率为 **40M**
 串行bit率为 **5.12Gbps**

128bit中 112bit (7 x 16 bit)
 对应于输入的前端多通道数据

对应 **7 * 640Mbps** 的前端数据
 或 **14 * 320Mbps** 的前端数据
 或 **28 * 160Mbps** 的前端数据

- 7 groups of 4 input e-Ports
 Number of data ports:
- 28 eLinks @ 160 Mbps
 - 14 eLinks @ 320 Mbps
 - 7 eLinks @ 640 Mbps

Frame	Function	I/O Group
FRMUP[9:0]	FEC[9:0]	
FRMUP[25:10]	Data[15:0]	0
FRMUP[41:26]	Data[31:16]	1
FRMUP[57:42]	Data[47:32]	2
FRMUP[73:58]	Data[63:48]	3
FRMUP[89:74]	Data[79:64]	4
FRMUP[105:90]	Data[95:80]	5
FRMUP[121:106]	Data[111:96]	6
FRMUP[123:122]	EC[1:0]	EC
FRMUP[125:124]	IC[1:0]	
FRMUP[127:126]	H[1:0] = 2'b10	HFH[1:0] = 2'b10

内容引用自IpGBTx相关文档

- 这里以**5.12 Gbps**数据率输出，选择**FEC5**情形下的“帧格式”定义