

国家重点研发计划 “高能量加速器关键技术
研究” 项目2025年会

高压 CMOS 芯片研发进展

李一鸣

中国科学院高能物理研究所

2025年5月28日



中国科学院高能物理研究所

Institute of High Energy Physics Chinese Academy of Sciences



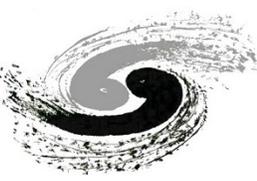
浙江大学

ZHEJIANG UNIVERSITY

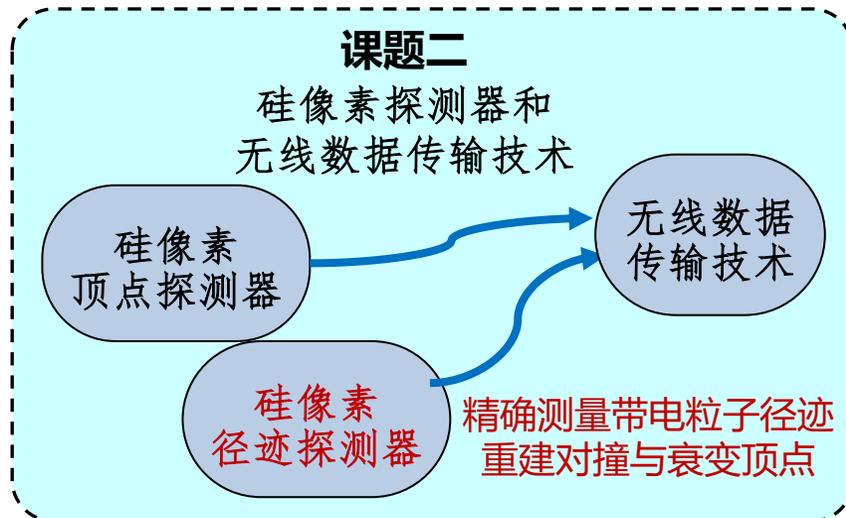


- 研究背景和目标
- 研究进展
- 高压CMOS原理验证芯片：COFFEE2测试
 - 传感器测试
 - 像素读出电路测试
- 全阵列读出芯片：COFFEE3
- 研究计划

研究目标



- 针对课题二中“硅像素径迹探测器”，研发新型高压CMOS技术
- 未来高能对撞机上对带电粒子径迹探测需要：
 - 高定位精度 → 精确测量径迹和带电粒子动量
 - 高时间精度 → 以区分高亮度对撞下前后束团对撞
 - 低功耗 → 避免因散热引入不必要的物质质量、影响动量分辨性能

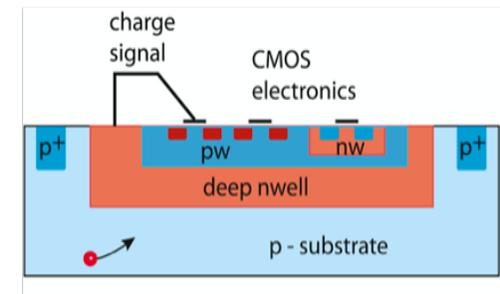


参数	指标
位置精度	10 μm
时间精度	10 ns
功耗	200 mW/cm ²

国内外研究现状



- 高压CMOS是径迹探测理想技术：
 - 利用商业CMOS技术，集成探测器和前端读出，具有**良好性价比**
 - 良好的**抗辐照**性能，适用于高能对撞
 - **电荷收集速度快**



- 国外高压CMOS技术集中在180/150nm工艺制程
 - 应用于Mu3e等实验
 - 尚无能完全满足本项目需求的芯片
- 本项目计划基于国产55nm先进制程探索高压CMOS传感器芯片
 - 单位面积内集成更高电路密度，实现更复杂功能，有望降低功耗
 - 高能实验研发周期长，旧工艺有停产风险
 - 目前依赖国外代工厂；需探索可用的国内工艺

Chip	Pixel size [μm ²]	Array size	Noise [e ⁻]	Power density [mW/cm ²]	Fluence [n _{eq} /cm ²]
AMS/TSI 180 nm					
ATLASPix1	60 × 50	56 × 320	~200	170	1 × 10 ¹⁵
ATLASPix3	50 × 150	372 × 132	~60	~150	1.5 × 10 ¹⁵
MuPix10	80 × 80	256 × 250	75	190	
MightyPix1	55 × 165	29 × 320			
LFoundry 150 nm					
LF-Monopix1	50 × 250	129 × 36	~200	~288	10 ¹⁵
LF-Monopix2	50 × 150	340 × 56	~100	~400	
RD50-MPW1	50 × 50	40 × 78			2 × 10 ¹⁵
RD50-MPW2	60 × 60	8 × 8	~50		2 × 10 ¹⁵
RD50-MPW3	62 × 62	64 × 64	~900		
RD50-MPW4	62 × 62	64 × 64	480	~600	3 × 10 ¹⁶
CACTUS	1000 × 1000	7 × 6	~2k		

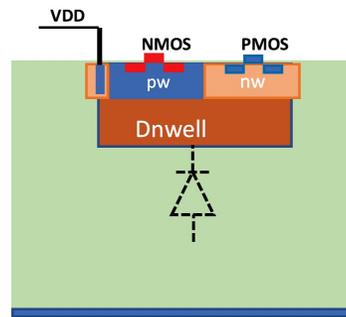
前期研究基础 (COFFEE1)



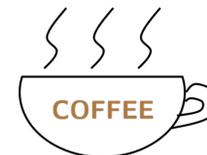
■ SMIC 55nm Low-Leakage工艺

- 非高压工艺，非高阻衬底
- 存在与HV工艺相似的深N阱结构
- 2022年提交3mm*2mm MPW流片
- 初步验证传感器结构

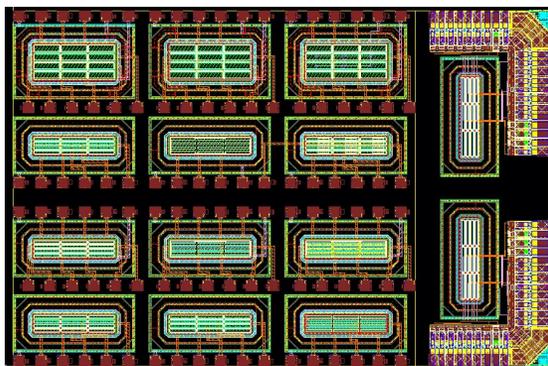
LL process



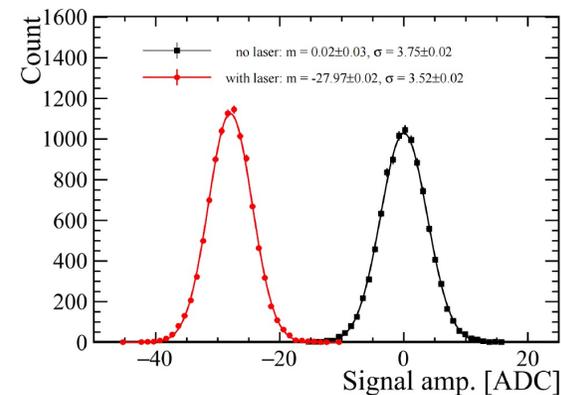
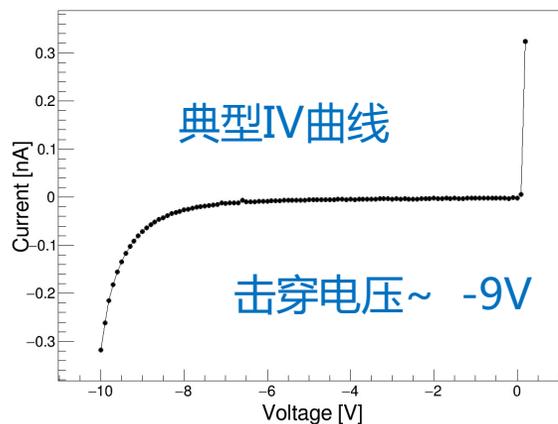
55nm LL工艺截面示意图



CMOS SENSOR IN
FIFTY-FIVE NM PROCESS



COFFEE1 芯片版图



Sensor对激光的信号响应

首个高压CMOS原理验证芯片

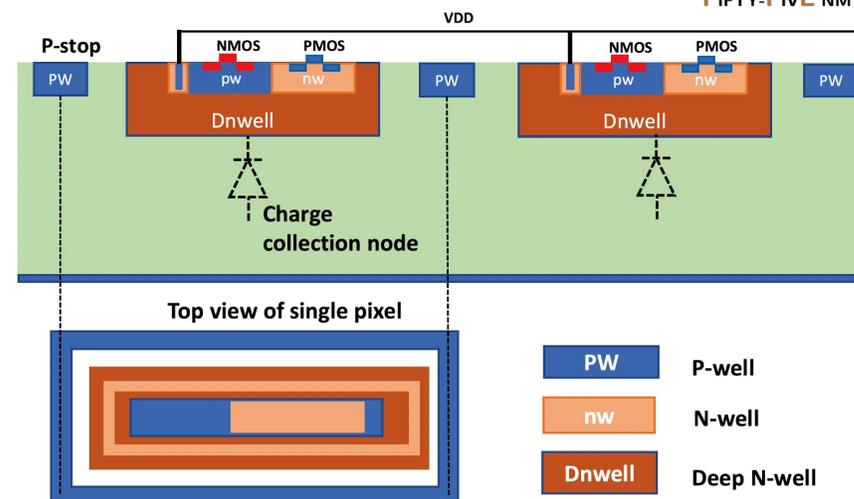


■ 首个55nm工艺高压CMOS原理验证芯片 COFFEE2 提交流片

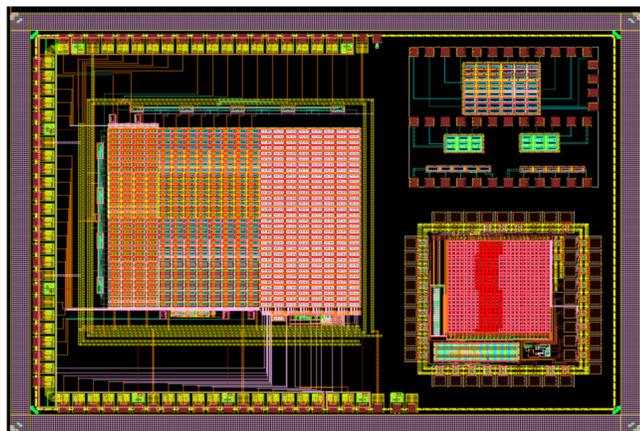
- 2023年8月提交 4mm*3mm MPW流片用于初步工艺验证
- 2024年芯片寄回后开展一系列测试



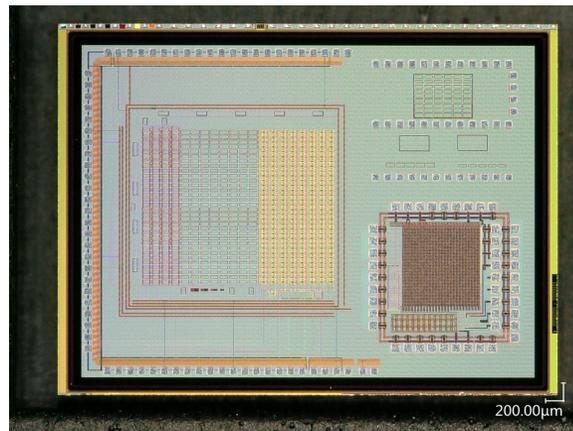
CMOS SENSOR IN
FIFTY-FIVE NM PROCESS



55nm 高压CMOS工艺截面示意图

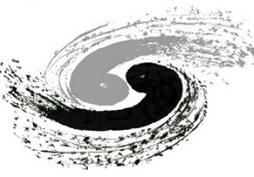


COFFEE2 芯片版图



COFFEE2 芯片版图

COFFEE2 设计

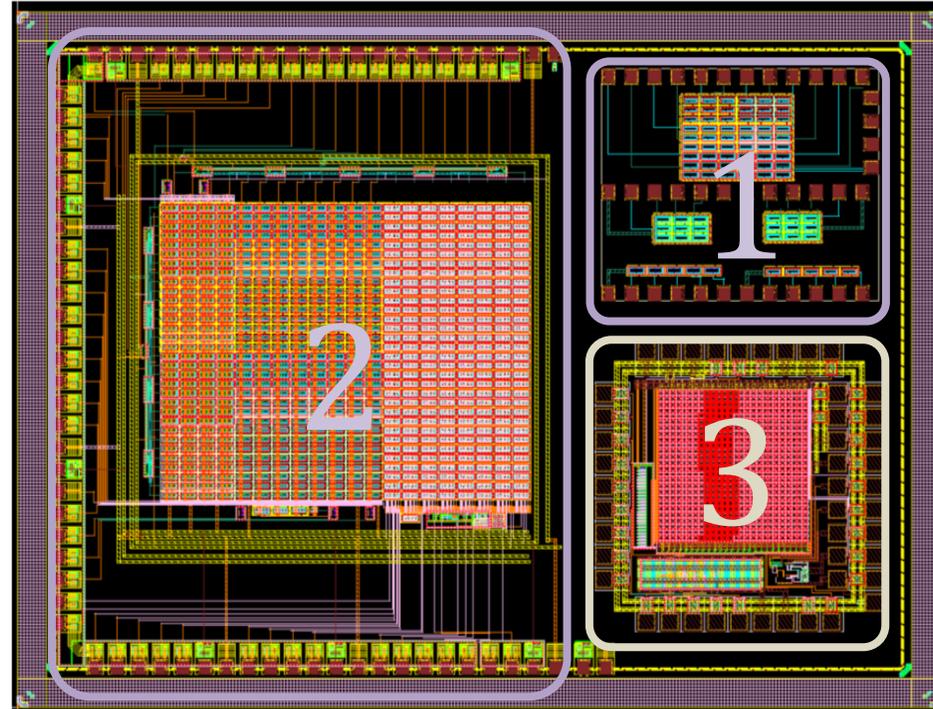


32 × 20 pixel matrix with various diodes and in-pixel amplifier or discriminator designs for process validation

- 40 × 80 μm^2
- 5/10/15 μm gap btw pixels
- With/ w.o. p-stops
- 3 versions in-pixel electronics

→ 对应10 μm 空间分辨率

[设计值 × 0.9 方为实际值]



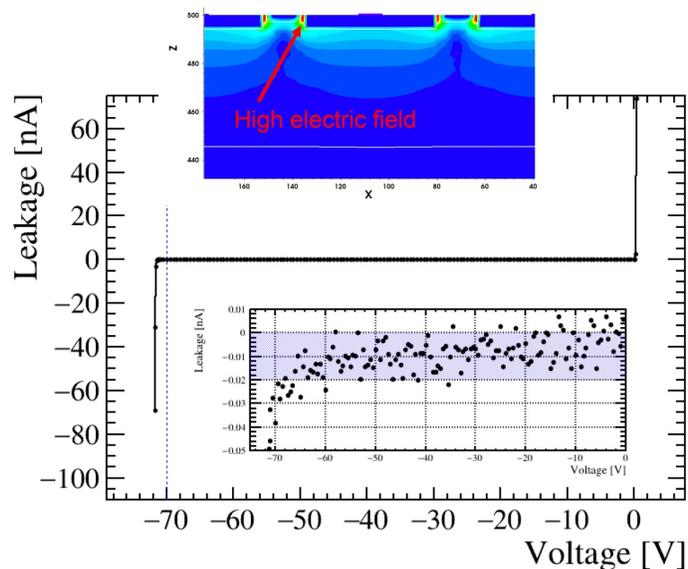
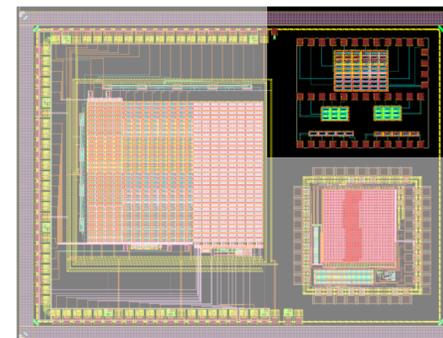
Passive diode arrays, each has 3×4 pixels of size 40 × 80 μm^2 for study on sensing diode and charge sharing

26 × 26 pixel matrix of 25 × 25 μm^2 pixels with digital readout periphery for novel electronics structure study

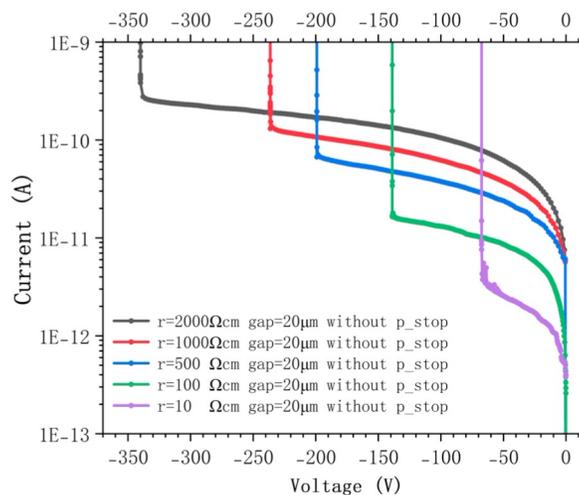
传感器主要测试结果



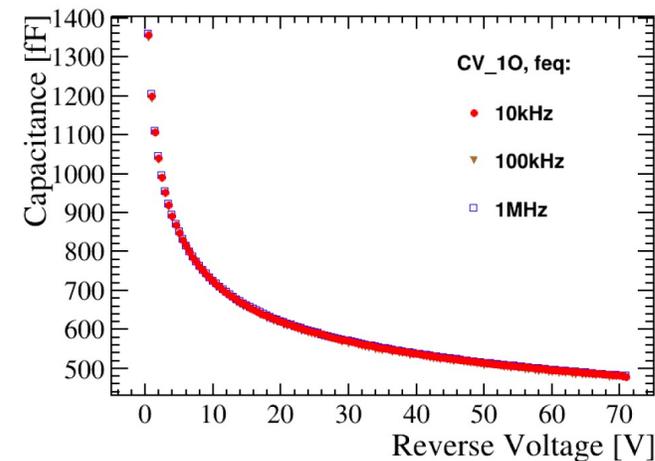
- 击穿电压 - 70V
 - 击穿时尚未达到全耗尽，与仿真结果一致
 - 击穿发生在深n阱边缘（与p阱接触部分）
 - 仿真线上高阻衬底可显著提高击穿电压和耗尽区
- 单个像素电容30-50fF
- 暗电流 $\sim 0.01\text{nA}$ ， $10^{14} n_{eq} \text{ cm}^{-2}$ 辐照后升至 $\sim 1\text{nA}$



实测电流电压曲线

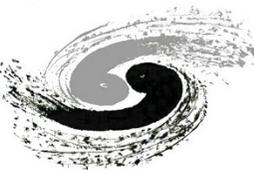


不同衬底阻值IV曲线仿真



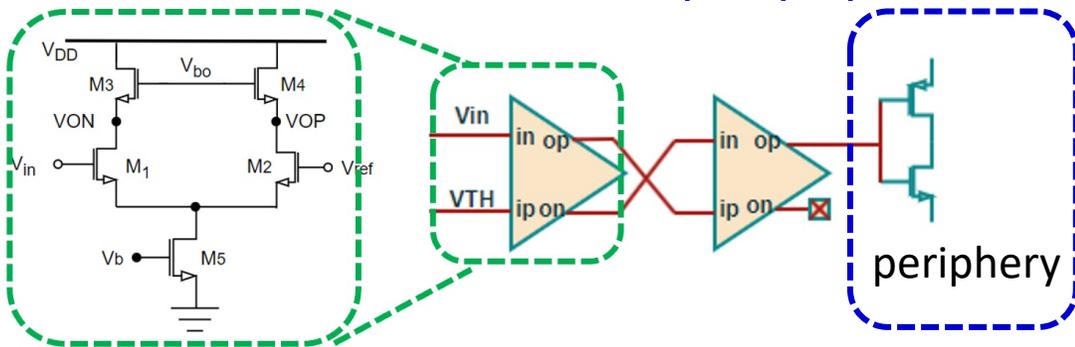
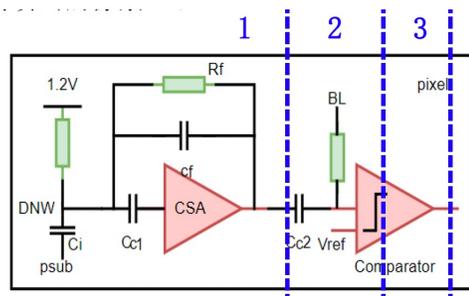
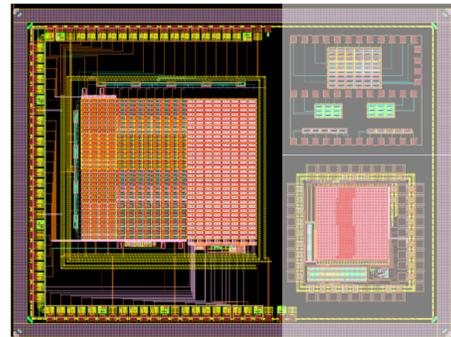
电容电压曲线

COFFEE2 电路设计

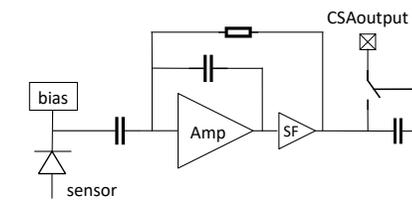


- 三种像素内电路设计：
 - 1 - 仅有放大器
 - 2 - 放大器 + NMOS 比较器 → ADC 在阵列外
 - 3 - 放大器 + CMOS 比较器, 数字化读出

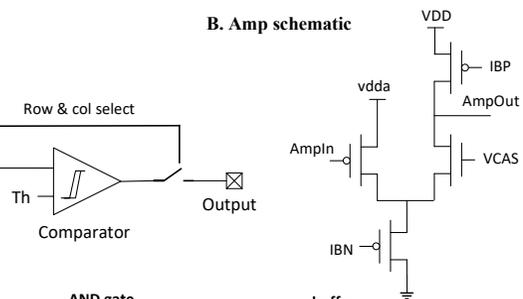
- 通过行、列选通选中一个像素读出



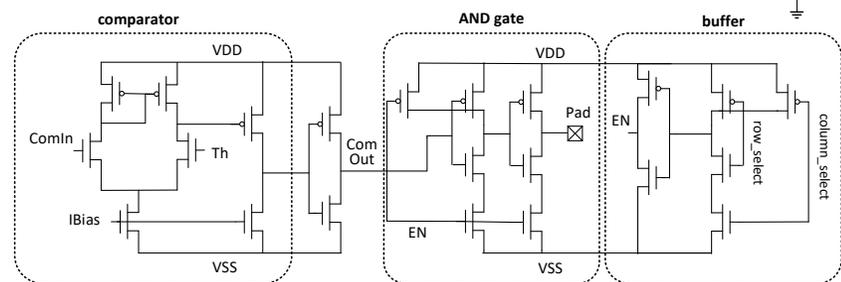
A. in-pixel electronics



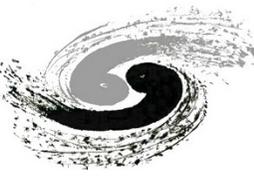
B. Amp schematic



C. comparator and output stage



COFFEE2测试设置



- 读出测试系统：
 - 专用芯片载板 → CaR 测试板 → Xilinx KC705 FPGA → PC

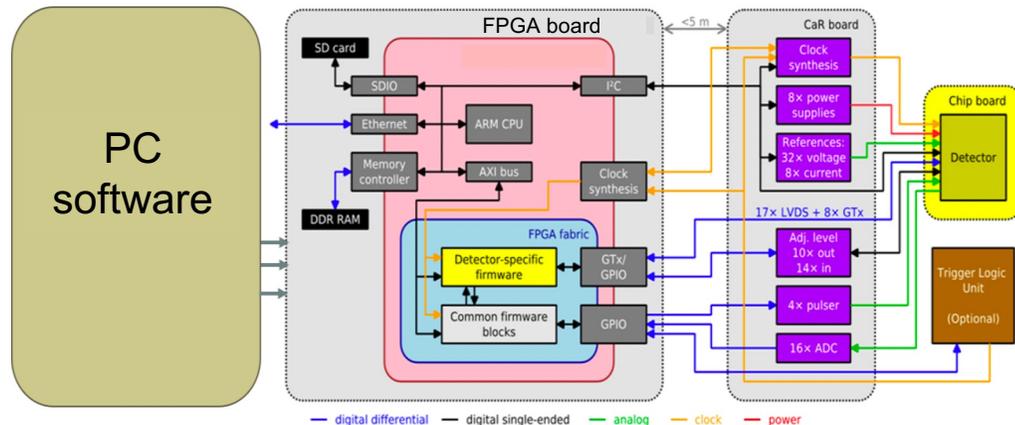
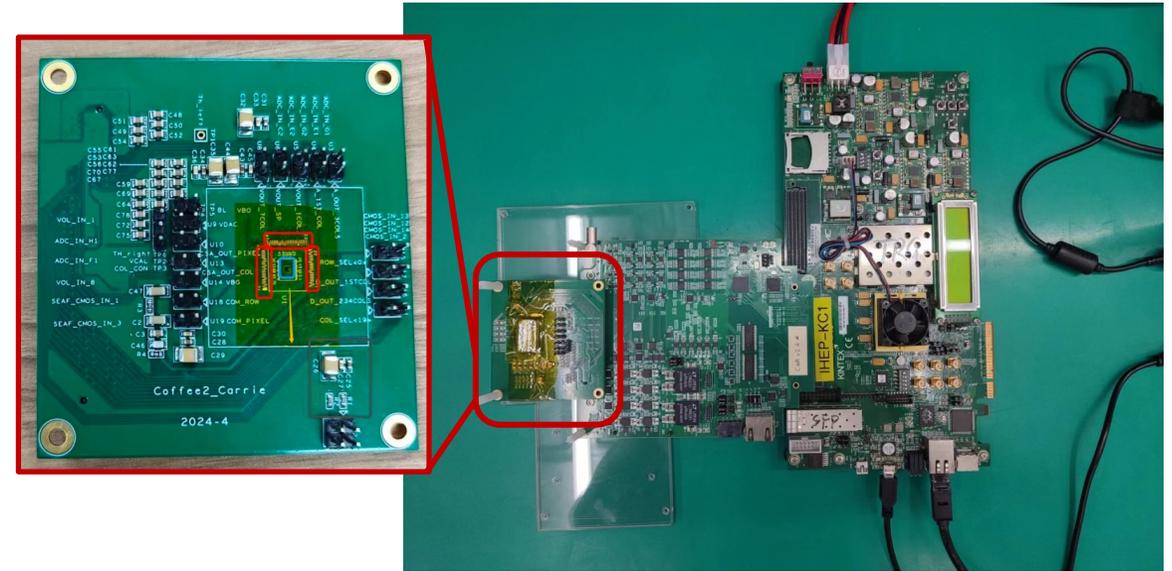
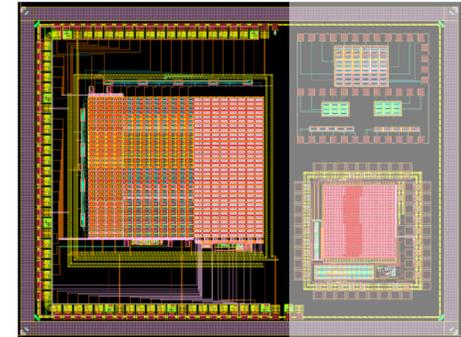
Control and Readout (CaR) board

Feature	Description
Adjustable Power Supplies	8 units, 0.6 – 3.6 V, 3 A
Adjustable Voltage References	32 units, 0 – 4 V
Adjustable Current References	8 units, 0 – 1 mA
Voltage Inputs to Slow ADC	8 channels, 50 kSPS, 12-bit, 0 – 4 V
Analog Inputs to Fast ADC	16 channels, 65 MSPS, 14-bit, 0 – 1 V
Programmable Injection Pulsers	4 units
Full-Duplex High-Speed GTX Links	8 links, <12 Gbps
LVDS Links	17 bidirectional links
Input/Output Links	10 output links, 14 input links, 0.8 – 3.6 V
Programmable Clock Generator	Included
External TLU Clock Reference	Included
External High-Voltage (HV) Input	Included
FEAST Module Compatibility	Supported
FMC Interface to FPGA	Included
SEARAY Interface to Detector Chip	320-pin connector



<https://gitlab.com.ch/carbou/hardware/carboard>

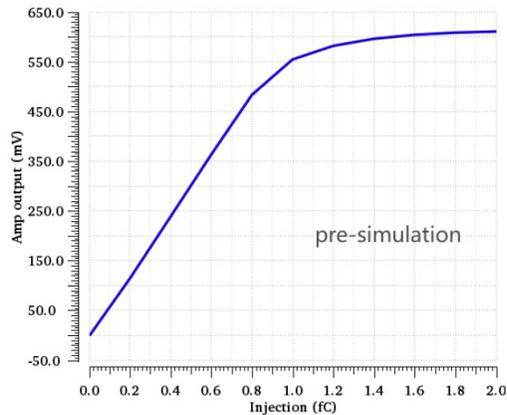
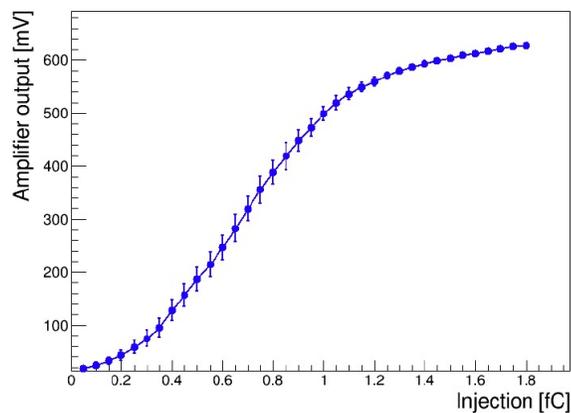
Resources for various target applications 
 20 CaR boards v1.4 produced and distributed within RD50 common project



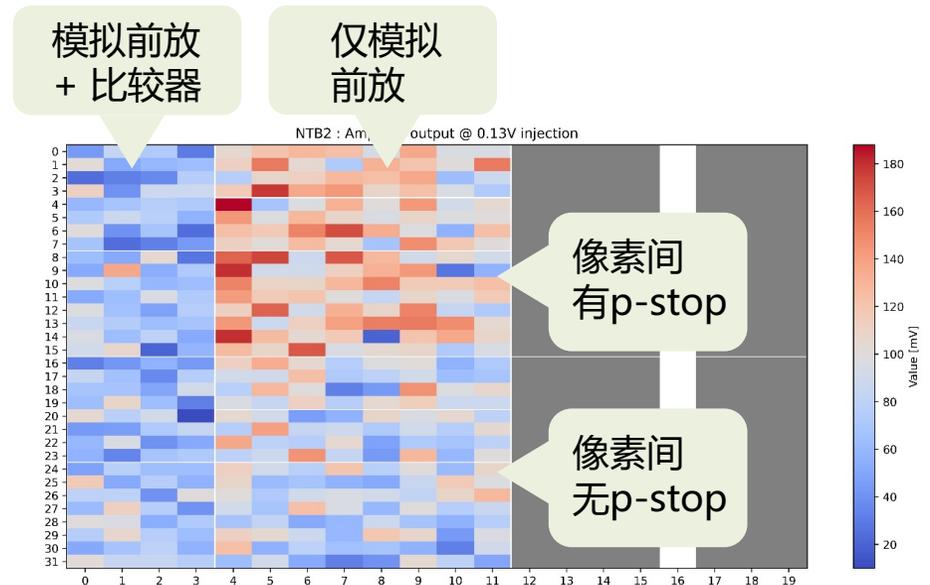


■ 利用电荷注入功能可研究放大器响应

- 线性区与仿真基本一致
- 像素间有不均匀性
 - 来自放大电路 / 注入电路 / 工作点差异；与设计也相关
 - 可通过阈值调节使响应更均匀



放大器输出幅度与注入电荷量关系（左）实测（右）仿真

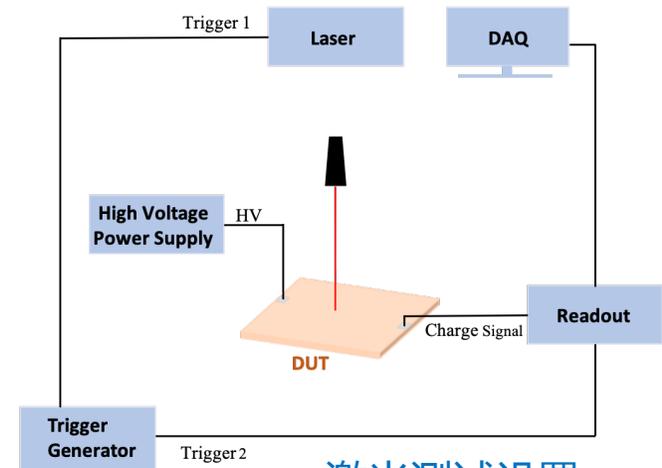


各像素的放大器输出在相同电荷注入电压下的响应

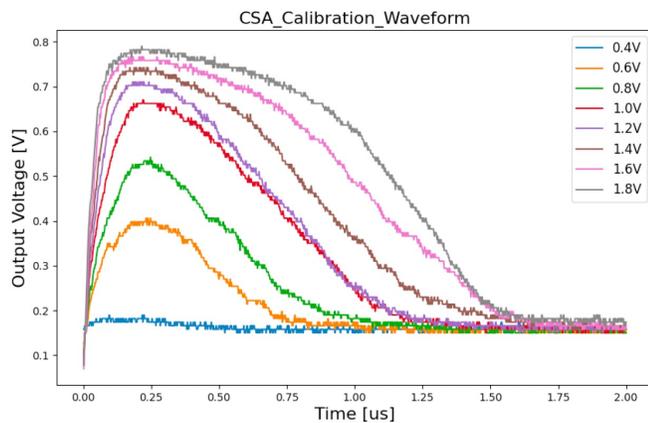
电路测试



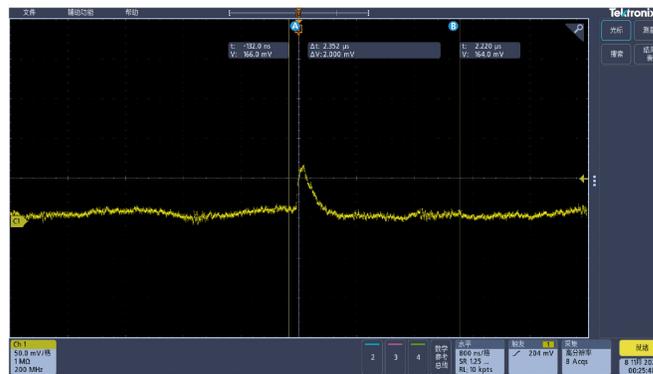
- 利用电荷注入功能可研究放大器响应
 - 线性区与仿真基本一致
 - 像素间有不均匀性
- 观察到对激光信号、放射源信号的模拟前放响应



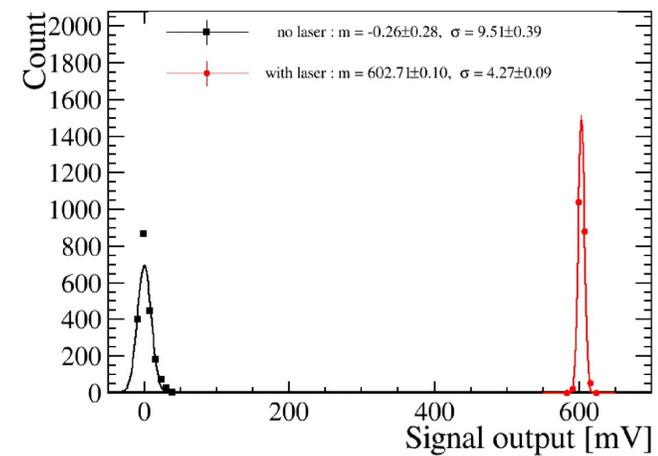
激光测试设置



放大器输出信号



⁵⁵Fe放射源响应

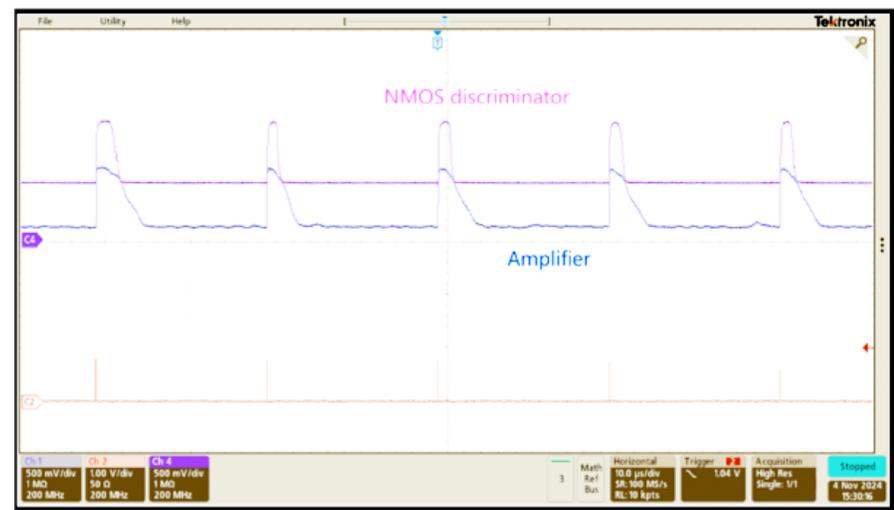
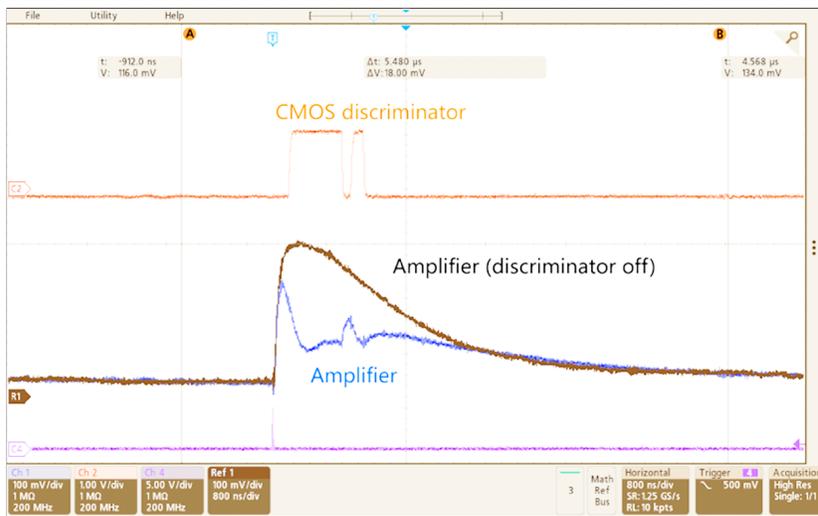
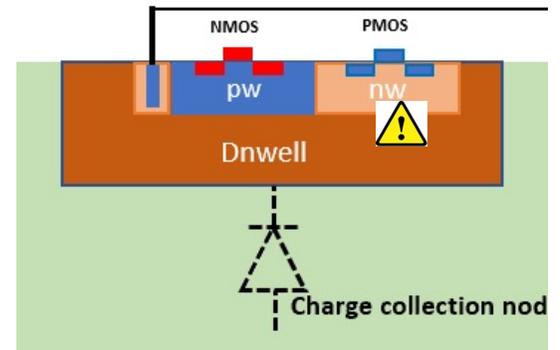


激光信号响应

电路测试



- 利用电荷注入功能可研究放大器响应
- 观察到对激光信号、放射源信号的模拟前放响应
- 三阱工艺对数字电路设计限制：
 - CMOS数字电路与前端有串扰现象，需工艺调整加入深 p 阱
 - 仅使用NMOS数字电路不受影响



CMOS比较器打开后模拟放大器输出受影响

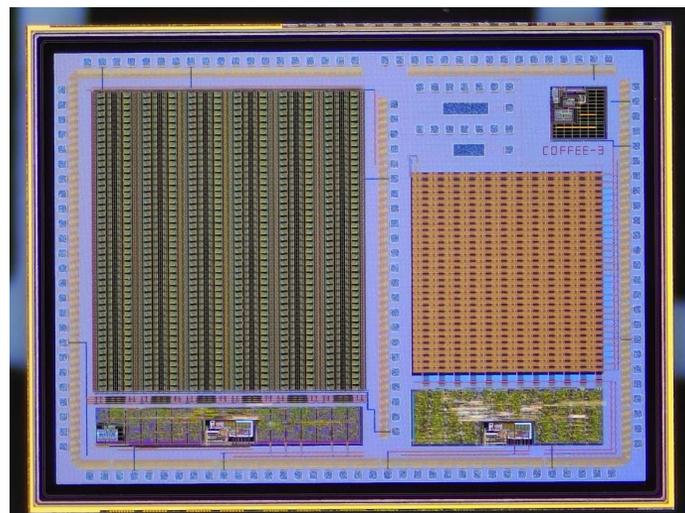
模拟放大器输出 和 NMOS比较器输出与预期一致

COFFEE3 芯片设计

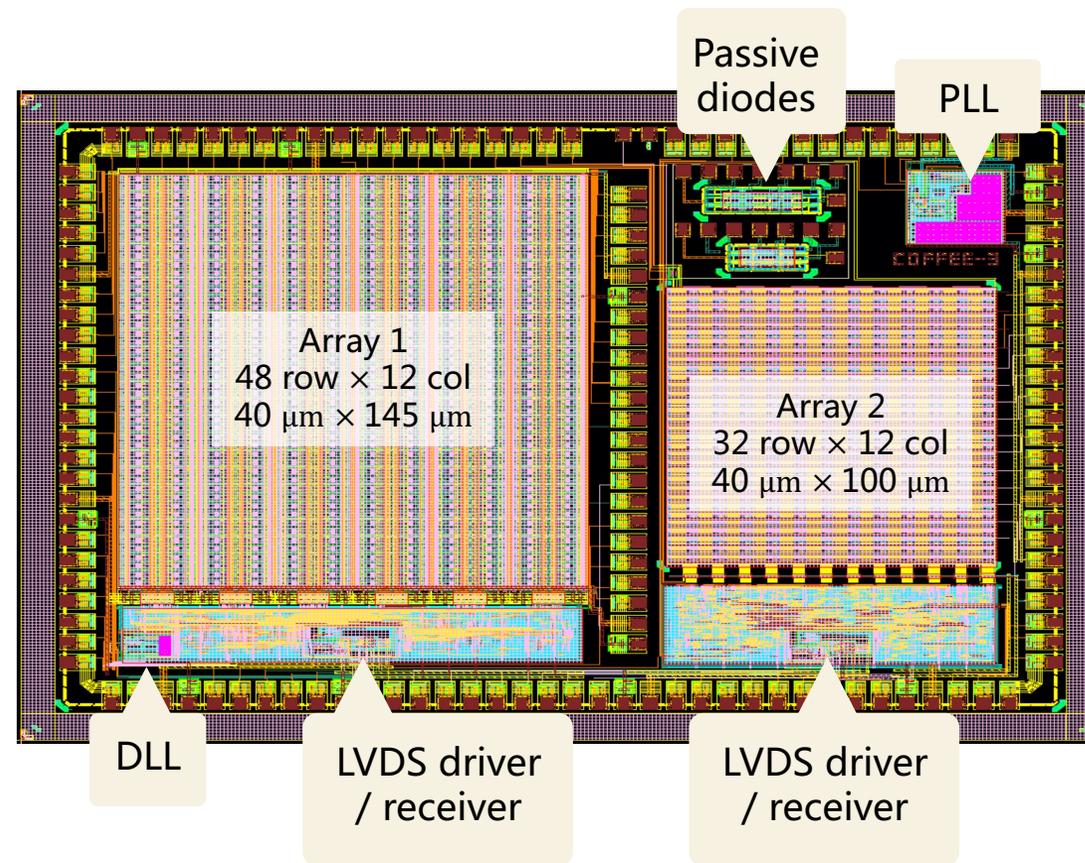


- 2025年1月提交流片
 - 4 mm × 3 mm 面积
- 两种像素读出架构
 - 基于CMOS，充分发掘55nm潜力，多种设计如像素内TDC提高时间分辨率
 - 仅适用NMOS电路，如短期内工艺无法改进仍能实现无串扰的信号读出
 - 均可实现10微米空间分辨率指标
- 近日已寄回，即将开始测试验证

详见周扬老师报告



COFFEE3 芯片照片

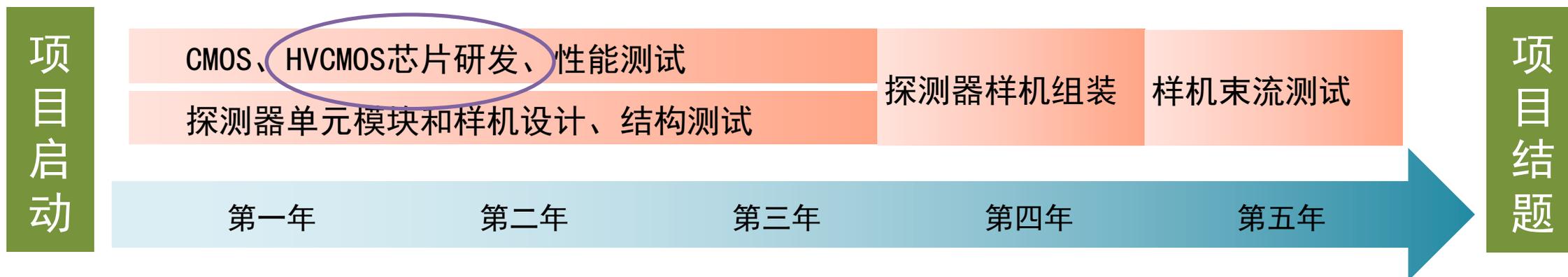


COFFEE3 设计版图

研究计划推进



- HVCMOS芯片研发定期召开讨论会
- 对COFFEE3芯片开展全面测试，验证工艺
 - 寻求工艺修改机会
 - 验证设计，为优化提供方向
- 提交一版小型原理样机流片
 - 在COFFEE3基础上加入周边电路中信号处理、压缩等功能
 - 进一步提升时间分辨率、降低功耗
- 基于测试和芯片性能开展探测器单元模块设计



培养人才、发表文章和会议报告

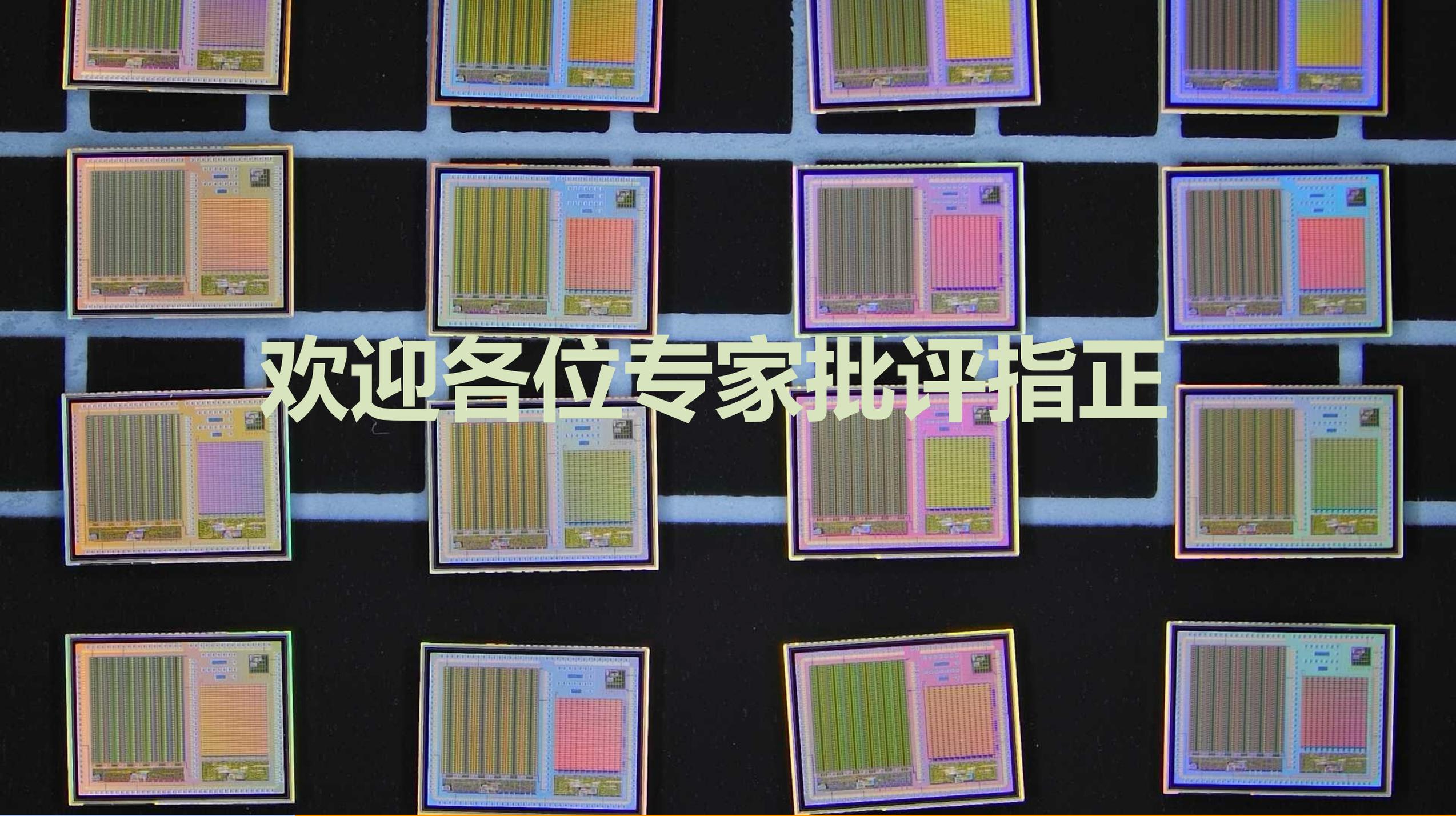


- 培养人才：
 - 博士后项治宇即将出站，到中南大学任教
 - 博士后董若石出站，加入比亚迪
 - 博士后盛书琪毕业，即将到瑞士EPFL做博士后
- 文章1篇：
 - Feasibility study of CMOS sensors in 55 nm process for tracking , NIM A 1069 (2024) 169905
- 2024年会以来会议报告3次，项目开始以来16次：
 - 国际会议报告如：ICHEP, TREDI, iWORLD (已接收), TWEPP (已投稿) 等

总结



- 首个基于国产55nm工艺原理验证芯片COFFEE2初步测试取得结果，并指导COFFEE3设计
- COFFEE3设计流片完成，即将开始测试
- 按计划开展研发，已发表1篇文章、多次会议报告



欢迎各位专家批评指正