

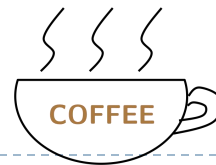
# COFFEE3 像素探测器芯片的设计

周 扬 (IHEP)

zhouyang@ihep.ac.cn

- 研发目标: **MOST3项目、CEPC ITK、未来**
- 设计思路:
  - 工艺条件
  - 读出构架
  - 性能指标
- 总结、展望、致谢

# 高压CMOS像素探测器芯片研究目标



CMOS SENSOR IN  
FIFTY-FIVE NM PROCESS

## MOST3项目考核指标:

- 位置分辨:  $< 10 \mu\text{m}$  (单方向);
- 时间精度:  $< 10 \text{ ns}$ ;
- 功耗:  $< 200 \text{ mW/cm}^2$ ;
- 推动国产55nm探测器技术/工艺的发展 (隐藏任务);

## CEPC 内层径迹探测器的需求:

- 位置分辨:  $\sigma_{r\phi} \sim 10 \mu\text{m}$ ;
- 时间精度: 提供最小间隔23 ns的对撞束团标记;
- 功耗:  $< 200 \text{ mW/cm}^2$ ;
- 与实验系统匹配的全功能全尺寸芯片

## 未来和扩展:

- 应用于更高亮度的实验环境: eg. LHC上径迹探测器的升级;
- 考虑该技术类型探测器性能和设计自由度的进一步提升;
- 应用扩展到其他学科: 材料科学、医学影像、辐射防护、安全监测等;

2023.12

Several MPWs to reach the full-size full-function sensor

2027



COFFEE2

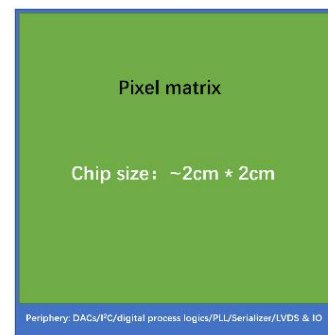


COFFEE3



1/4 of the full size

Time line



# COFFEE3 设计思路

在高压CMOS像素探测器这个技术方向，COFFEE系列率先在55nm先进工艺节点上开展了R&D工作，截止目前，仍然是国际上唯一在100nm一下工艺节点研发的高压CMOS系列芯片，COFFEE2是第一版HV-CMOS工艺上的设计，旨在了解工艺特性；COFFEE3仍然面临一些工艺上的不确定性，重点在验证电路和基础功能的实现，以满足MOST3项目目标。

- ◆ 工艺条件：深刻的影响设计构架和最终性能

- 推动国产55nm MAPS 技术/工艺的发展（隐藏任务）

- ◆ 如何达成MOST3项目考核指标：在工艺条件完全确定前，保留足够的设计余量

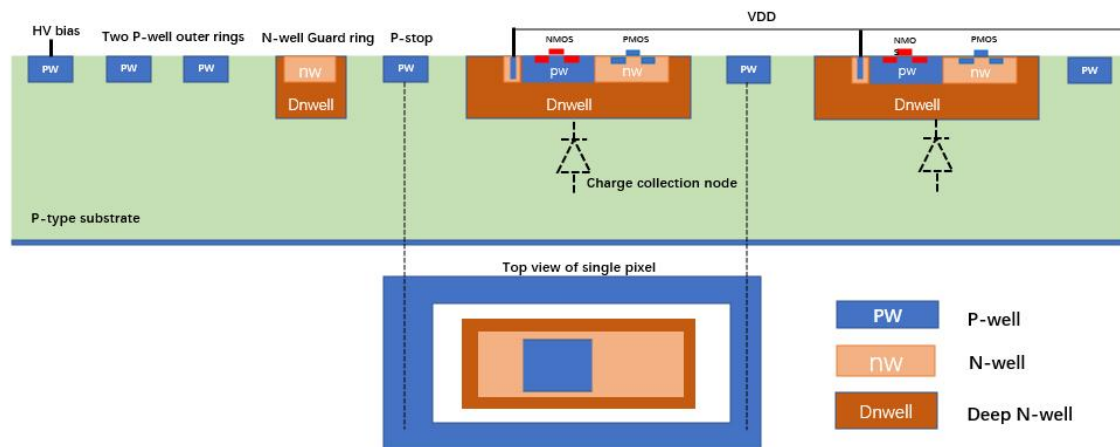
- 位置分辨：< 10  $\mu\text{m}$ （单方向）；
- 时间精度：< 10 ns；
- 功耗：< 200 mW/cm<sup>2</sup>；

- ◆ 对未来发展的考虑：挖掘先进工艺节点的潜力

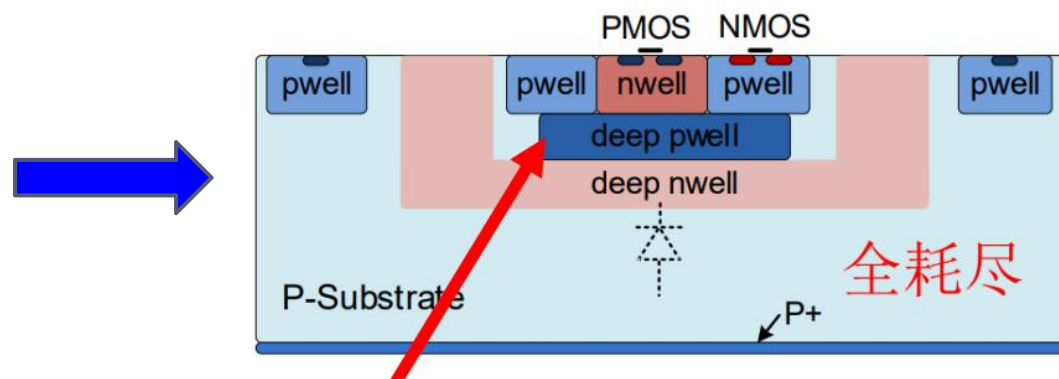
- 以获得探测器性能和设计自由度的进一步提升；

# 使用的工艺条件：影响设计方案

目前国产55nm工艺节点，成熟商业制程上最合适的条件：



更理想的工艺优化方向：与多家国内厂商接触，已有一些初步意向

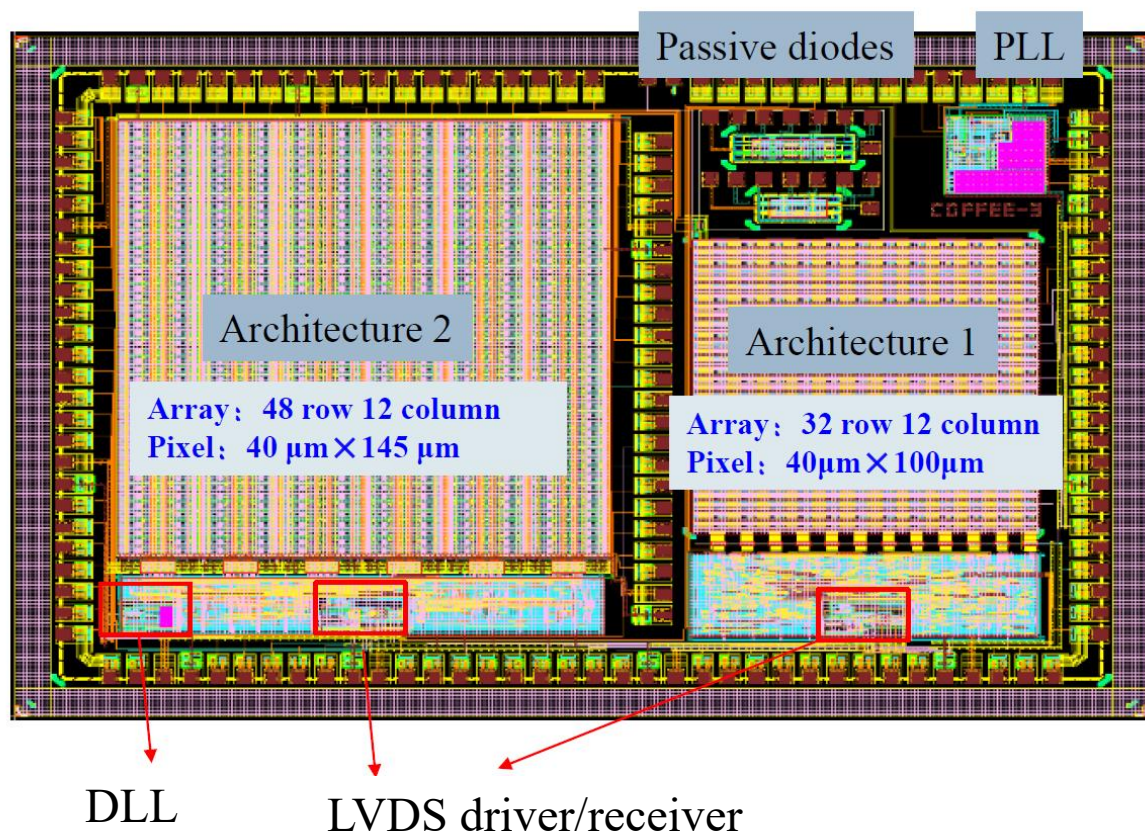


- 阱结构：三阱；可实现信号收集极对像素内电路的包裹
- 晶圆电阻率：10欧姆·厘米；
- 金属层数：8+1层；有利于最终大面积版图的走线
- HV工艺：信号收集极 DNW 和 PSUB之间可承受  $> 70V$  偏压；  
在当前晶圆阻值条件下，耗尽深度约  $10 - 20 \mu m$ ；  
(对应  $1k - 2k e^-$  的信号总量)

与各厂商技术团队交流，技术上可实现的：

1. 替换高阻晶圆；可大幅增加耗尽深度，可提升信号总量  
( $2k - 20k e^-$ )、降低前端等效电容  $\rightarrow$  获得更高的信噪比；
2. 微调阱的结构：增加Nwell与DNW之间的隔离层，使得像素内可集成复杂的数字电路  $\rightarrow$  大幅增加设计自由度，提升综合性能；

# 整体版图和构架

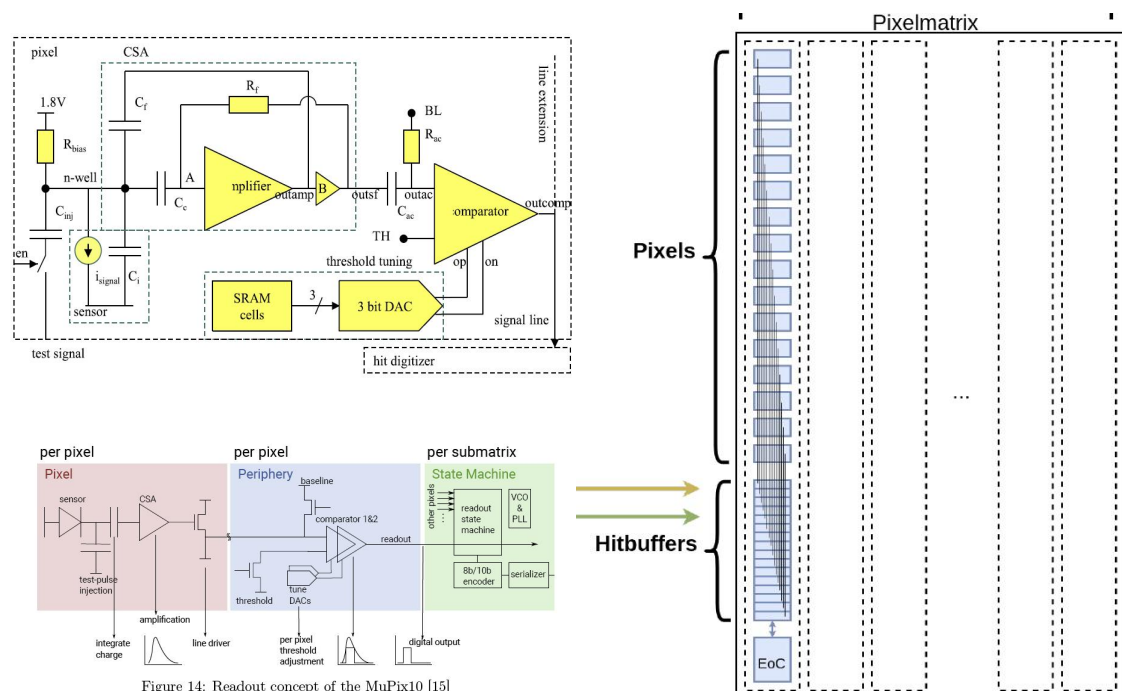


COFFEE3 版图，面积 $3 \times 4\text{ mm}^2$ 。2025.1月提交，本周收到芯片

- ◆ 两种读出构架设计方案：对应当前和未来理想的工艺条件
  - 构架1：像素内NMOS设计，基于三阱工艺；
  - 构架2：像素内CMOS设计，基于未来四阱工艺；
  - 与像素阵列匹配的外围数字读出电路；
- ◆ 必要的外围功能模块：DLL、LVDS、PLL等；IP积累、整体功耗评估；
- ◆ Passive diode 阵列：与两种方案的像素尺寸对应，用于sensor和工艺的进一步研究；
- ◆ Custom-designed I/O；本工艺没有I/O库，提供初步的ESD保护

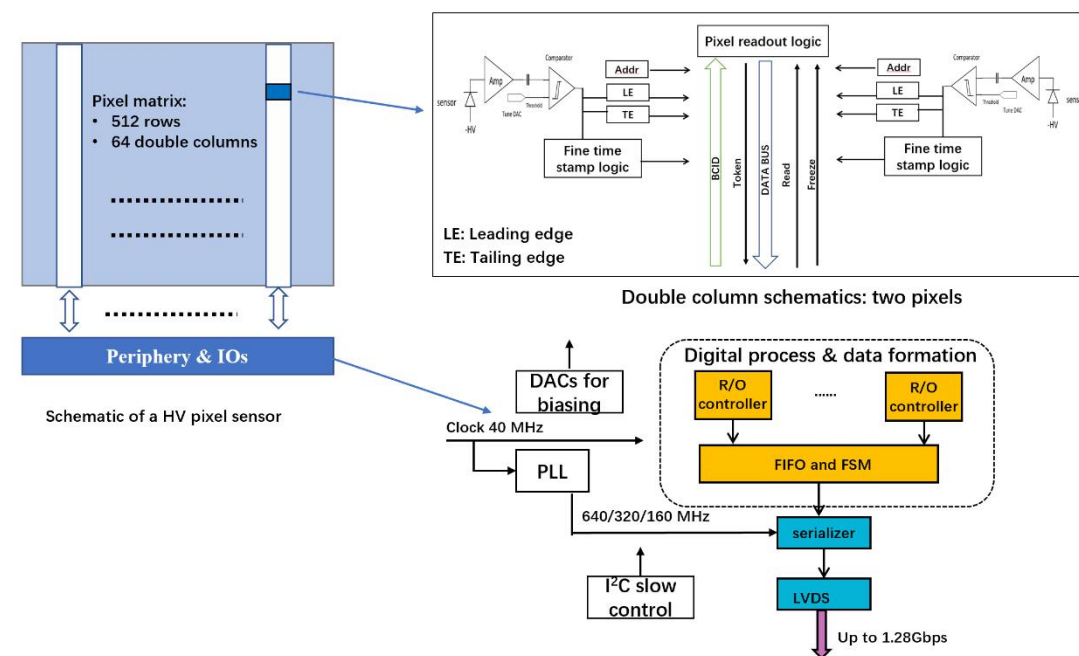
# 读出构架方案

**方案1：** 像素内NMOS设计、完成数字化后，并行传输到阵列底部，在阵列底部打时间标记。**适用当前3阱商用工艺**



类似芯片：ATLASPIX3, MightyPix, MuPix等

**方案2：** 像素内使用完整的CMOS设计，集成像素级别的TDC模块，粒子击中信息（到达时间、结束时间）记录在每个像素本地，再按优先级次序读出到阵列底部；**适用优化后的四阱工艺**



类似芯片：Monopix, Timepix（混合型像素探测器、ASIC构架类似）等

# 位置分辨：像素尺寸决定下限

COFFEE3中实现的单像素版图面积：

方案1：  $40\ \mu\text{m} \times 100\ \mu\text{m}$

像素内部横向预留了大量空面积  
给全尺寸阵列布线

方案2：  $40\ \mu\text{m} \times 145\ \mu\text{m}$

COFFEE3中像素内设计面积基本用满，但版图仍然有优化空间，可扩展到全尺寸阵列

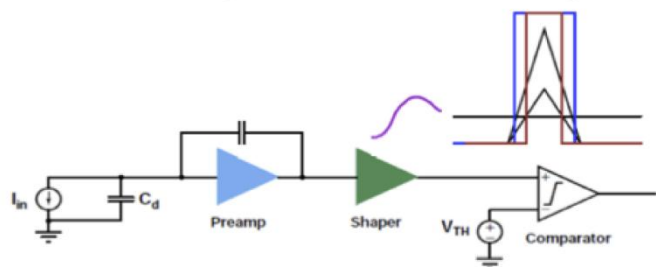
生产后实际获得的像素尺寸是版图面积按比例缩小后的结果（65nm工艺，图形按比例缩小后获得55nm工艺）

两种方案流片后实际的像素短边边长： $40 \times (55/65) = 33.8\ \mu\text{m}$

该方向位置分辨最差情况（cluster size = 1）： $33.8/\sqrt{12} \approx 9.8\ \mu\text{m}$

# 时间分辨：多重因素影响

Sensor Pre-Amplifier Time measuring circuit



典型的时间测量探测器结构

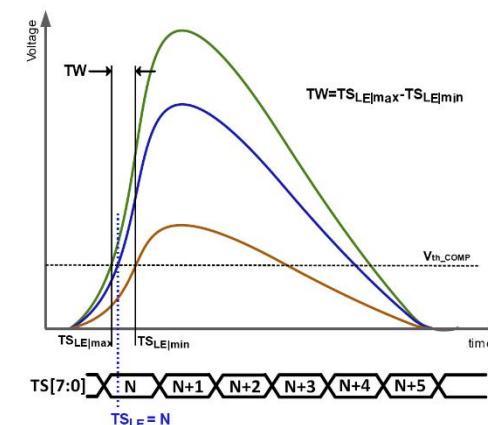
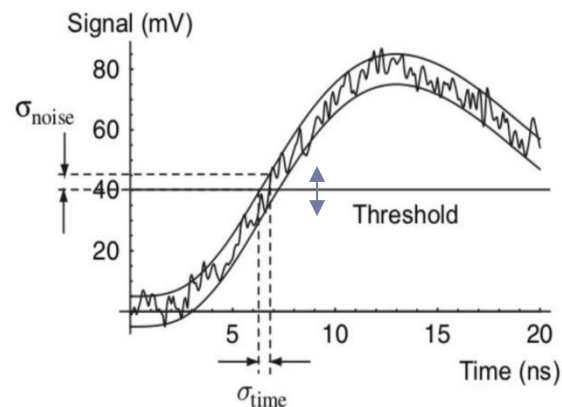
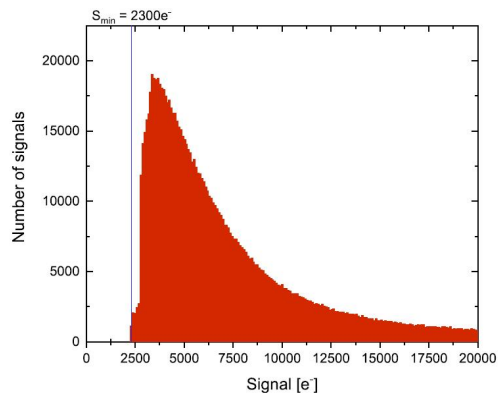
$$\sigma_t^2 = \sigma_{TW}^2 + \sigma_J^2 + \sigma_{TDC}^2$$

(只记录到达时间  
前沿Leading edge)

电子学噪声、阈值的不一致性等

TDC量化噪声：  
时间标记bin size/  $\sqrt{12}$

信号量分布、模拟前端设计、比较器阈值设置等



高阻、全耗尽HV-CMOS工艺中MIP粒子产生的总信号量：约2k - > 20k e<sup>-</sup>



# 时间分辨：噪声的影响

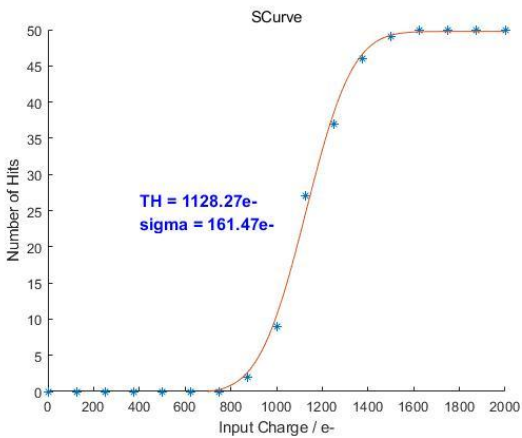
• Noise:

$$ENC_{thermal}^2 \propto \frac{4}{3} \frac{kT}{g_m} \frac{C_d^2}{\tau}$$

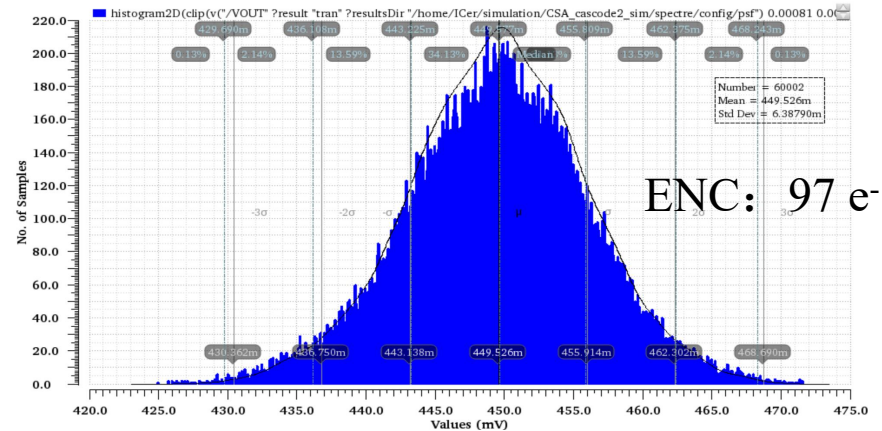
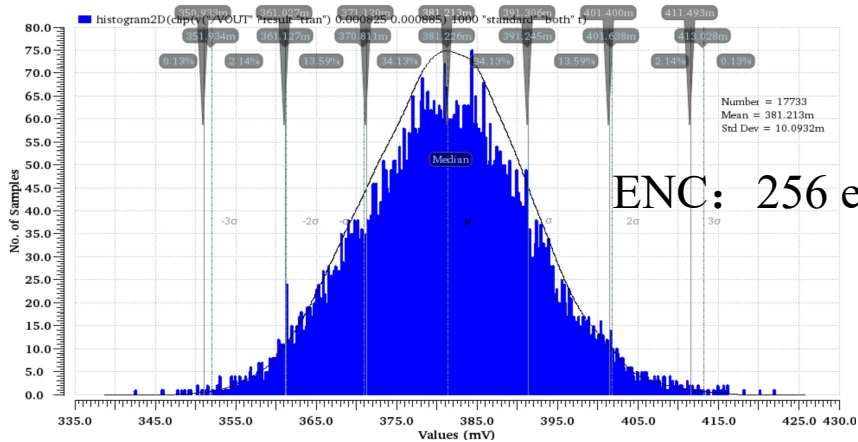
噪声仿真统一设置:

|         |             |
|---------|-------------|
| 收集极等效电容 | ~200fF (预估) |
| 温度设置    | 室温 27°      |

- 对于像素之间阈值的不一致性（FPN）噪声：每种像素内部均集成了4-bit的DAC，可单独配置每个像素的阈值，调节后的影响预期将大幅缩小，整体噪声贡献将主要来自于瞬态噪声；
- 三种结构瞬态噪声等效电荷分别为：~160 e<sup>-</sup>，~256 e<sup>-</sup>，97 e<sup>-</sup>，在使用高阻晶圆后，仅为最小信号量的1/10左右；



S-curve拟合

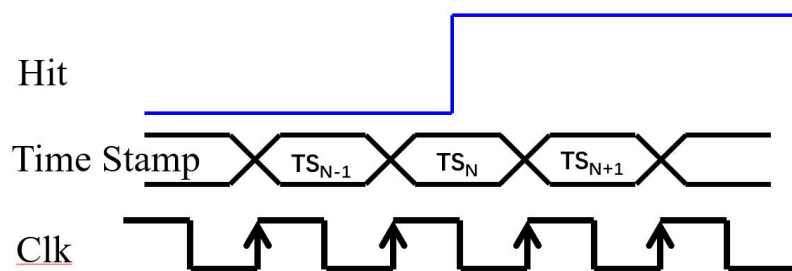


噪声仿真分析



# 时间分辨：TDC量化噪声的影响

构架1：在阵列底部打时间标记

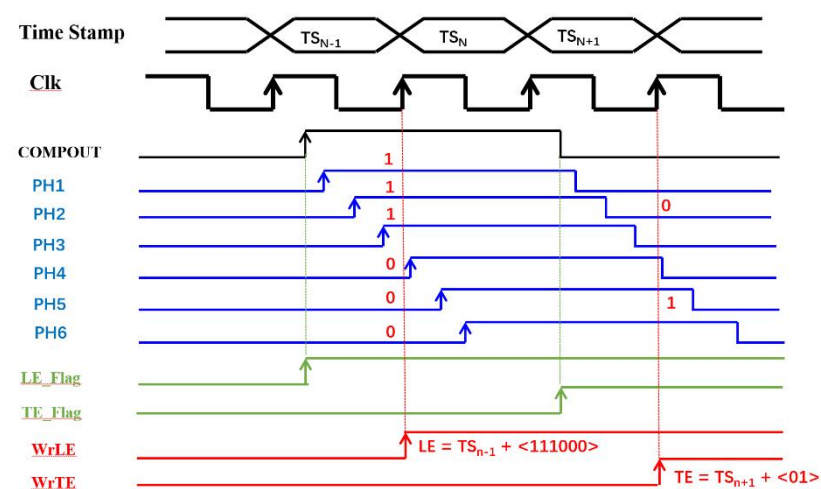


时间戳可使用内部40Mhz或由外部输入同源时钟：

160 Mhz 或 320 Mhz，分别对应25ns，6.25ns和3.125ns的时间戳宽度；

构架2：像素内集成基于延迟链结构的Coarse-fine TDC。延迟锁定由阵列底部的DLL模块提供。

像素内提供时间信息工作原理



像素阵列内使用40Mhz的粗时间戳（25ns周期），在单像素内部，采用延迟链的结构，处理比较器的输出，将一个粗时间周期分成6份，对击中事例到达（LE）前沿提供 4.16 ns的细时间戳；

# 时间分辨：从设计的角度保留了足够的裕度

项目目标：< 10 ns

$$\sigma_t^2 = \sigma_{TW}^2 + \sigma_J^2 + \sigma_{TDC}^2.$$

$(4 \text{ ns})^2$                        $< (2 \text{ ns})^2$

↓

高阻晶圆条件下，约1/10最小总信号量，预计 <<  $(2 \text{ ns})^2$

仿真时间分辨 < 5 ns

尚不包含利用TOT信息对前沿时间精度的补偿，未考虑时钟延迟 (~1ns, 可补偿)、抖动 (ps量级) 等影响，多个仿真参数基于参考经验值，最终结果以测试结果为准。

# 功耗

构架1:

- 像素部分  $10\mu\text{W}/\text{pixel}$

构架2:

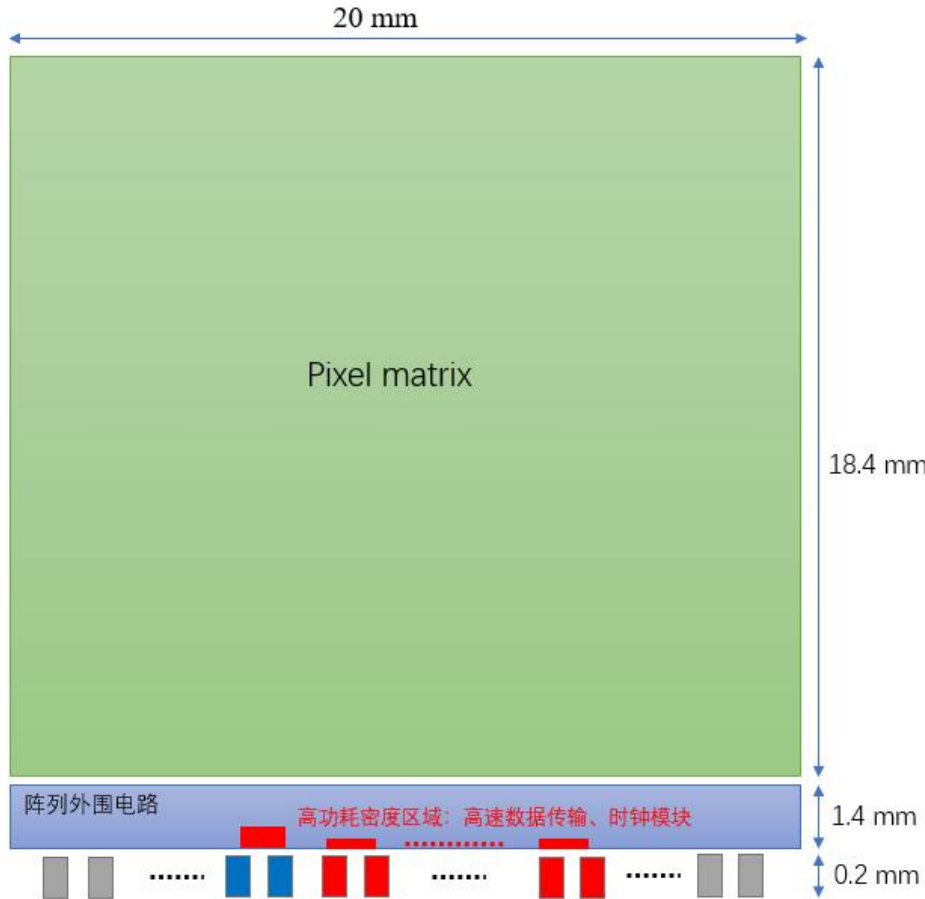
- 像素部分:
  - 模拟前端两种设计:  $11.1\mu\text{W}/\text{pixel}$ 和 $9\mu\text{W}/\text{pixel}$ ;
  - 时钟分发功耗: 约  $20\text{ mW}/\text{cm}^2$ ;
  - Fine-TDC: 只有在有击中的像素工作;
  - 击中率相关的动态功耗: 暂未量化评估;

对应完整面积芯片, 灵敏区域面积预估功耗:  $\sim 138\text{mW}/\text{cm}^2$ ;

阵列外围功能模块面积、功耗仿真值

| 阵列外围模块  | 面积                            | 频率                           | 功耗                              |
|---------|-------------------------------|------------------------------|---------------------------------|
| 数字电路    | /                             | 40 Mhz                       | $\sim 40\text{ mW}/\text{cm}^2$ |
| PLL     | $360 \times 360\mu\text{m}^2$ | 160/320/640 Mhz              | 0.98/1.76/ $2.66\text{ mW}$     |
| LVDS接收器 | $70 \times 140\mu\text{m}^2$  | 40/160/320/640 Mhz/          | $1.13/1.58/2.18/3.38\text{ mW}$ |
| LVDS发送器 | $112 \times 250\mu\text{m}^2$ | 40/160/320/ $640\text{ Mhz}$ | $4.87/5.04/5.27/5.73\text{ mW}$ |

# 功耗和面积预估



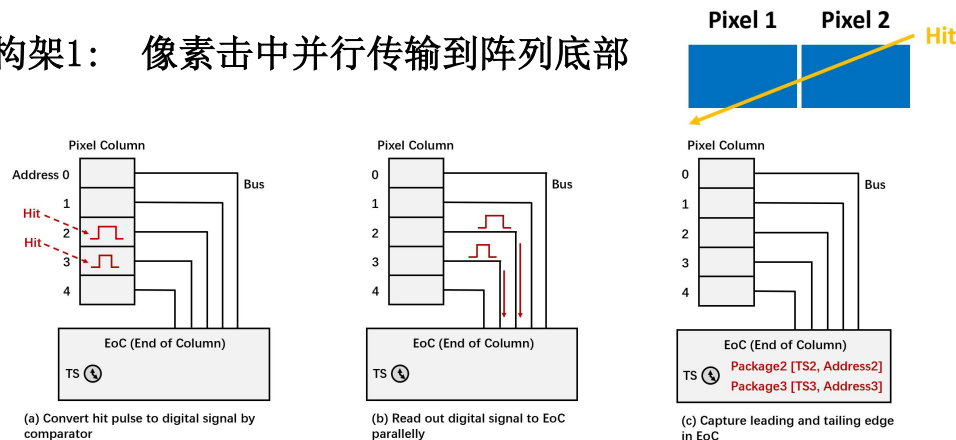
预计全尺寸、全功能COFFEE3芯片的layout

功耗、面积整体预估数据

| 项目   | 像素阵列                          | 阵列外围                                         | 总体                                                  |
|------|-------------------------------|----------------------------------------------|-----------------------------------------------------|
| 面积   | $20 \times 18.4 \text{ mm}^2$ | $20 \times 1.6 \text{ mm}^2$                 | $20 \times 20 \text{ mm}^2$                         |
| 总功耗  | $\sim 580 \text{ mW}$         | $16.7 \text{ mW} + 5.04 \times 1 \text{ mW}$ | $\sim 602 \text{ mW}$                               |
| 功耗密度 | $\sim 158 \text{ mW/cm}^2$    | $123 \text{ mW/cm}^2$ (按1个数<br>据通道估算)        | $\sim 150 \text{ mW/cm}^2$ (尚未<br>包含击中率相关的动态<br>功耗) |

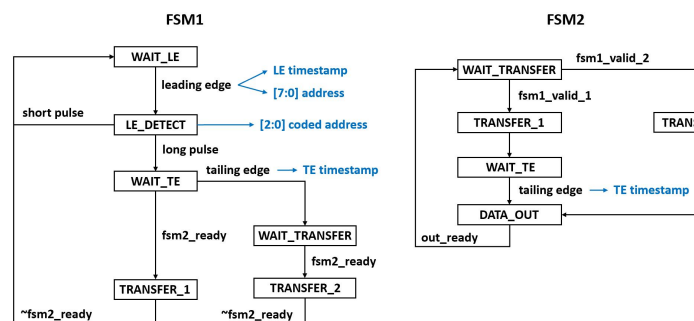
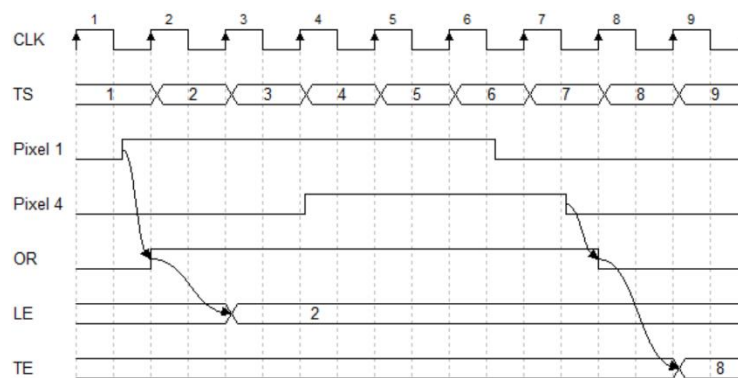
# 挖掘先进工艺节点的潜力：阵列外围更多的功能集成换取性能的提升

构架1：像素击中并行传输到阵列底部



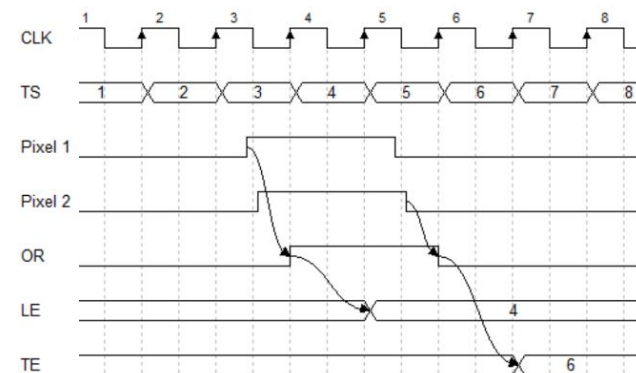
同一列像素用一个EoC，一个TS计数器

2. Hit density高的场景，分组后仍然存在同一组多个击中的情况，COFFEE3在每个EoC中，增加了一组FSM状态机，应对同一组中同时有2个hit的场景

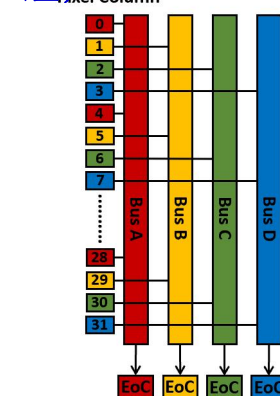


显著提升了该结构可应对的击中率上限，满足CEPC需求，但面对LHC升级等应用场景，仍然会有效率的损失

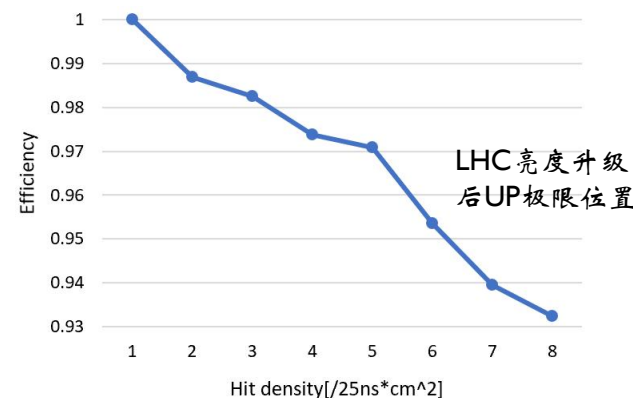
1. 同一列相邻像素同时有击中，时间信息会不准确



COFFEE3对同一列中像素，增加了EoC分组。

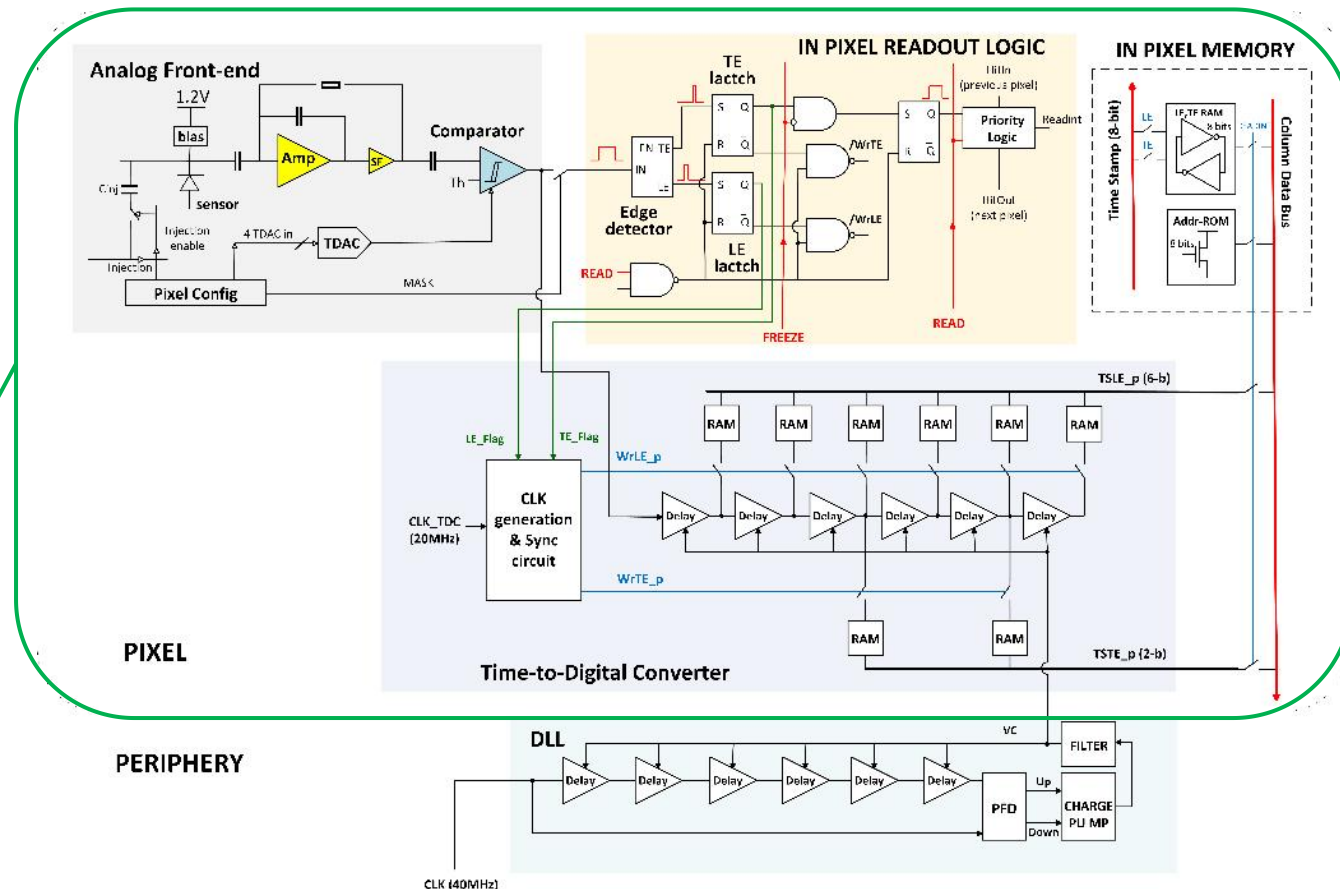
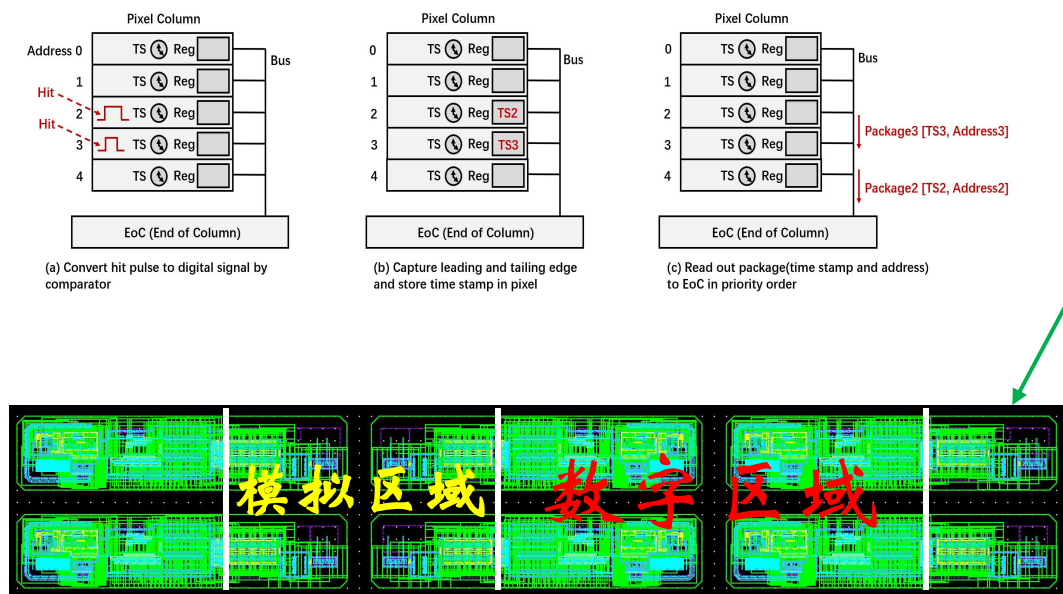


CEPC ITK位置



# 挖掘先进工艺节点的潜力：像素内更多功能集成

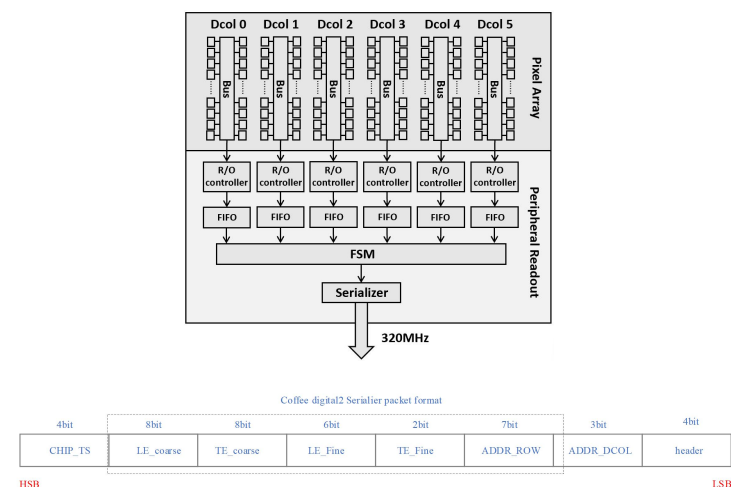
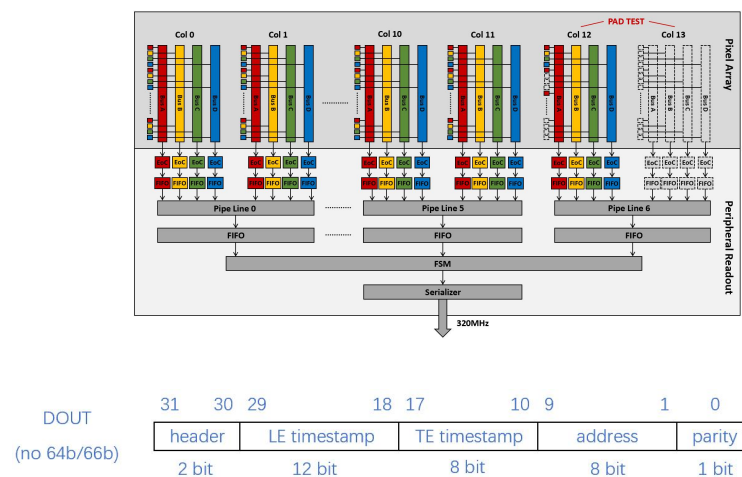
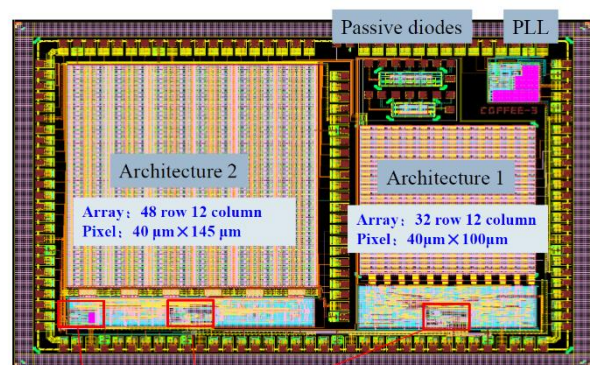
## 构架2: 在每个像素内记录时间信息



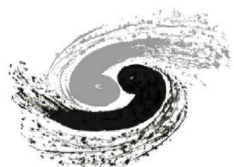
模拟前端、比较器、像素内DAC、优先级读出结构、存储器、TDC等均可集成在有限的像素面积内，进一步提升了HV-MAPS在高hit density应用场景中提供高精度击中信息的能力。

# 总结和展望

- 完成了55nm HV-CMOS商用工艺上的第二次设计流片COFFEE3;
- 鉴于工艺的不确定性, 完成了两种不同的读出构架方案;
- 每种方案都包含了独立且相对完整的功能、关键节点单独引出 (160个IO端口), 各模块可单独测试 (包括数字电路), 设计值满足项目关键指标的要求;
- COFFEE3的测试结果将验证设计思路和电路性能;
- 同步的工艺优化方面取得的进展将于COFFEE3测试结果一起, 指导下一版COFFEE4设计的优化



# 致谢

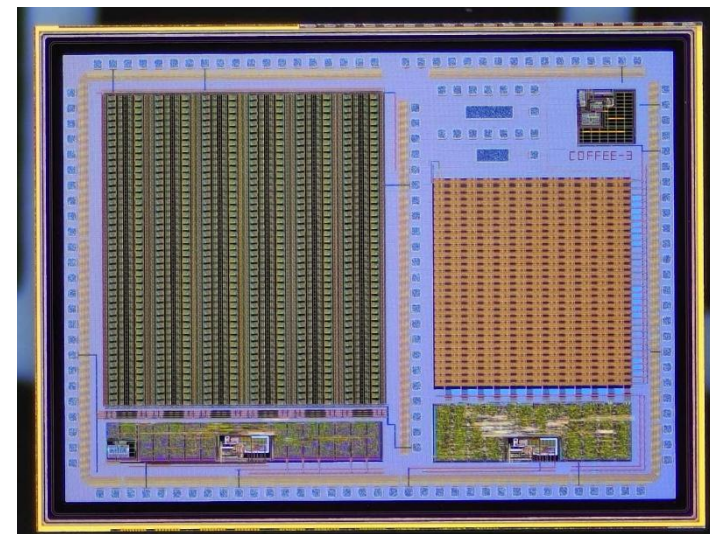


## COFFEE3设计人员:

- 高能所: 李乐怡 (山东大学/高能所)、张晓旭 (南京大学/高能所)、赵梅、陆卫国、周扬;
- 浙江大学: 邓建鹏、李鹏戌;
- 西北工业大学: 吴慧敏、赵泽煊、赵宇、魏政、魏晓敏;
- 大连民族大学: 陈洋、王雨颀、施展;

## COFFEE2的验证对下一步设计的重要输入:

- 高能所: 项志宇、曾程、陆卫国、徐子俊、李一鸣
- 浙江大学: 邓建鹏、李鹏戌、朱宏博

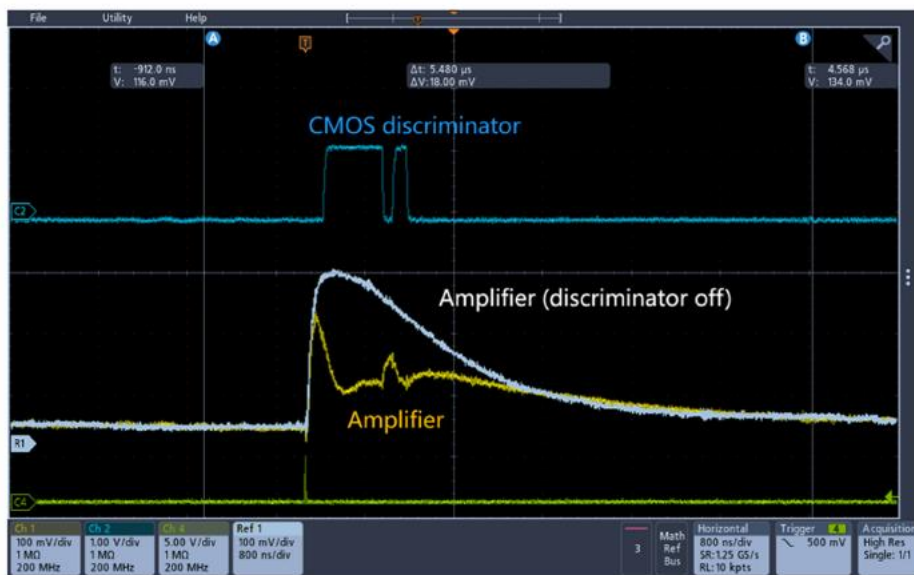


COFFEE3芯片在显微镜下的照片, 2025. 5. 27

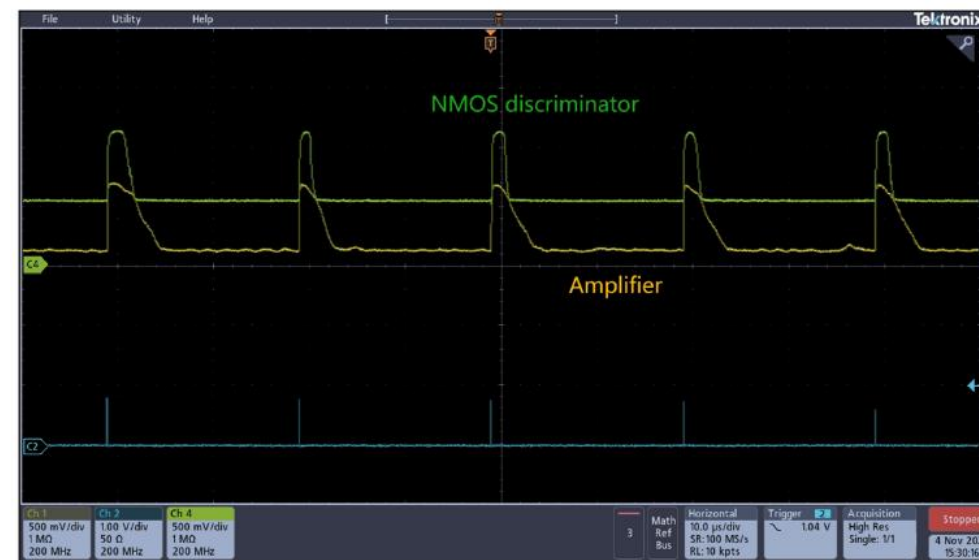
# backups

# COFFEE2测试结构

像素内集成CMOS比较器



像素内集成NMOS比较器



# COFFEE3 读出构架2：像素阵列部分

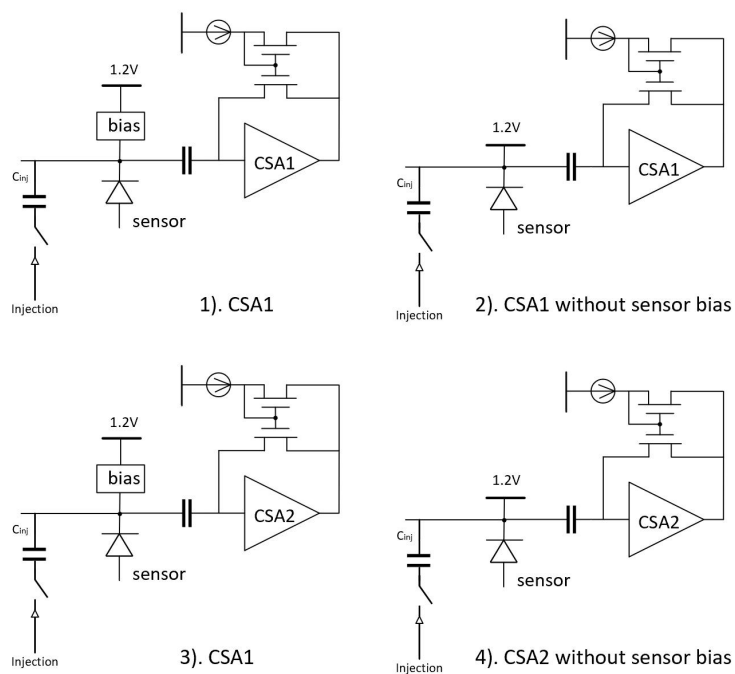
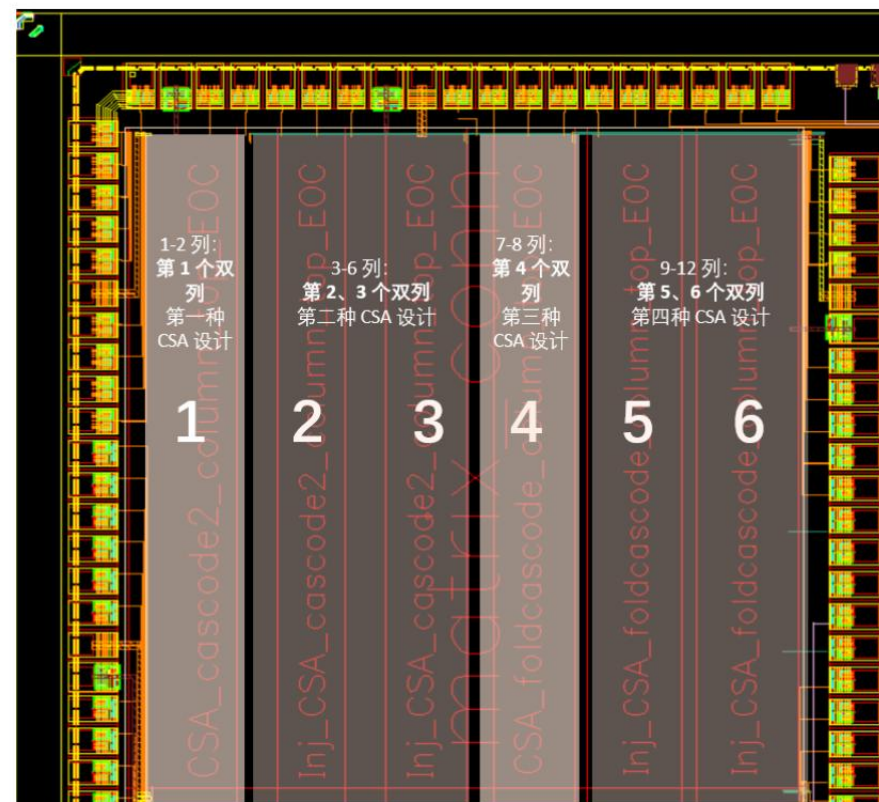
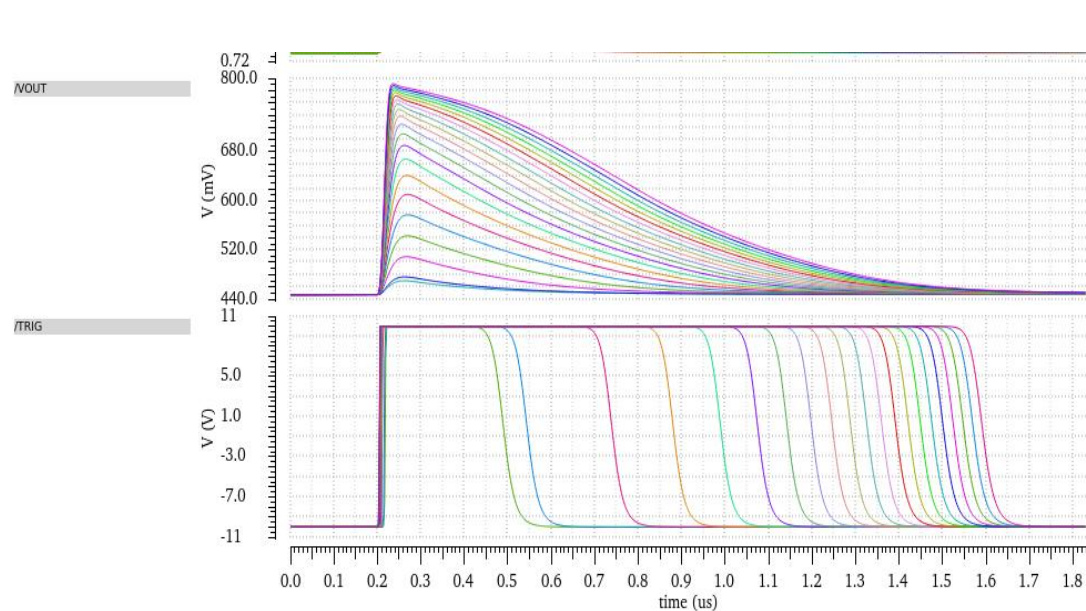


图 4种放大器结构原理图：1)、3) 中sensor可正常工作；2)、4) 中sensor直接偏置到1.2V固定电位；反馈电容结构利用“寄生”，图中未画出

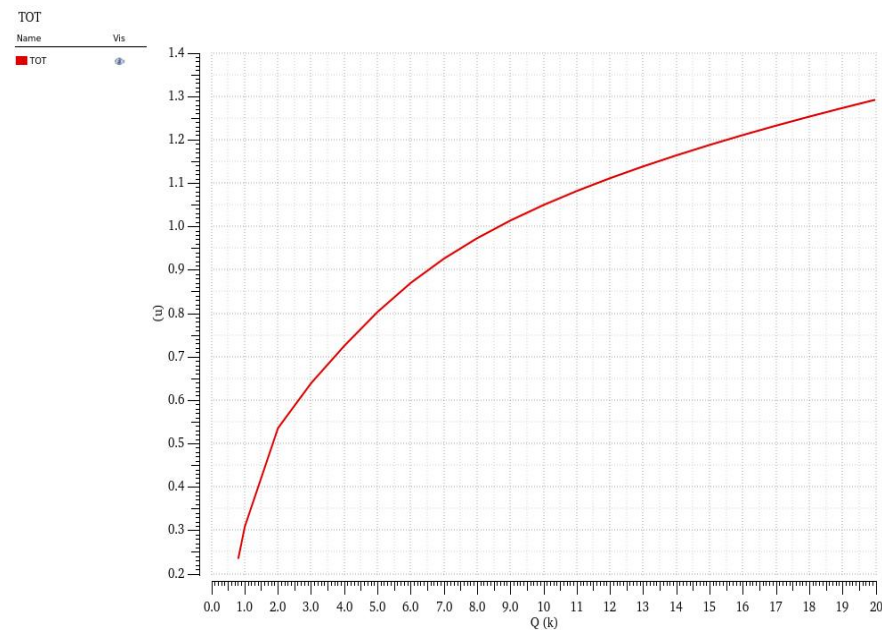


# TOT时间:

## 2. TOT仿真 (Qin800-20ke<sup>-</sup>)



TOT < 1.6  $\mu$ s (7bit@ 40Mhz)



# 优先级读出结构: column-drain

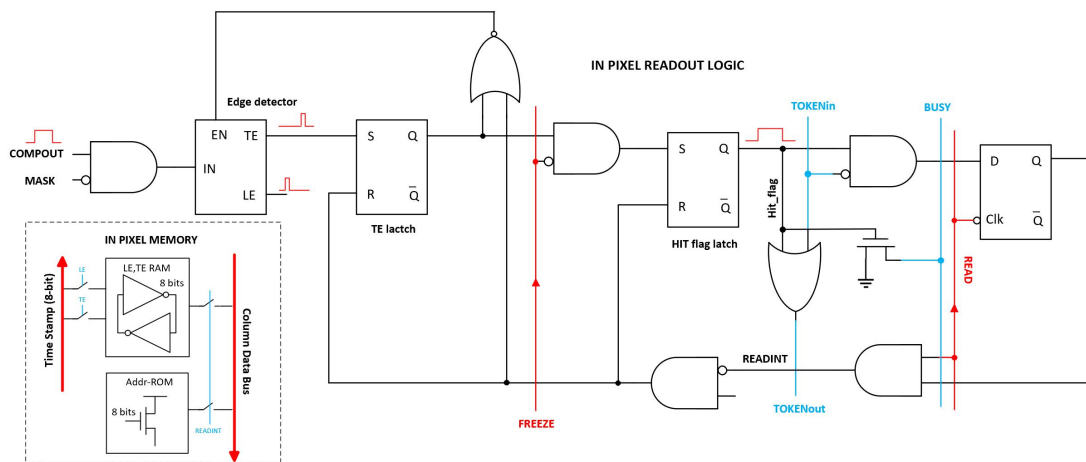


图 像素内 column-drain 优先级读出模块及像素内存储模块原理图

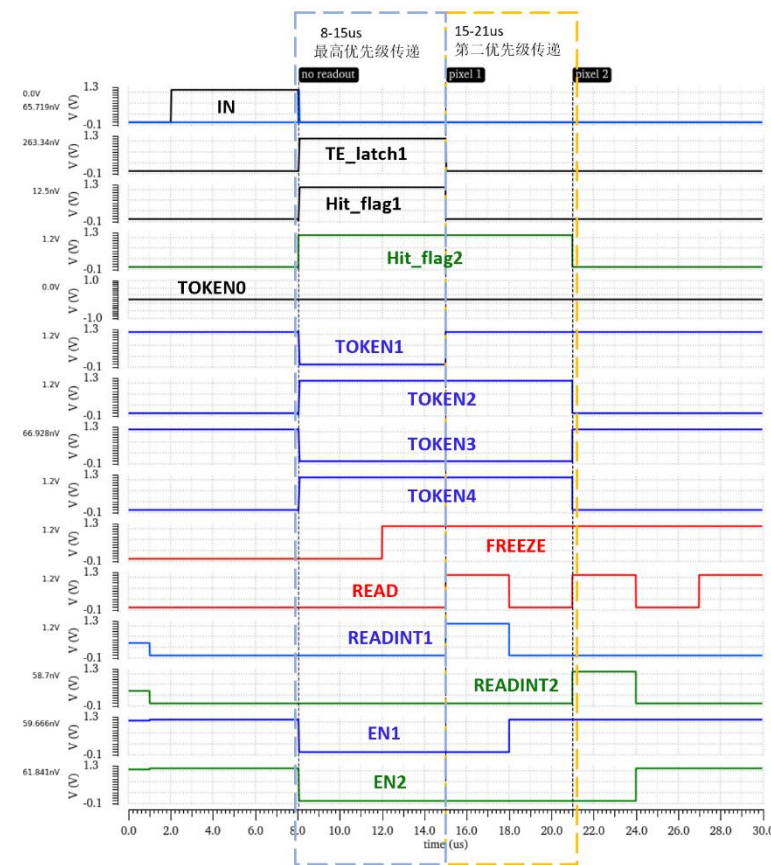


图2.3.3 2\*2像素阵列的 TOKEN 传递与优先级读出的仿真结果（信号的传递逻辑可供参考，信号的持续时间、频率为仿真值）

Outlook for submission

