



太初芯片研究进展

张颖

中国科学院高能物理研究所

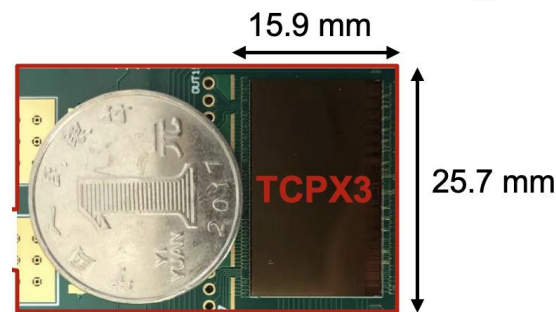
国家重点研发计划“高能量加速器关键技术研究”项目

2025年度会议，2025年5月28日

TaichuPix-3性能与下一步研究方案

■ TaichuPix-3已有测试结果与项目指标对比

	MOST3 项目指标	TaichuPix-3 telescope
位置分辨率	3 μm	$\sim 4.5 \mu\text{m}$
时间精度	100 ns	< 50 ns
平均功耗	100 mW/cm ²	60 mW/cm ² @ 17.5 MHz



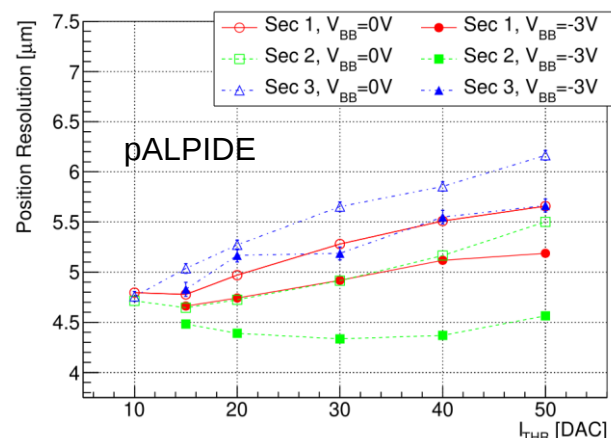
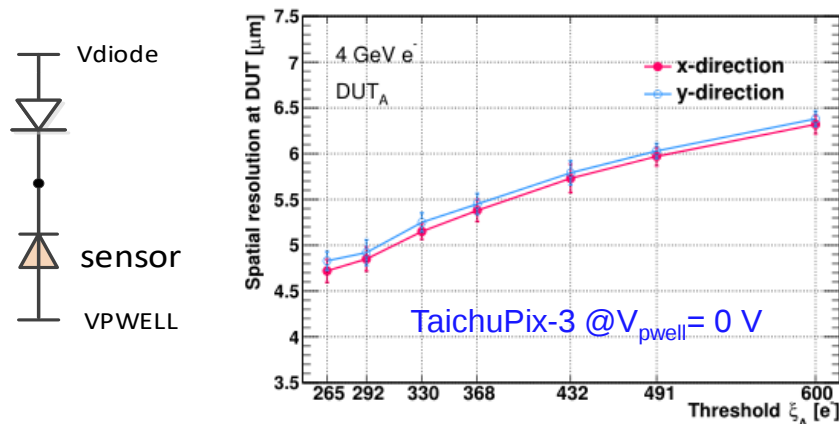
TaichuPix-3 chip vs. coin

25 $\mu\text{m} \times 25 \mu\text{m}$ 像素
180 nm CIS process

■ 如何进一步提高TaichuPix-3芯片位置分辨率？

➢ 增大sensor反偏电压以提高分辨率

- VPWELL加负电压，可增加sensor反偏电压，减小 Cd，降低阈值；同时增大耗尽区，提高信号幅度



➢ 减小像素尺寸以提高分辨率

- 现有工艺无法实现x、y方向同时减小尺寸，单方向实现3微米空间分辨率对物理目标有何影响？
- 多大的像素尺寸可以实现3 微米分辨率？

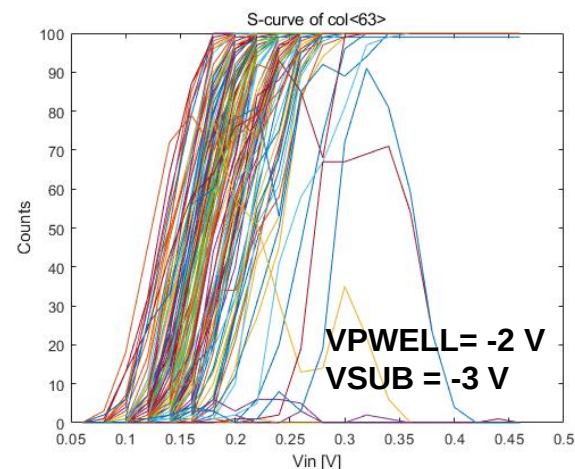
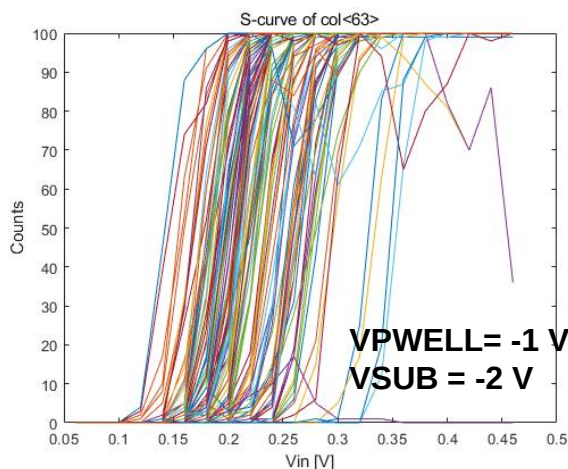
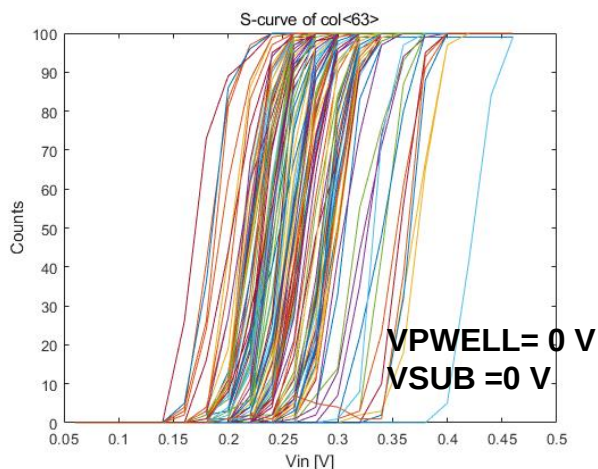
TaichuPix-3 测试结果

■ Sensor衬底负偏压对芯片性能的影响

- 束流测试中电荷收集二极管的阳极VPWELL接0 V
- VPWELL加负电压，可减小 Cd，降低阈值；同时增大耗尽区，提高信号幅度
- ➔ 有助于提高信噪比，提高空间分辨率和探测效率

■ 进行TaichuPix-3衬底加负偏差初步测试

- 阈值随负偏压增加而降低，符合预期
- 噪声随负偏压增加而增加，需进一步研究
- 需要束流测试验证衬底负偏压对分辨率的影响



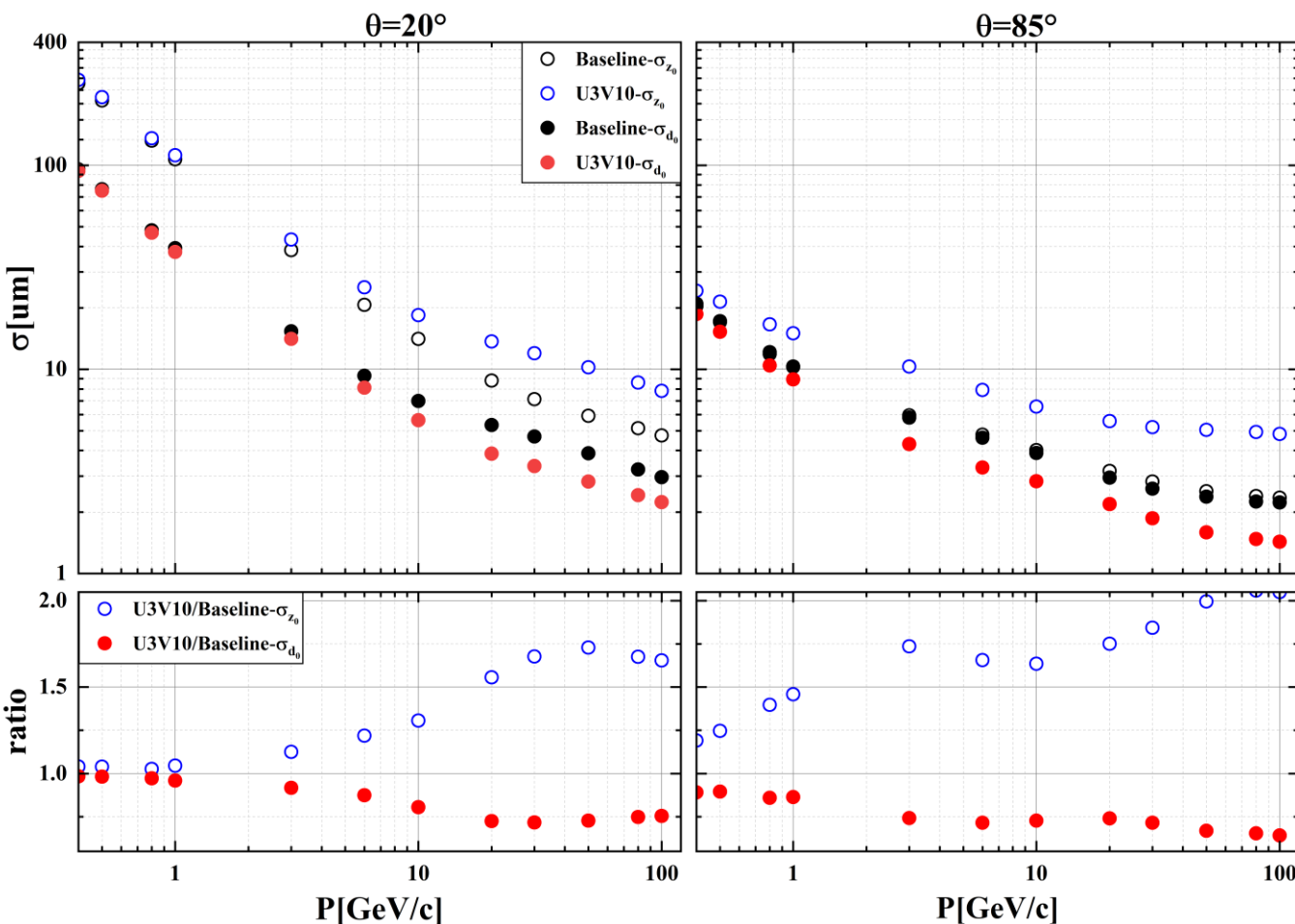
阈值降低

减小像素尺寸的影响

From Tianyuan Zhang

■ TaichuPix-3像素尺寸 $25\mu\text{m} \times 25\mu\text{m}$, 可以实现 $5\mu\text{m}$

➤ Baseline U5V5: U代表 $r\phi$ 向, V代表z向, 如果改为U3V10, 会有什么影响?



U3 μm V10 μm

- $\theta = 20^\circ$
 $\sigma_{d_0} \sim 2\mu\text{m}$;
 $p = 100\text{GeV}$, σ_{d_0} 提高接近25%
- $\theta = 85^\circ$
 $\sigma_{d_0} \sim 1.4\mu\text{m}$;
 $p = 100\text{GeV}$, σ_{d_0} 提高接近40%

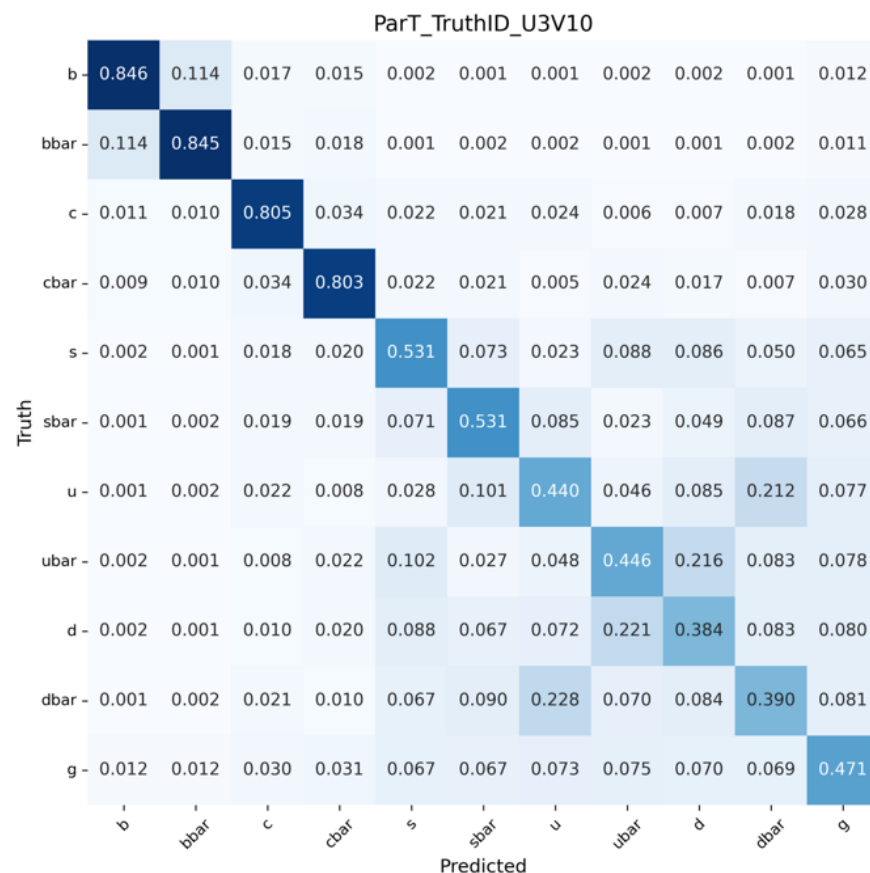
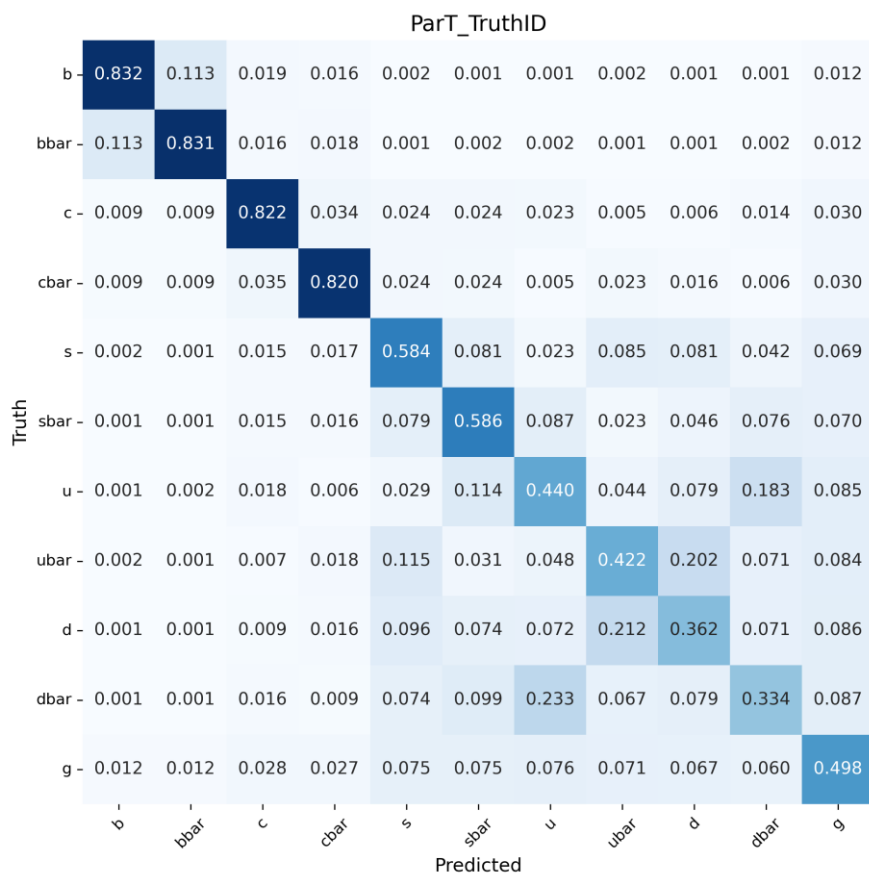
U3 μm V10 μm

- $\theta = 20^\circ$
 $\sigma_{z_0} \sim 8\mu\text{m}$;
 $p = 100\text{GeV}$, σ_{z_0} 降低接近75%
- $\theta = 85^\circ$
 $\sigma_{z_0} \sim 5\mu\text{m}$;
 $p = 100\text{GeV}$, σ_{z_0} 降低接近100%

减小像素尺寸的影响

From Kaili Zhang

- Vertex resolution defined in trk.py: U5V5 Change to U-3 μ m, V-10 μ m.
- B tagging gets better. While others like c,s quark get worse result
- Metric: 0.5936 (U5V5) -> 0.5901 (U3V10)

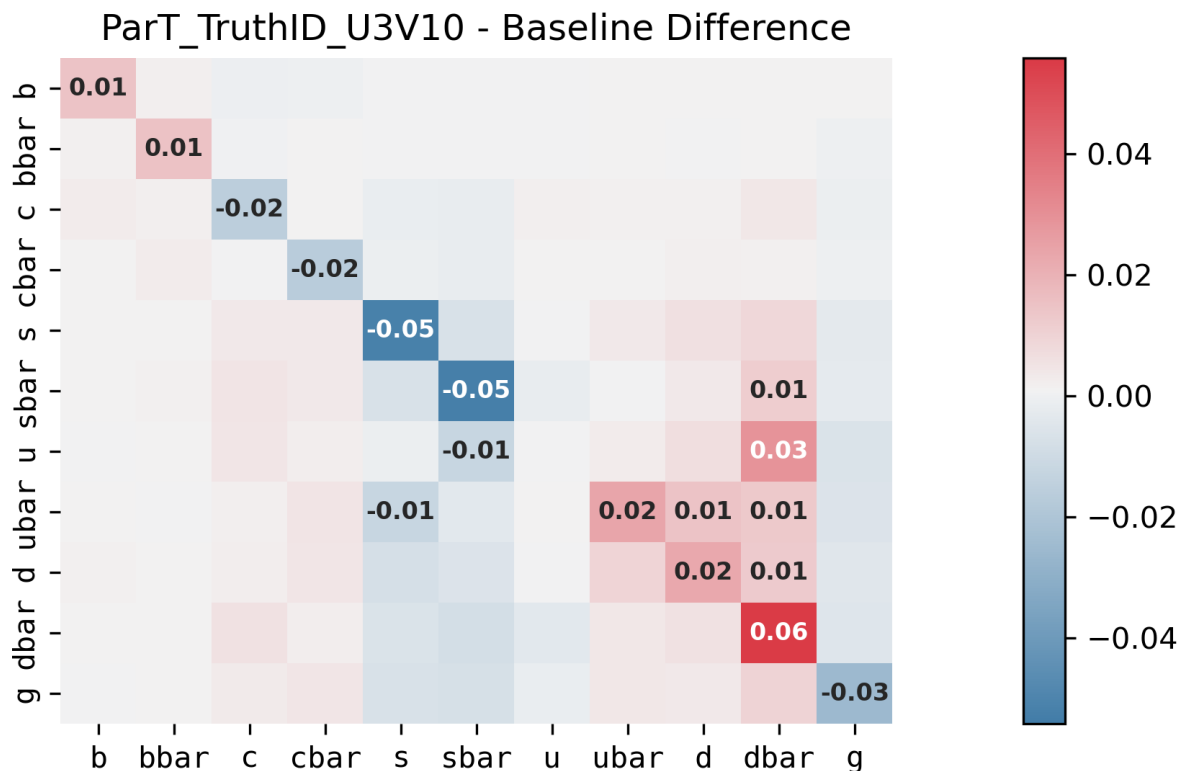


M_{11} for U5V5 (left) and U3V10 (right) structures

减小像素尺寸的影响

From Kaili Zhang

- B,u,d quark get better; C,s, g get worse.

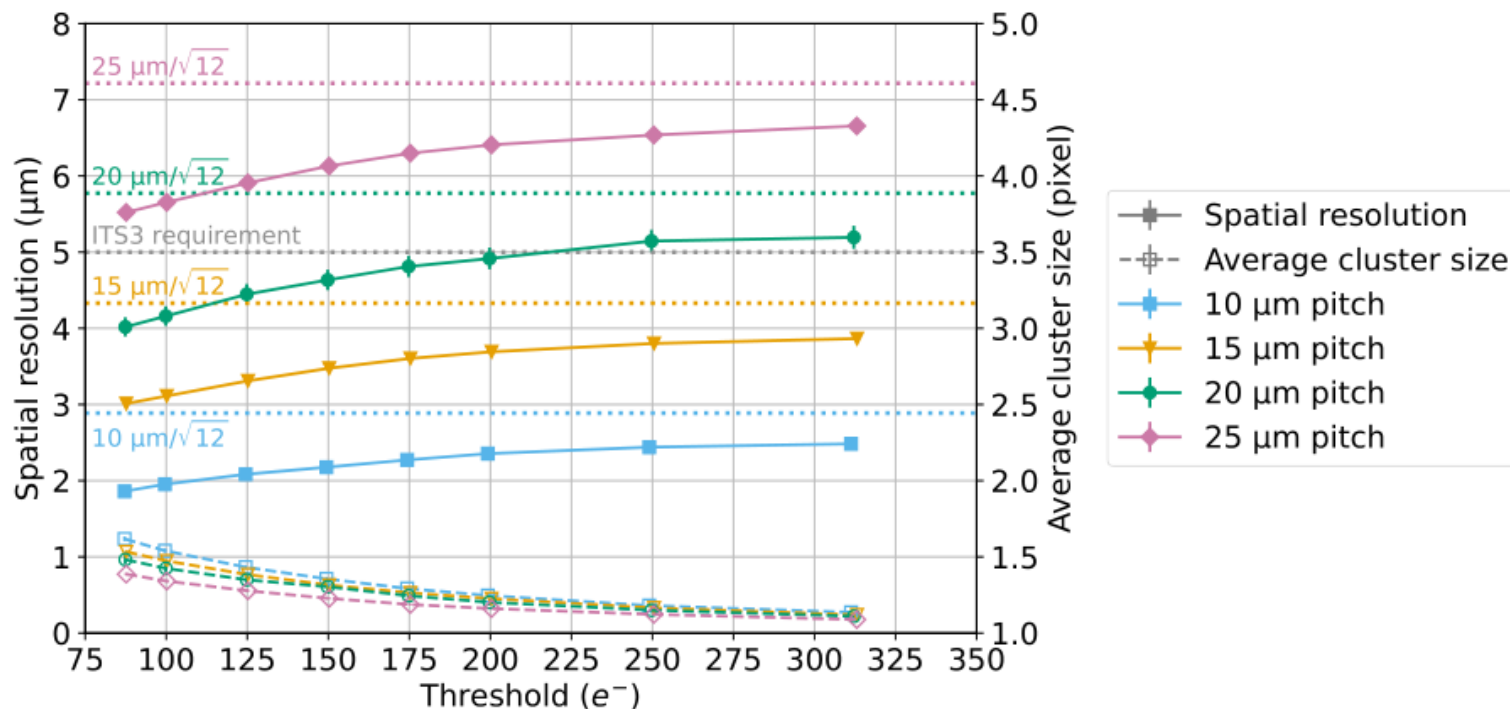


- 像素尺寸 $25\ \mu\text{m} \times 25\ \mu\text{m}$ 可实现U5V5，像素尺寸 $16\ \mu\text{m} \times 39\ \mu\text{m}$ 预计实现U3V10。两组尺寸像素面积不变，可以基于TaichuPix芯片进行像素修改。如果使用更小节点工艺，像素面积可减小。
- 讨论：U3V10 对于MOST3项目是否有价值？如何实现3微米分辨率？

像素尺寸的选择

- 实现3 μm 空间分辨率，需要多大的像素尺寸？
 - ALICE APTS芯片测试结果：15 $\mu\text{m} \times 15 \mu\text{m}$ 像素，可以达到~3 μm 空间分辨率
 - APTS采用10 μm 外延层（65 nm工艺），180 nm工艺外延层18-25 μm
 - ➔ 推测采用180 nm Standard工艺+ 15 μm 像素尺寸可以实现 3 μm 分辨率

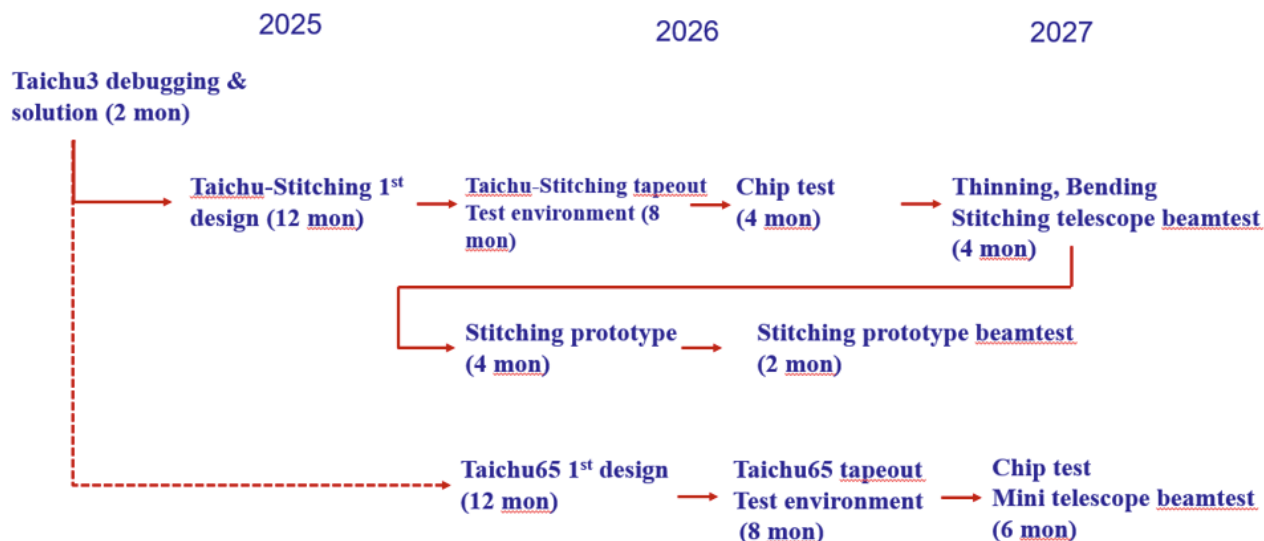
ALICE APTS 芯片位置分辨率 & cluster size vs. 像素pitch



Taichu-stitching 芯片研究进展

From Wei Wei

■ 研究计划



■ 现阶段目标:

- 验证Stitching设计，验证CEPC Vertex采用Stitching的技术可行性
 - Stitching 芯片必须工程批——重点要确保主要功能、性能成功率
- Stitching类型：1D stitching，沿x方向拼接成长度 > 10 cm 长条形芯片
 - RSU: Repeated Sensor Unit; LEB: Left-End Block; REB: Right-End Block

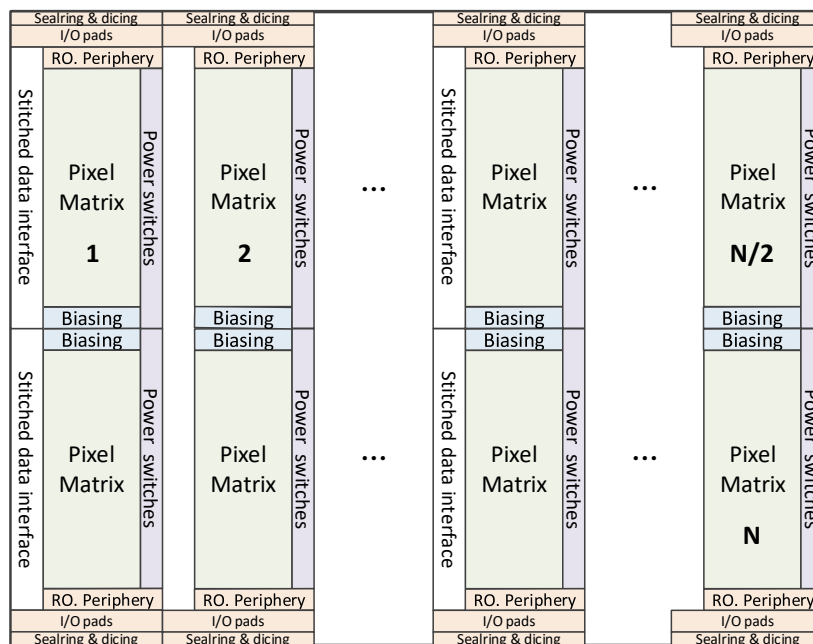


Taichu-stitching 芯片研究进展

■ 已完成工作

- 芯片整体设计考虑：主要功能模块划分、设计任务分解、供电方案等
 - RSU：主要设计基于TaichuPix3，根据阵列规模对部分电路进行修改，长距离数据传输电路需新设计
 - LEC：需要新设计，但大部分电路可以从CEPC FEDI芯片进行设计移植
- 完成RSU主要电路行为级模型仿真
- 初步完成芯片布局及尺寸方案
 - 确定RSU、LEB、REB掩模尺寸，确定RSU内部像素阵列的排布方式
 - 确定RSU与LEB数据传输端口数量及数据率

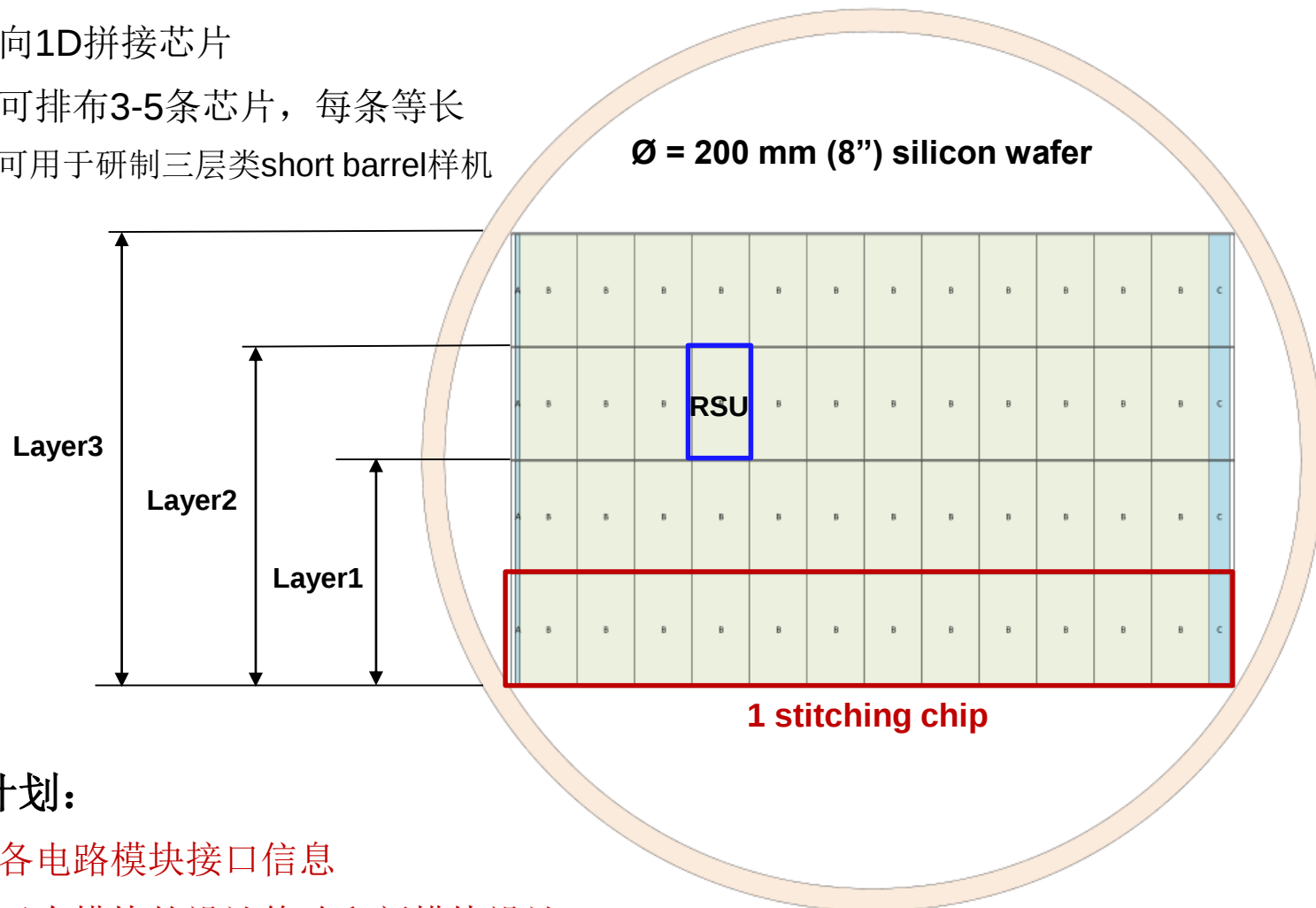
RSU (Repeated Sensor Unit)



Taichu-stitching 芯片研究进展

■ Stitching的晶圆排布初步方案

- 沿横向1D拼接芯片
- 纵向可排布3-5条芯片，每条等长
 - 可用于研制三层类short barrel样机



■ 下一步计划:

- 细化各电路模块接口信息
- 开展已有模块的设计修改和新模块设计

总结与讨论

- 太初芯片的时间性能与功耗均达到**MOST3**项目要求，空间分辨率需要提高
 - 探索芯片衬底增加负偏压以提高空间分辨率（无法达到3 微米分辨率）
 - 考虑将 $25\ \mu\text{m} \times 25\ \mu\text{m}$ 像素改为长条型像素，预计 $15\ \mu\text{m}$ 像素可实现3 微米分辨率
- **CEPC ref-TDR**中的顶点探测器预研已开展基于**180 nm**的拼接芯片研发
 - 是否可以结合MOST3的课题目标与CEPC ref-TDR的研发？
 - 是否可以用华力 55 nm工艺研发顶点探测器芯片？

致谢

■ TaichuPix 研发团队

- IHEP: Wei Wei, Ying Zhang, Jun Hu, Mingyi Dong, Xiaoting Li, Hongyu Zhang, Zhijun Liang, Weiguo Lu, Tianyuan Zhang, Shuqi Li, Jia Zhou, Ziyue Yan, Joao Guimaraes da Costa, et al.
- CCNU/IFAE: Tianya Wu, Raimon Casanova, Sebastian Grinstein
- NWPU: Xiaomin Wei, Jia Wang et al.
- SDU: Liang Zhang, Jianing Dong, Long Li
- NJU: Xiaoxu Zhang, Yiming HU, Lei Zhang, Ming Qi