



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

国家重点研发计划 “高能量加速器关键技术研究” 项目2025年度会议

JadePix CMOS像素芯片研发进展

JadePix研发团队代表——卢云鹏

2025/5/28



报告内容

- 研究目标
- JadePix-5的设计
- JadePix-3的负偏压测试
- 总结与展望

研究目标

■ CEPC顶点探测器的性能要求

● 顶点分辨性能 Impact Parameter Resolution

$$\sigma_{d0} = \sigma_{Geom} \oplus \sigma_{MS} = 5 \mu m \oplus \frac{10}{p(\text{GeV}) \sin^{3/2} \theta} \mu m$$

直接影响
第一项
间接影响
第二项

● 核心问题: 如何在 50 mW/cm^2 的功耗预算下, 设计出最佳的空间分辨率和时间标记?

↑
air cooling的上限

Physics driven requirements	Running constraints	Sensor specifications
$\sigma_{s.p.}$ 3-5 μm	----->	Small pixel 17-25 μm
Material budget 0.15% X_0 / layer	----->	Thinning 50 μm
	-----> Air cooling	-----> Low power 40 mW / cm^2
r of Inner most layer 11 mm	-----> beam-related background	-----> Time Stamp 1 μs
	-----> radiation damage	-----> Radiation tolerance
Occupancy		3.4 Mrad / year 6.2 $\times 10^{12} n_{eq} / (cm^2 \text{ year})$

课题2的相关指标

■ 顶点探测器样机

- 位置分辨 3 μm
- 定时精度 100 ns
- 平均功耗 100 mW/cm^2

■ 指标的完成难度很大

- 首次明确提出了**位置分辨达到3 μm** (绝对要求高)
- 定时精度比MOST1提高了3个数量级 (纵向对比)
- 位置分辨和时间精度比ALPIDE显著提高 (横向对比)

基本策略：用两种芯片来组装样机，double-sided结构
-JadePix主要侧重**位置分辨**和**平均功耗**
-TaichuPix主要侧重**时间精度**和**平均功耗**

国际上主要像素芯片的相关指标

芯片名称	工艺尺寸	位置分辨	时间精度	平均功耗
MIMOSA	350 nm	4 μm	$\sim 100 \mu\text{s}$	200 mW/cm^2
ALPIDE	180 nm	5 μm	$\sim 3 \mu\text{s}$	$< 50 \text{mW}/\text{cm}^2$
MOSS/MOST	65 nm	5 μm	$\sim \mu\text{s}$	$< 40 \text{mW}/\text{cm}^2$

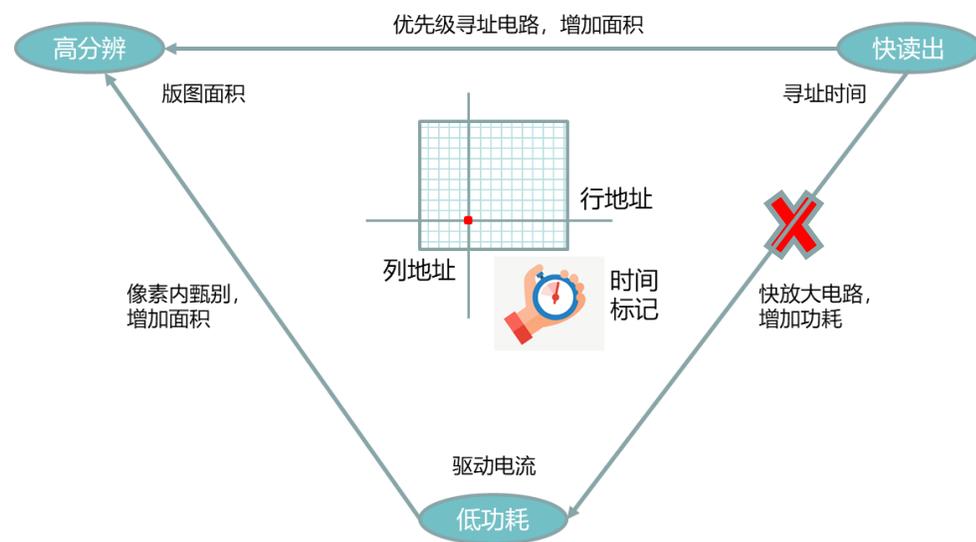
工艺尺寸缩小了5倍，但位置分辨基本保持不变

报告内容

- 研究目标
- **JadePix-5的设计**
- JadePix-3的负偏压测试
- 总结与展望

JadePix-5的整体方案

- JadePix-5中实现大规模阵列
 - 896行 x 480列, MASK面积2cmx1.5cm
- 像素阵列采用**异步地址编码 (AERD)**
 - 优先处理Hit像素
 - 定时精度大幅提高
- 时间标记精度 = $\max [\text{Time walk}, \text{像素读出时间}]$
 - Time walk = 1 us, 像素读出时间 = 100 ns
- AERD在顶点探测器像素芯片中得到广泛应用
 - 从180nm工艺开始发展起来, 并在65nm工艺上继续沿用



	芯片名称	工艺尺寸	位置分辨	时间精度	平均功耗
	MIMOSA	350 nm	4 um	~ 100 us	200 mW/cm ²
AERD →	ALPIDE	180 nm	5 um	~ 3 us	< 50 mW/cm ²
AERD →	MOSS/MOST	65 nm	5 um	~ us	< 40 mW/cm ²

JadePix-5的设计

■ 像素尺寸: 20um x 30um

- 长条形有利于提高 $r\phi$ 方向分辨
- 但也要考虑z方向的电荷收集效率

■ 设计分工

- 王安琪 (国科大) : 像素
- 周扬: AERD和像素阵列
- 王云翔 (国科大) : 数字前端设计
- 张宇恒 (华师) : 数字后端实现
- 复用了JadePix-3的DAC和SPI模块 (华师设计)
- 熊浩: 整体仿真验证
- 卢云鹏: 整体电路和集成

JadePix-3的探测效率研究
(16um x 26um像素)

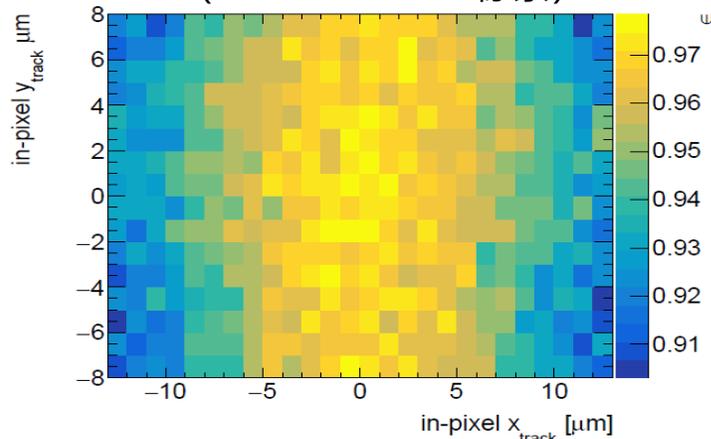
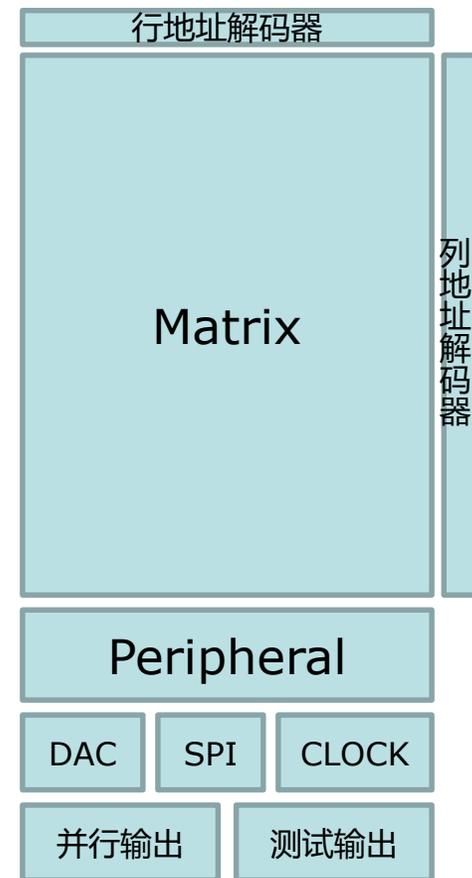


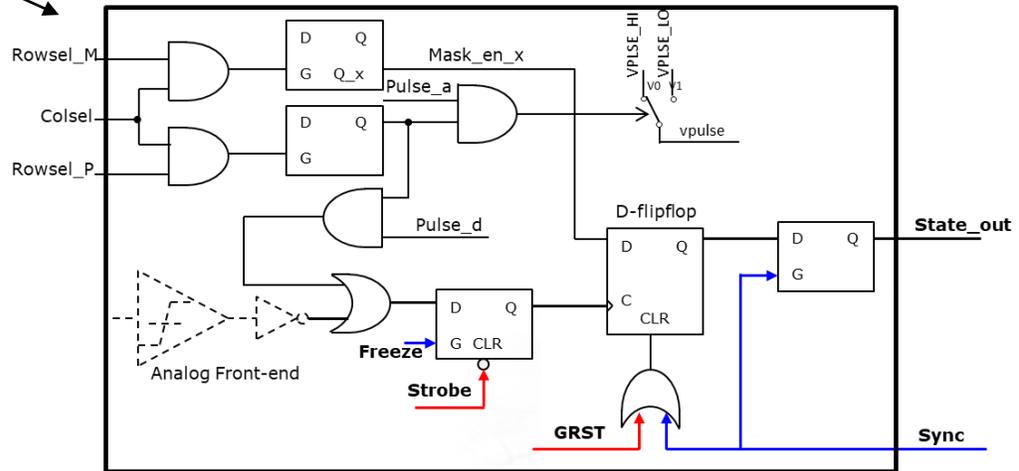
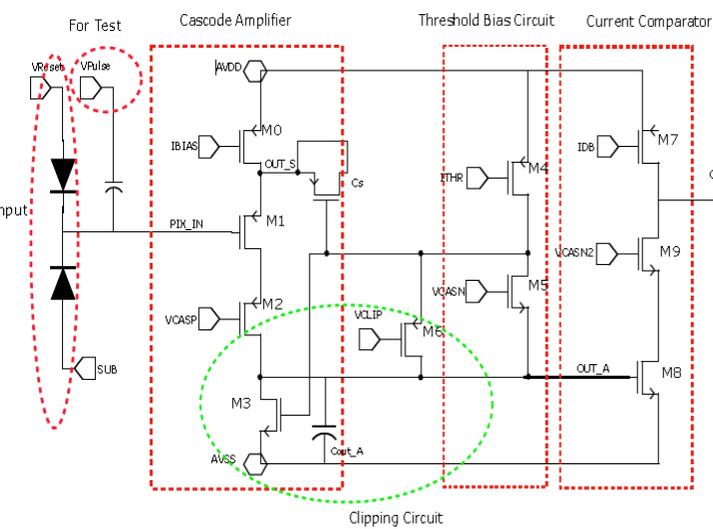
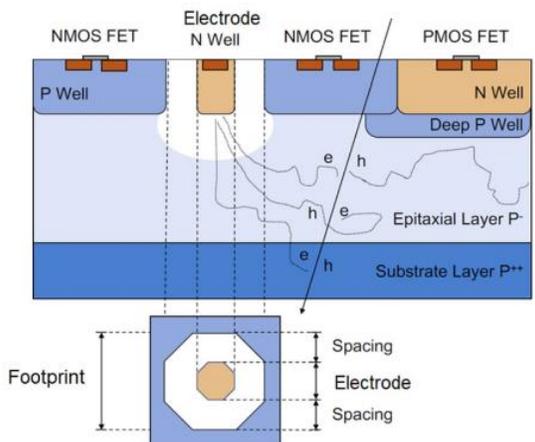
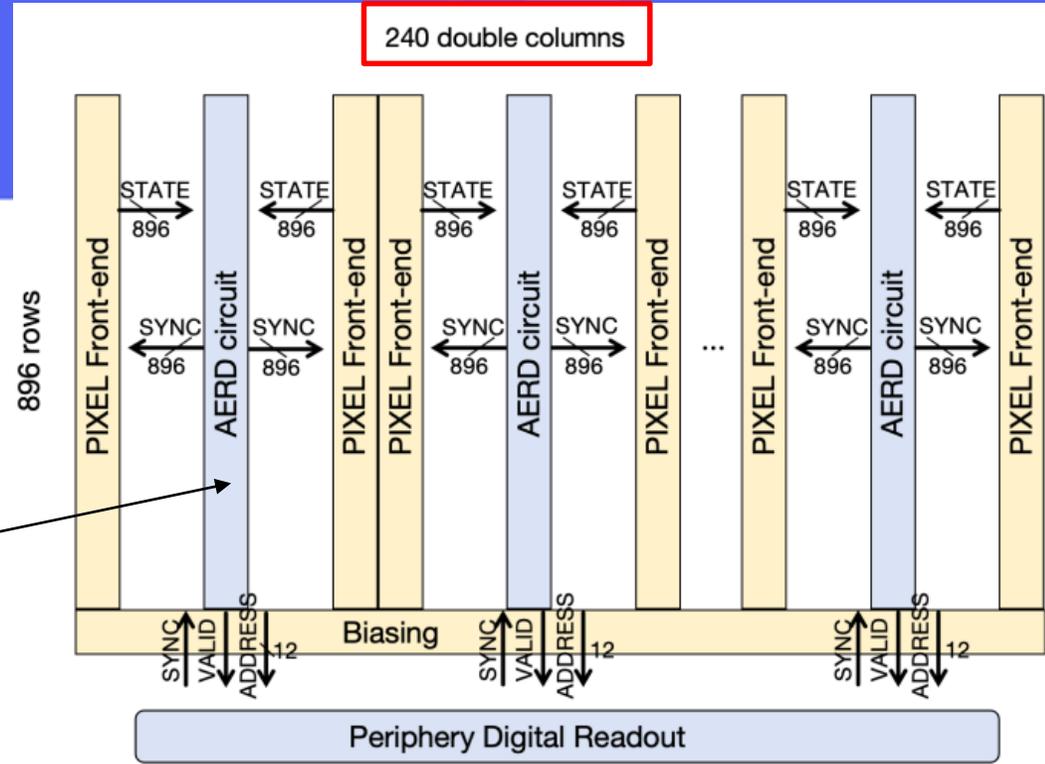
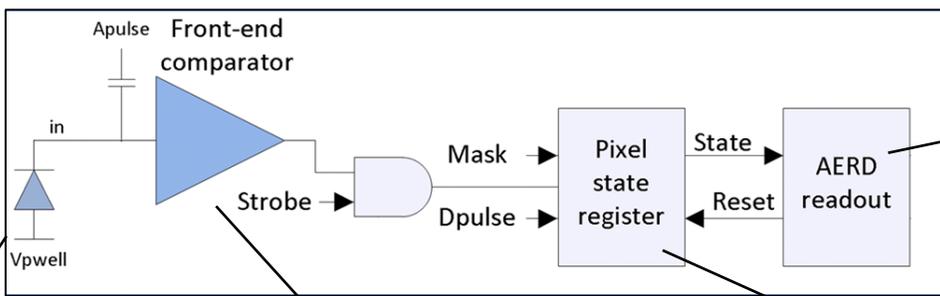
Figure 13: Efficiency plotted as an in-pixel map. Experiment parameters: beam energy = 5.8 GeV, threshold = 200 e⁻. DUT residual cut = 10 * pitch / $\sqrt{12}$.



JadePix-5的像素阵列设计

像素阵列的组成

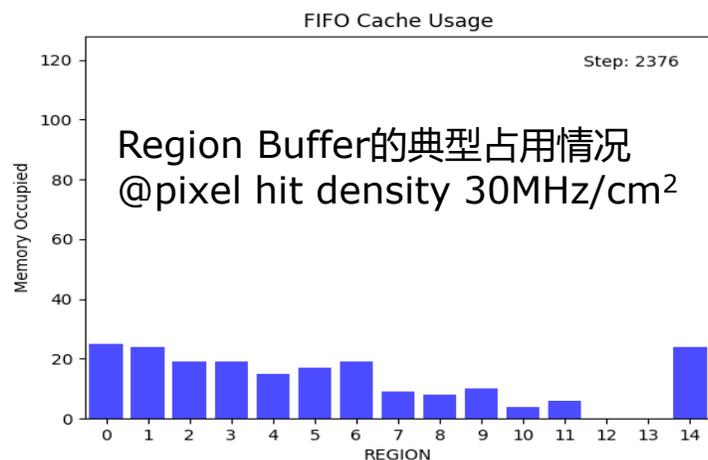
- Sensing Diode
- 模拟前端
- 像素逻辑
- AERD逻辑



JadePix-5的外围数据读出

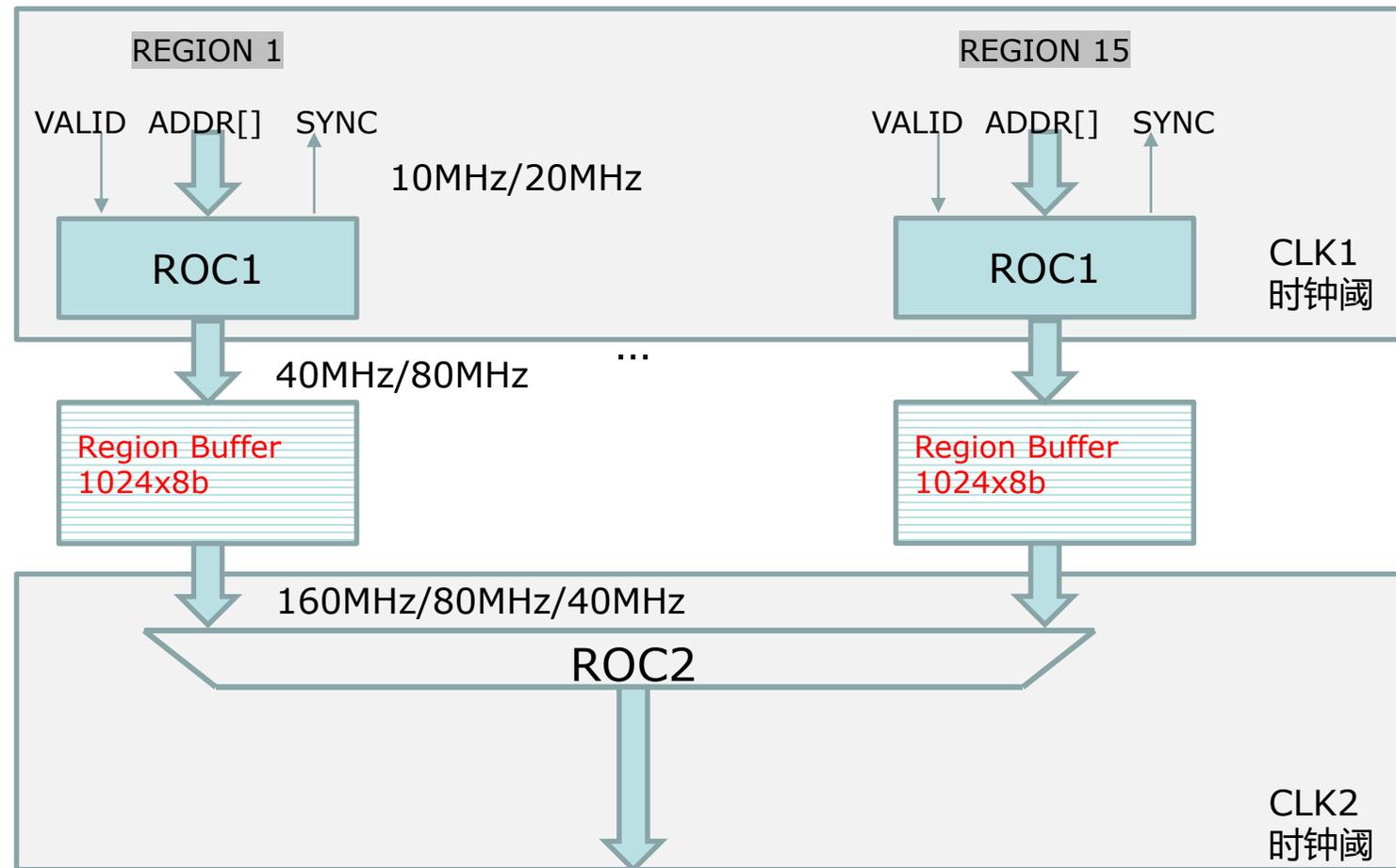
■ 像素阵列 (240双列) 分成15个region

- 16双列作为1个Regional Readout Unit
- **Regional Buffer: 1024x8bit**
- 数据字: 12bit行地址+4bit列地址
+ 15bit时间标记+1bit预留



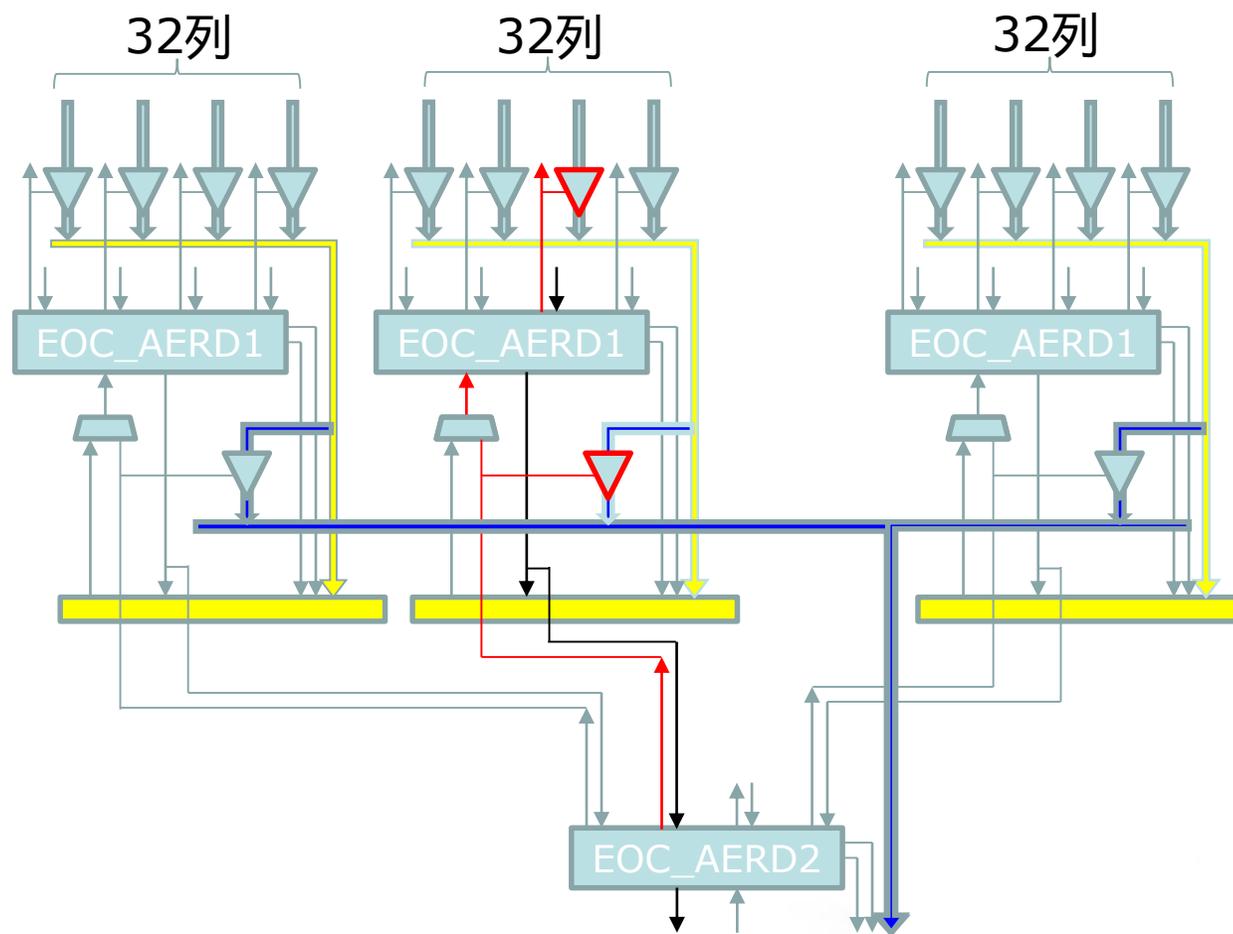
■ 控制逻辑

- ROC1, matrix region readout
- ROC2, fetches data from Regional Buffers 1-15, and transmits off chip



JadePix-5的测试读出端口

- 两套数据读出路径
 - Region buffer, 正常数据读出
 - Test port, 满足像素阵列的测试需求
- SW_READOUT控制读出路径的切换
 - Region输出数据流和Valid
 - Region输入的SYNC和FREEZE等
- 测试读出增加AERD2
 - 对15个region的AERD1进一步地址编码
 - 串行读出, 速度慢, **用于调试和研究像素阵列**
 - 该测试方法已在CPV-4设计中得到验证

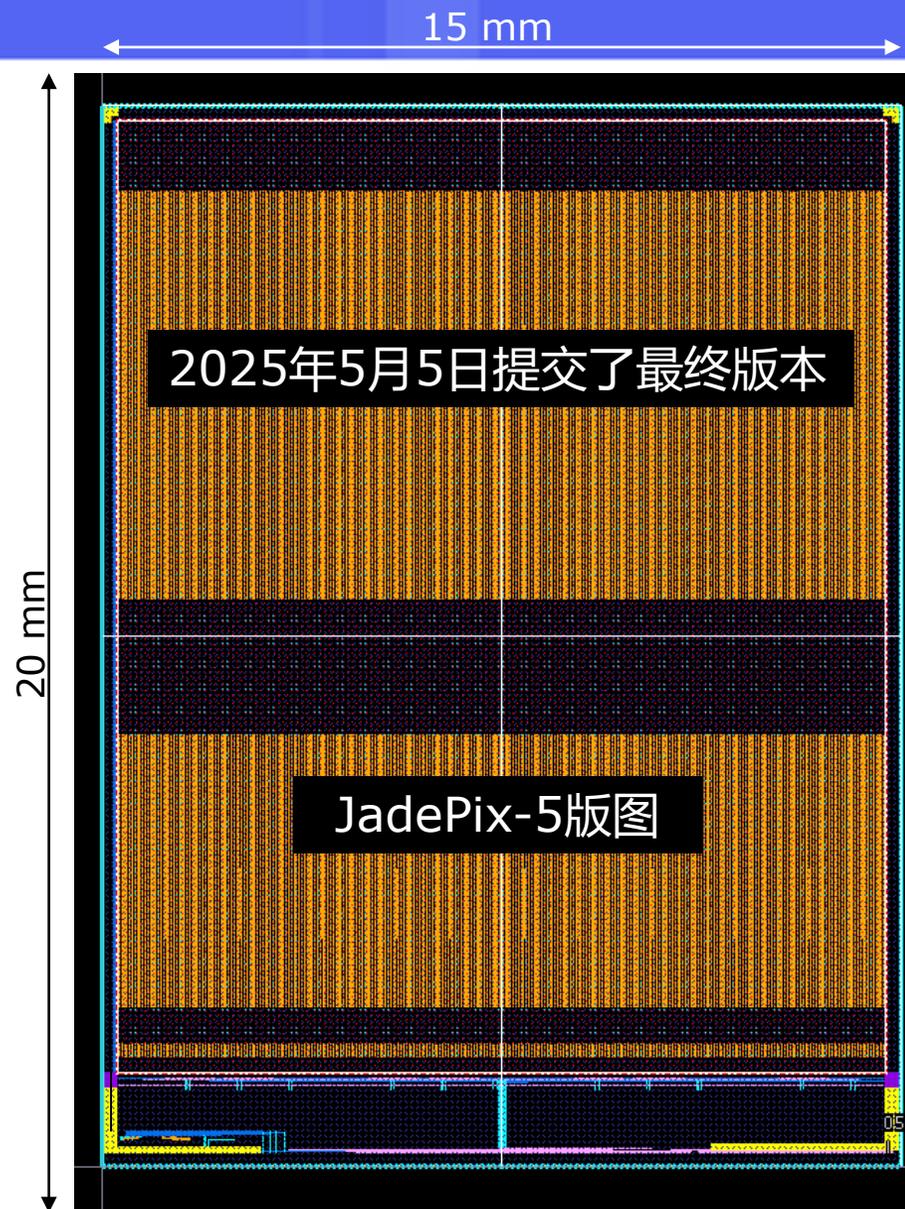
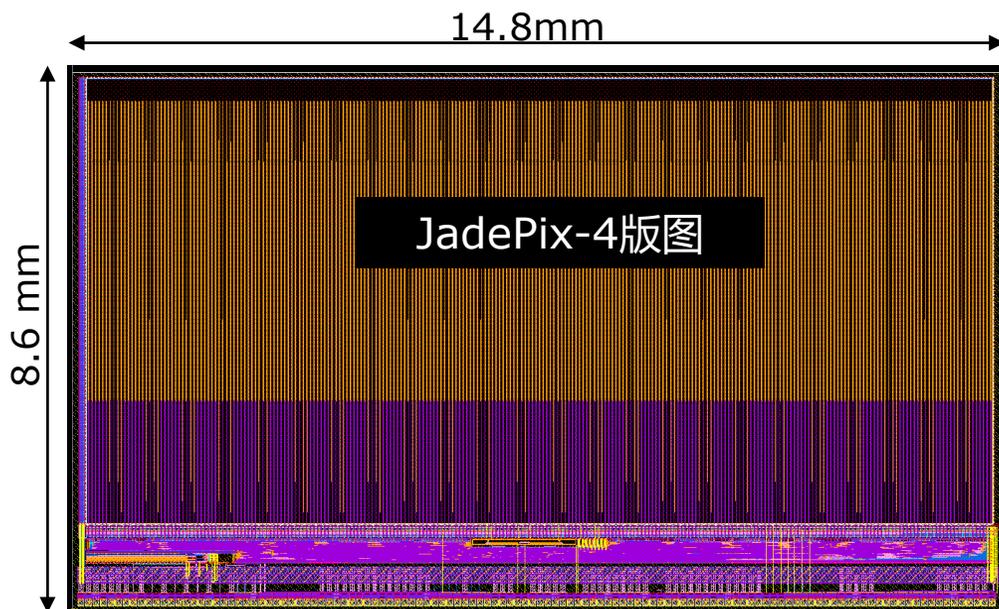
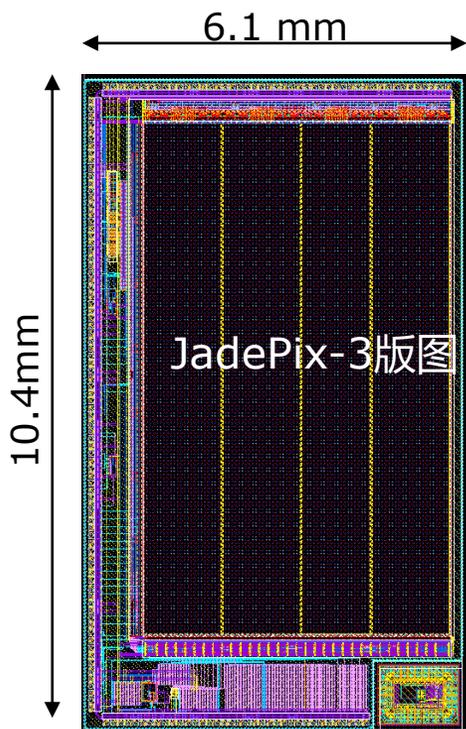


黄色方框为ROC1的接口

蓝色箭头为测试读出路径

JadePix-5的版图

	JadePix-3	JadePix-4	JadePix-5
Pixel size	16 μm \times 23.1 μm	20 μm \times 29 μm	20 μm \times 30 μm
Readout time	98.3 μs	\sim 1 μs	\sim 1 μs
Average power	$<$ 100 mW/cm ²	$<$ 100 mW/cm ²	$<$ 100 mW/cm ²
Pixel array	512 row \times 192 col.	356 row \times 498 col.	896 row \times 480 col.
Mask area	10.4mm \times 6.1 mm	8.6mm \times 14.8mm	20mm \times 15mm

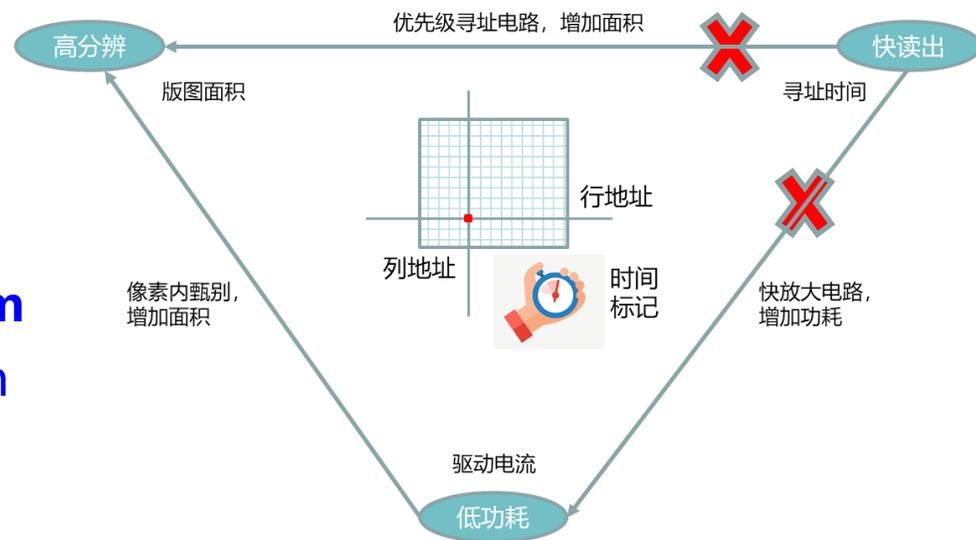


报告内容

- 研究目标
- JadePix-5的设计
- **JadePix-3的负偏压测试**
- 总结与展望

JadePix-3的整体方案

- 像素阵列采用**Rolling Shutter**读出
 - 像素尺寸小, 功耗低, 但读出速度慢
- JadePix-3中对比了不同的HIT寄存器设计
 - D-latch版本, 像素小但有10%的重复击中, **16um x 23um**
 - D-flipflop版本, 消除了重复击中的可能性, **16um x 26um**
- 时间标记精度 = 帧扫描时间 = 512行*192ns=**98.3 us**
- 过于强调缩小像素, 没有充分发挥180nm工艺的性能
 - 在MOST1项目中是合理的选择, 同类型芯片中像素最小
 - 提供了开展位置分辨研究的绝佳条件



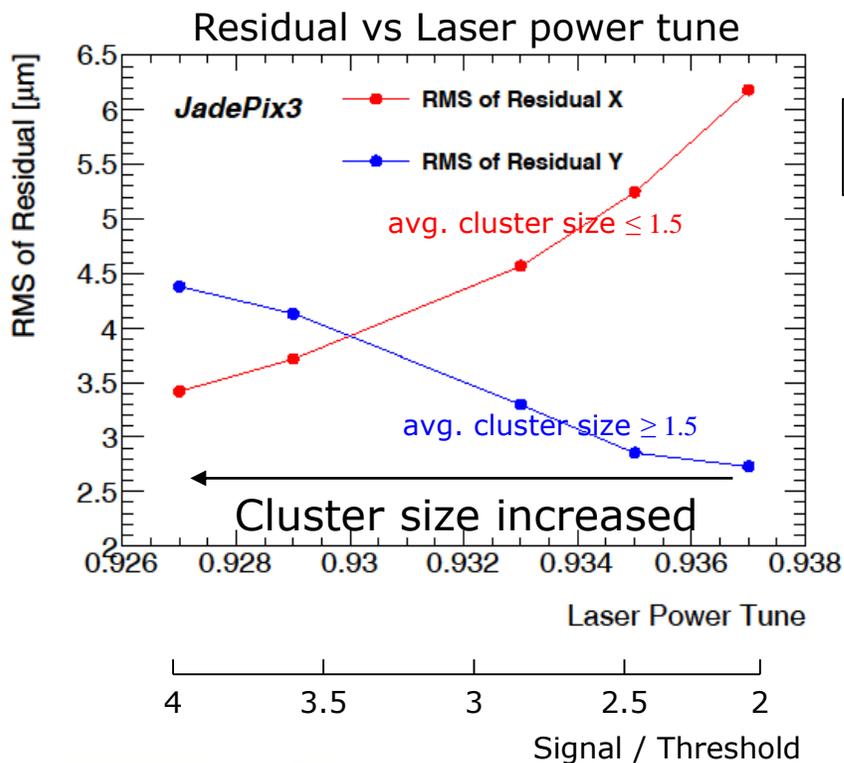
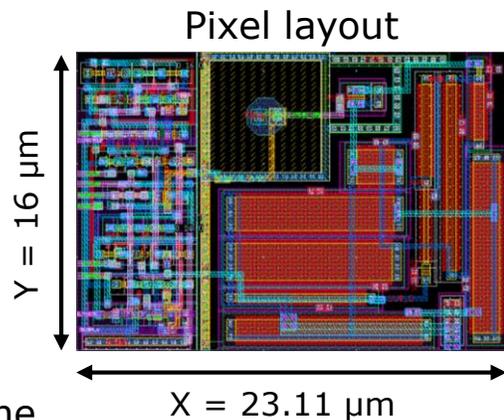
Rolling Shutter →

芯片名称	工艺尺寸	位置分辨	时间精度	平均功耗
MIMOSA	350 nm	4 um	~ 100 us	200 mW/cm ²
ALPIDE	180 nm	5 um	~ 3 us	< 50 mW/cm ²
MOSS/MOST	65 nm	5 um	~ us	< 40 mW/cm ²

零偏压下位置分辨的测量结果

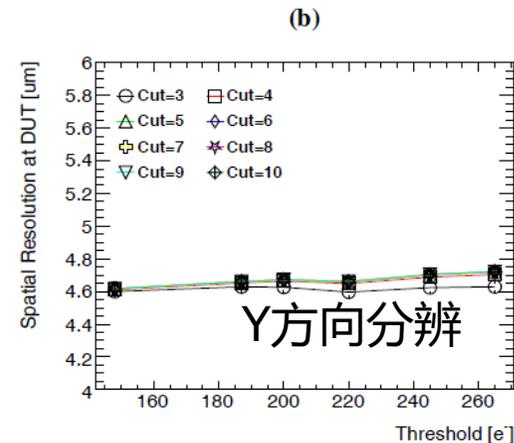
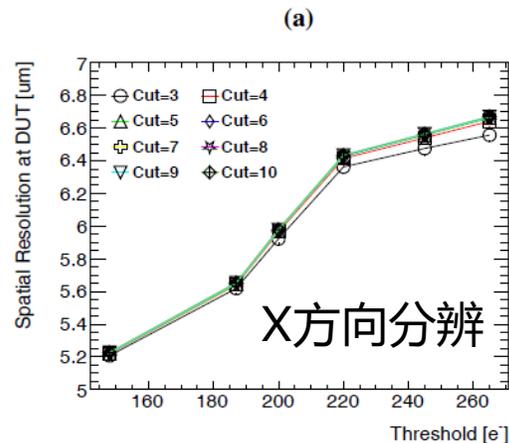
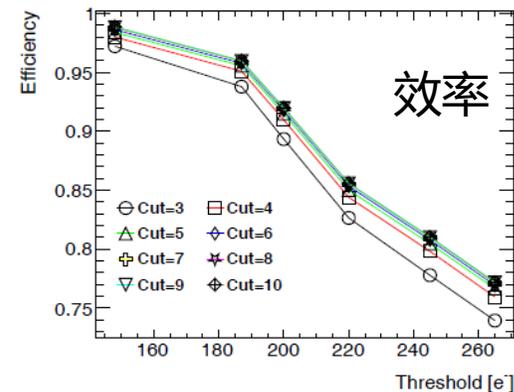
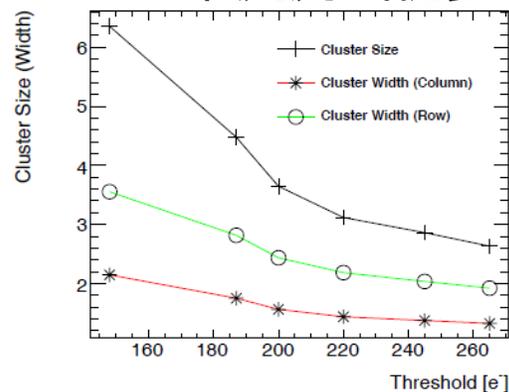
■ 红外激光测试结果

- X方向3.4um
- Y方向2.3um
- 均达到pitch/2√12



NIM A 1048
(2023) 167967

■ DESY束流测试初步结果



NIM A 1065
(2024) 169551

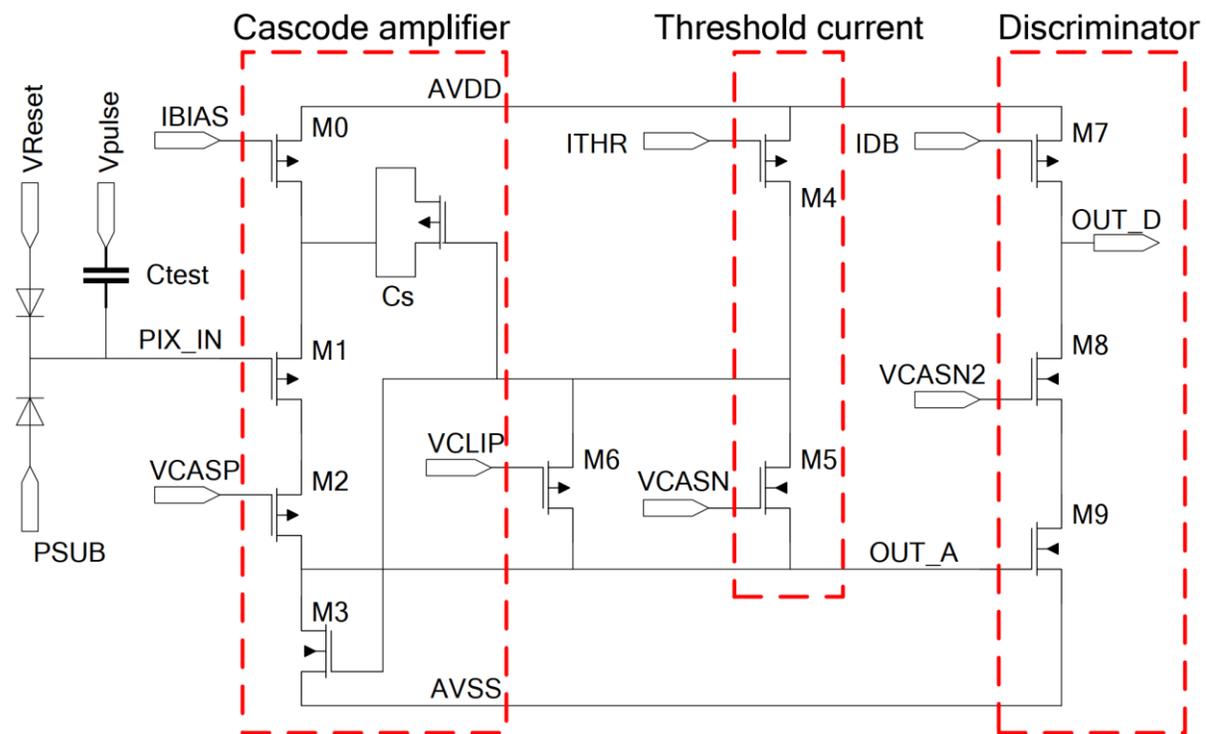
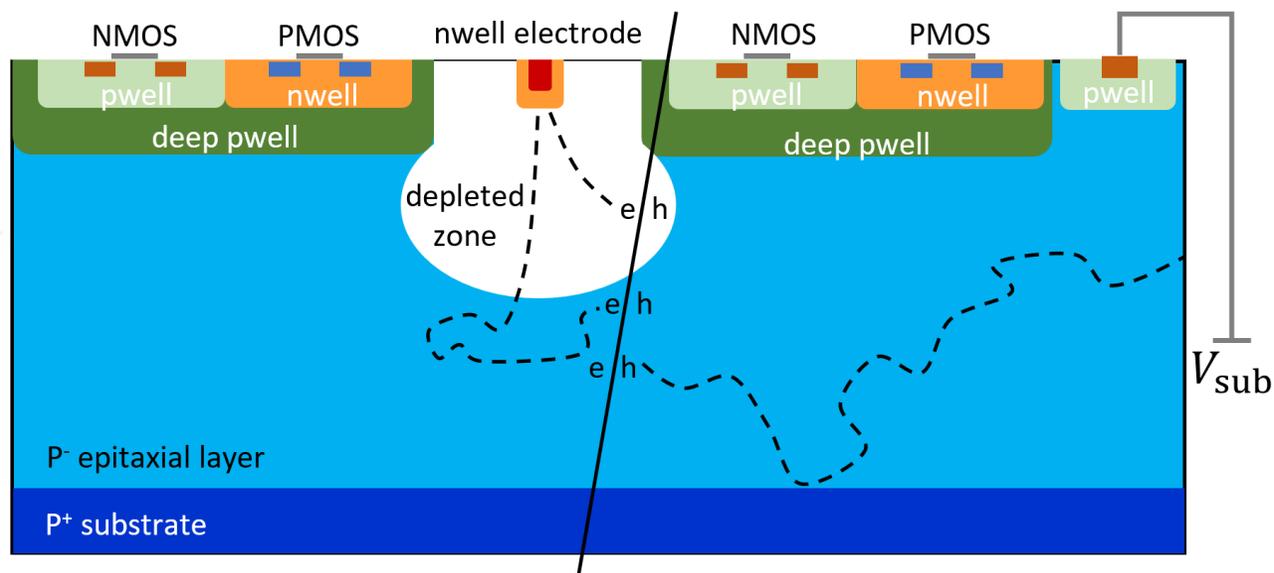
图 4.14 阈值扫描对 (a) 平均簇大小, (b) 效率, (c) x 方向分辨率, 以及 (d) y 方向分辨率的影响。实验参数: 束流能量 = 5.4 GeV, 阈值范围: 从 148 e^- 到 265 e^- 。

JadePix-3的负偏压测试

- CIS工艺的外延层P型衬底上施加负偏压 V_{sub}
 - 增加耗尽区范围，减小电容，提高电荷收集效率
 - 减小Cluster size，提高探测效率，并有可能降低噪声
- 但NMOS管M3,M5,M8,M9的阈值也会随着 V_{sub} 改变
 - 发展了一套参数调整方法与测试流程，可用于同类型的像素芯片

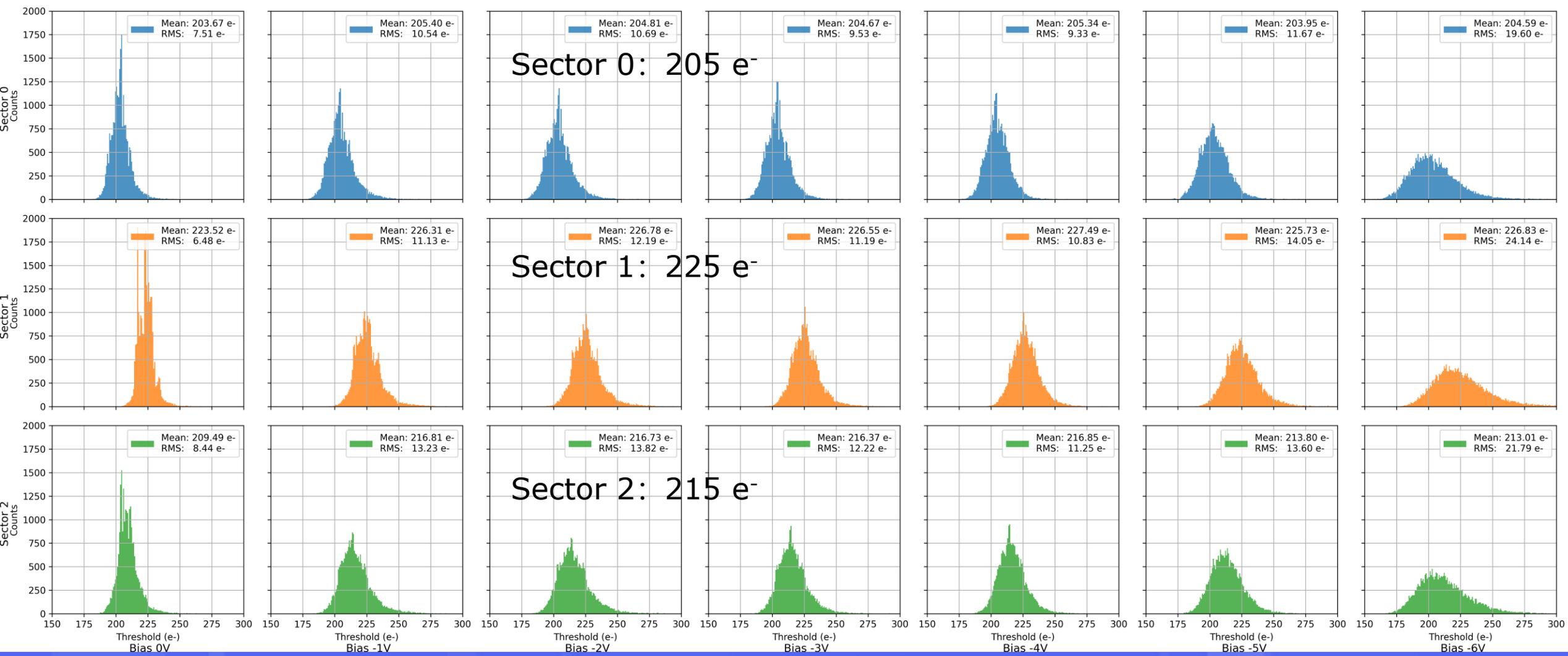
中科大：胡珈豪，张睿洋，陈智良等

- 《JadePix-3 CMOS 像素探测器的性能测试》，第五届半导体辐射探测器研讨会，2025年4月
- 《Characterization of the JadePix-3 CMOS pixel sensor for the CEPC vertex detector》，NIMA，评审中



目标阈值调整

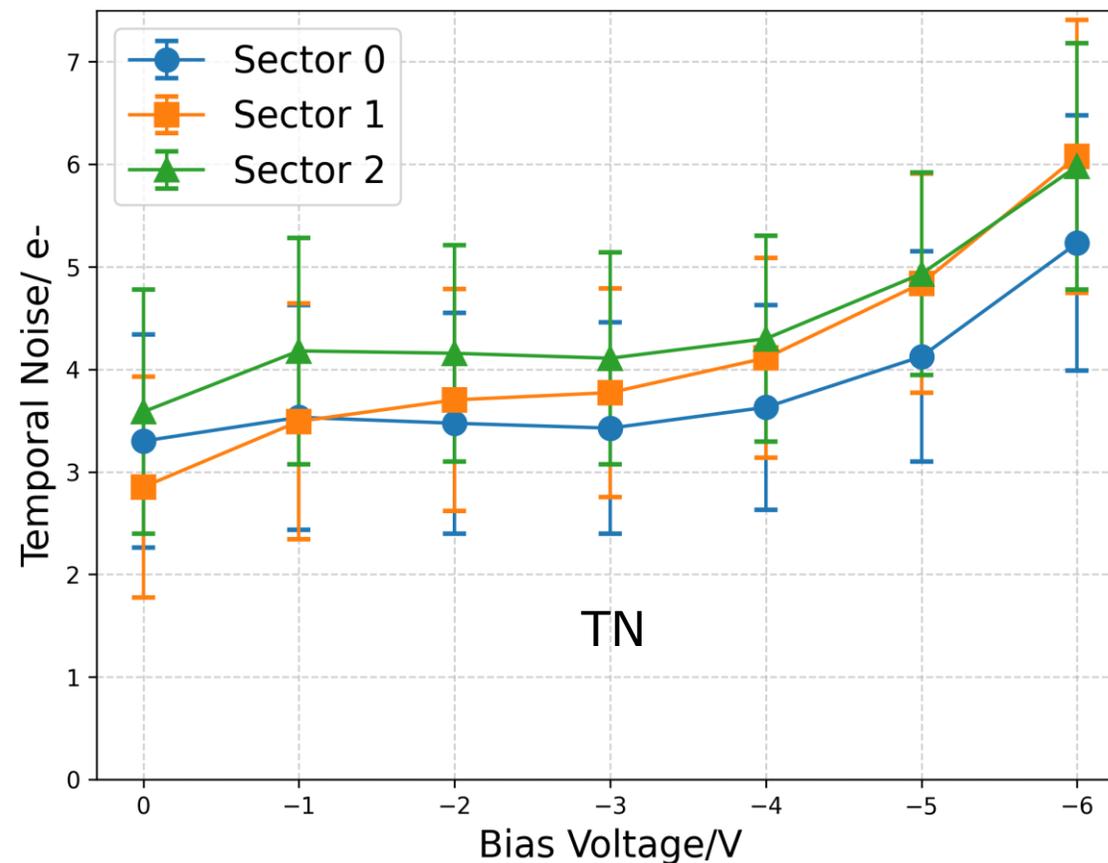
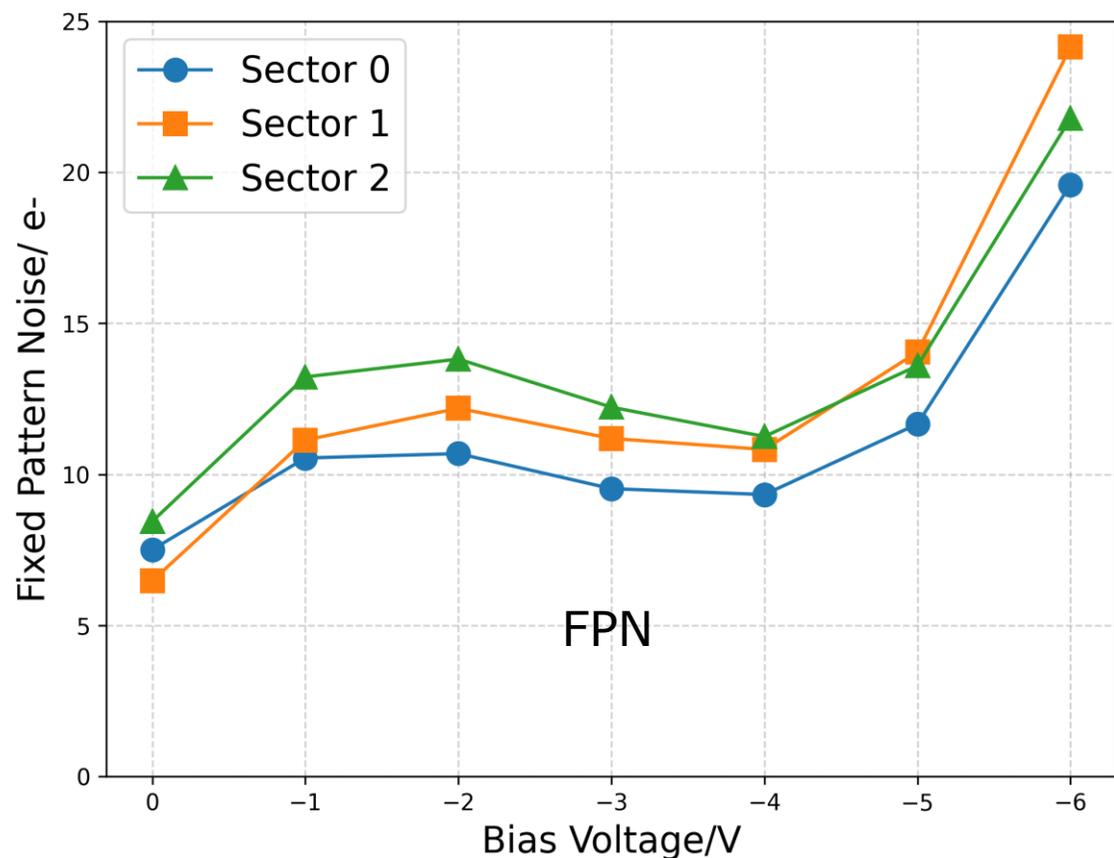
不同偏压条件下，均可以调整到目标阈值



FPN与TN噪声随偏压的变化

■ 0V到-5V的噪声缓慢增加

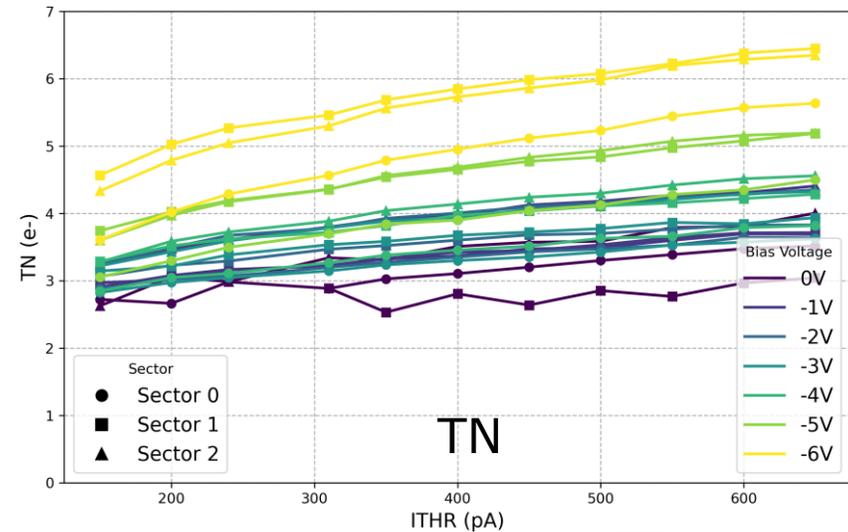
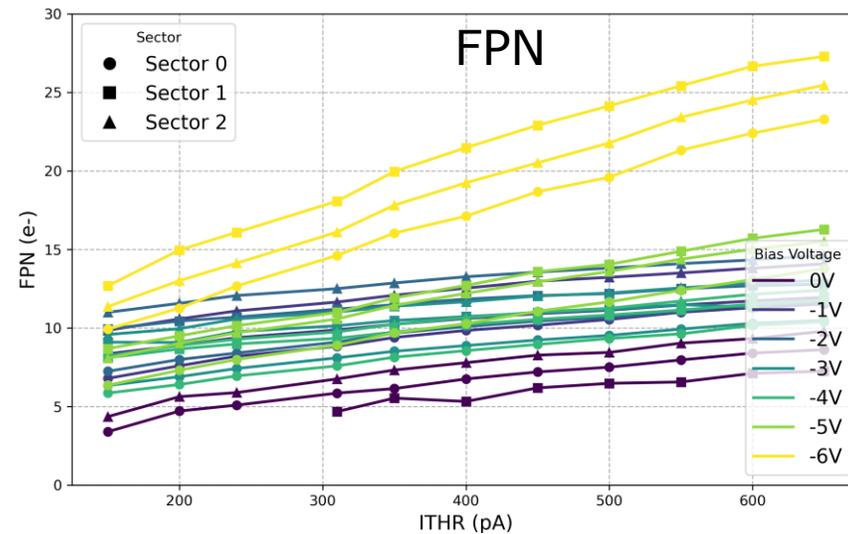
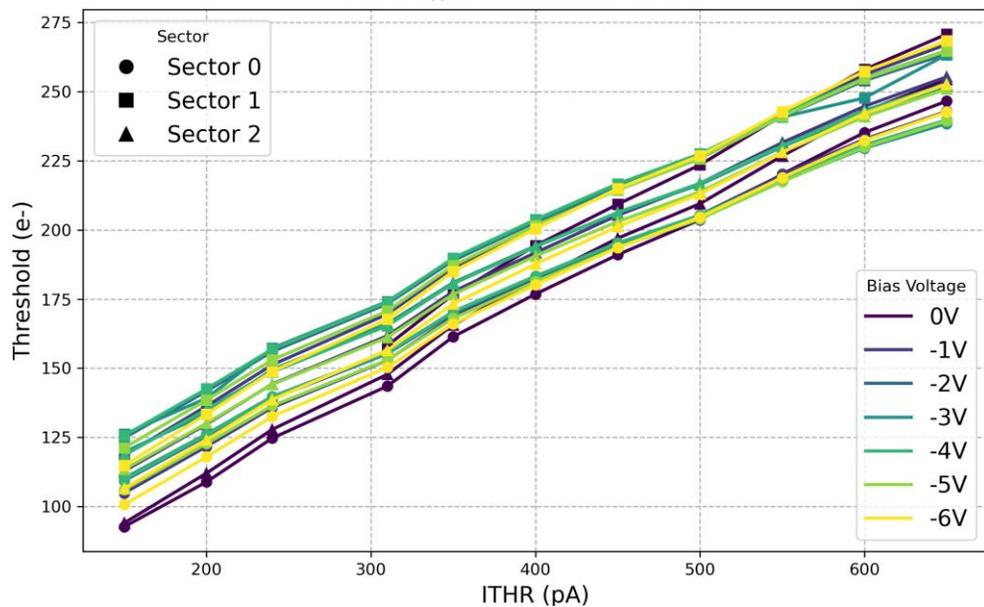
● -6V可能超出了优化区间



阈值扫描

- 不同偏压条件下，等效输入阈值电荷与阈值电流ITHR均呈现线性关系

等效输入阈值电荷

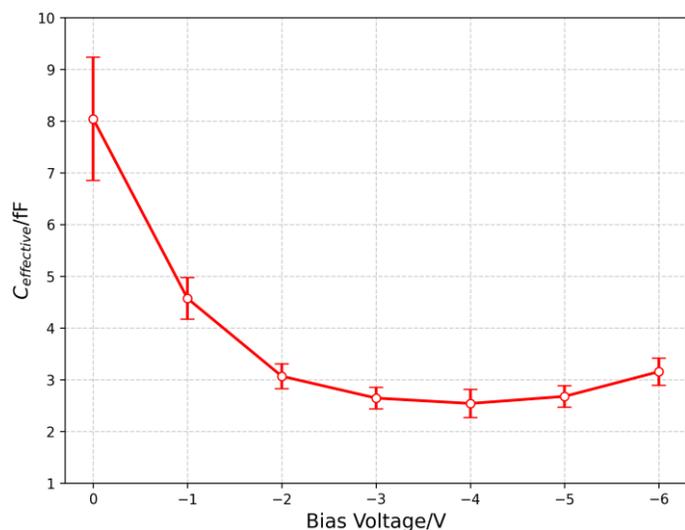


Diode电容随偏压的变化

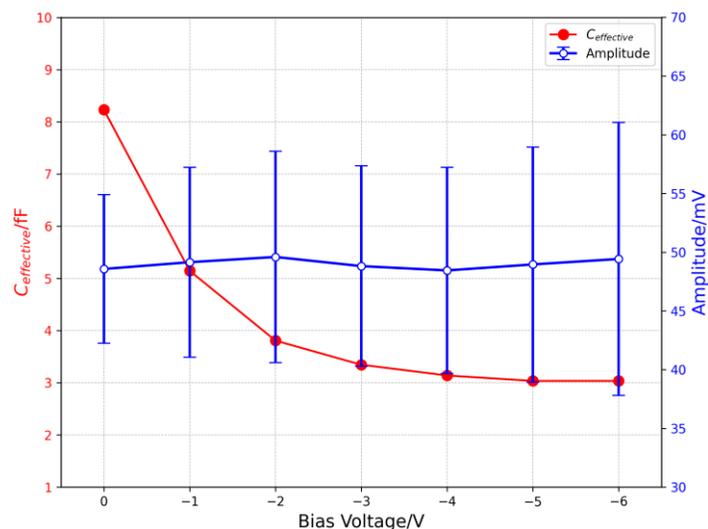
- 输入测试脉冲 V_{pulse} ，测量放大器输出波形幅度 $A_{\text{OUT_A}}$

$$C_{\text{effective}} = C_{\text{test}} \cdot \frac{V_{\text{pulse}}}{A_{\text{OUT_A}}} \cdot f_{\text{gain}} \cdot f_{\text{sf}}$$

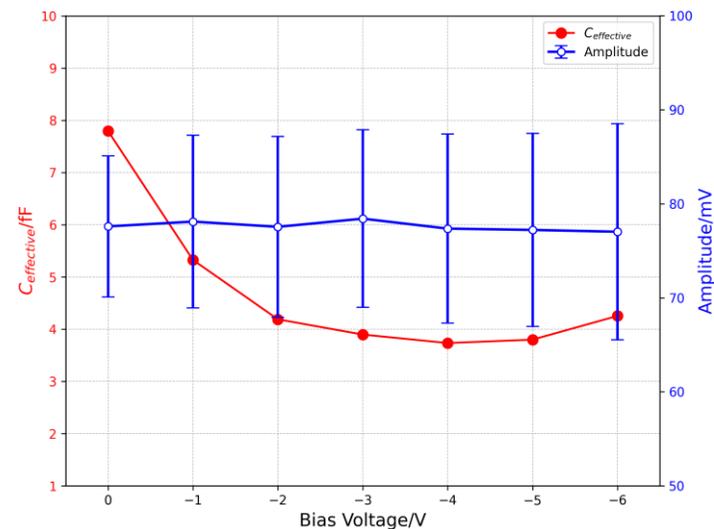
- Diode电容随偏压显著减小



方法一：固定 V_{pulse}



方法二：固定 $A_{\text{OUT_A}} = 49 \text{ mV}$



方法二：固定 $A_{\text{OUT_A}} = 78 \text{ mV}$

^{90}Sr 放射源测试

■ 固定50秒取数时间，约30000个Cluster

■ Relative Detection Efficiency

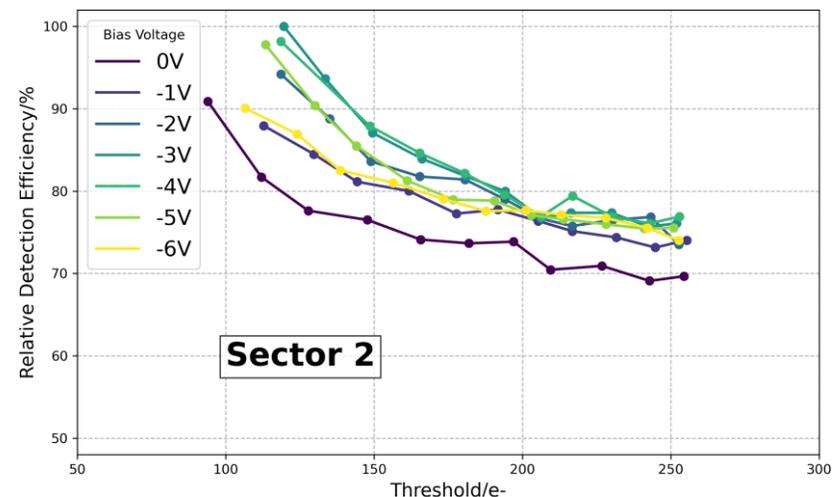
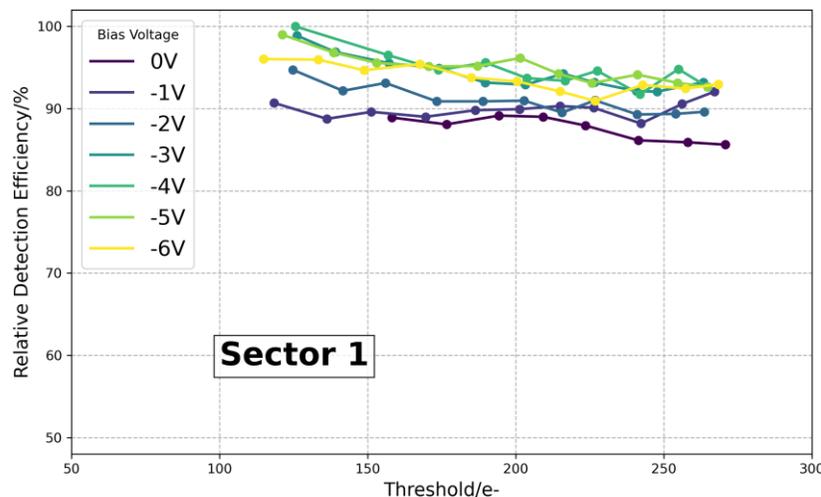
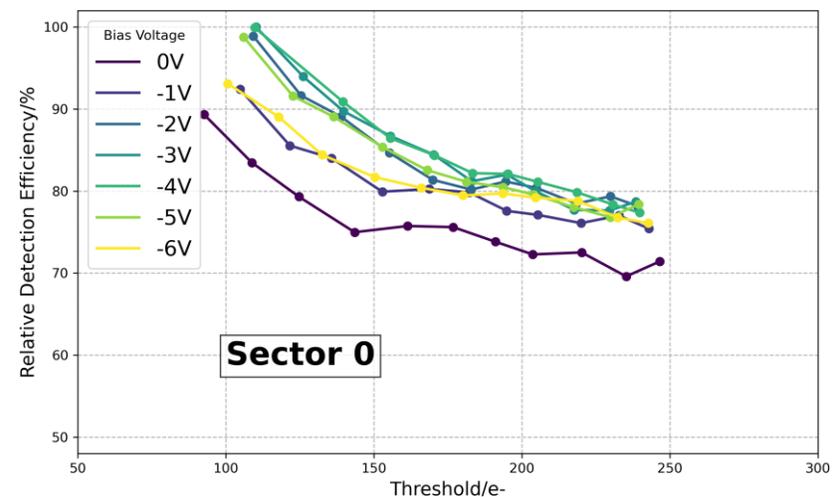
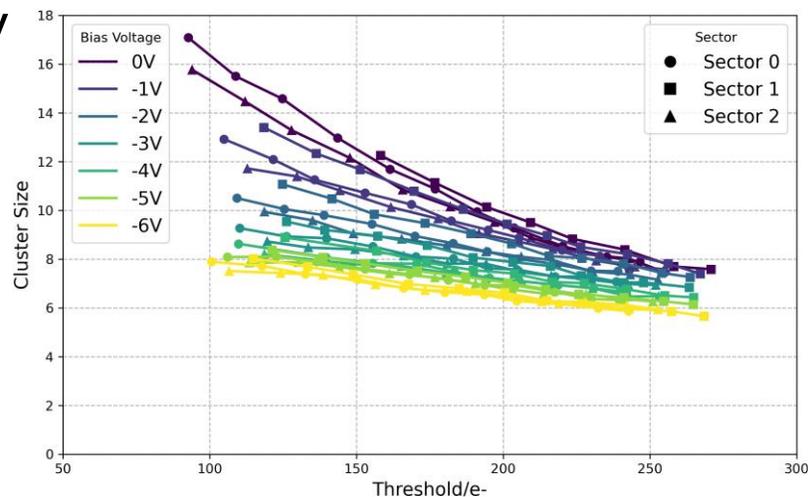
● 同一个Sector的最大计数

■ 验证了Cluster Size减小

● 耗尽区增大

■ 验证了探测效率增加

● 电荷收集效率提高



^{55}Fe 放射源测试

■ 固定50秒取数时间，约30000个Cluster

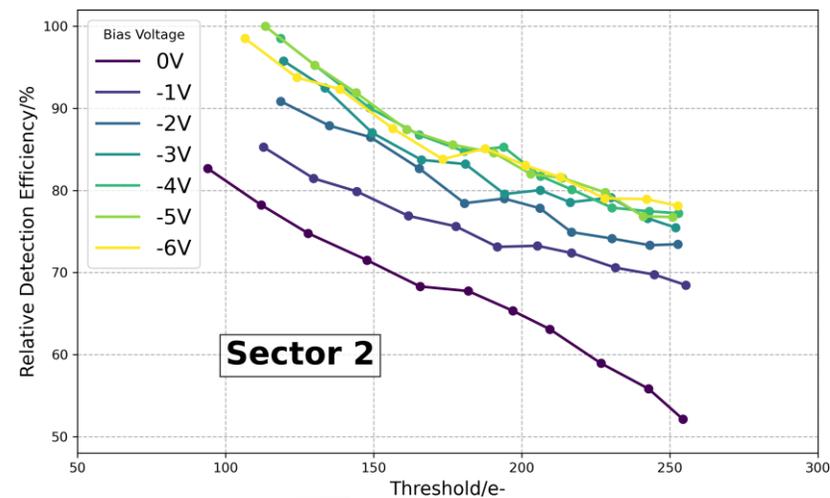
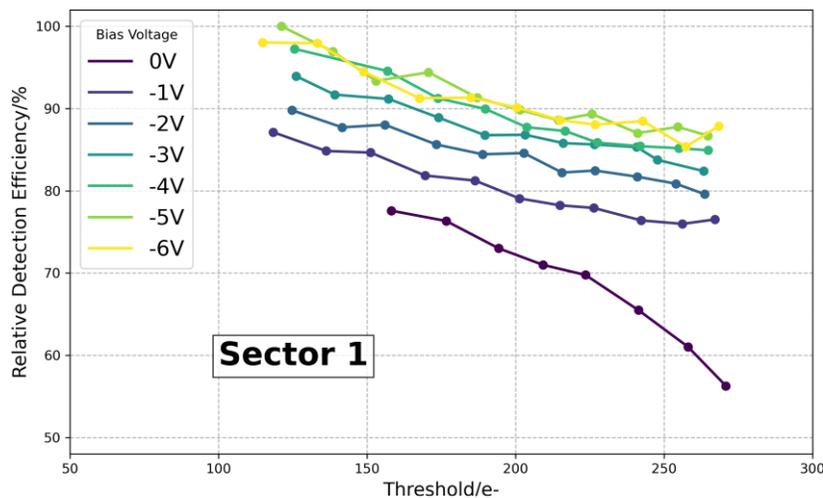
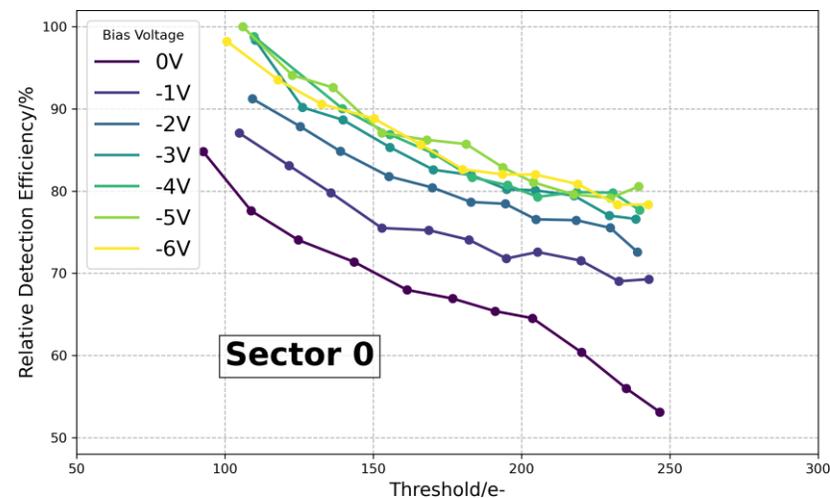
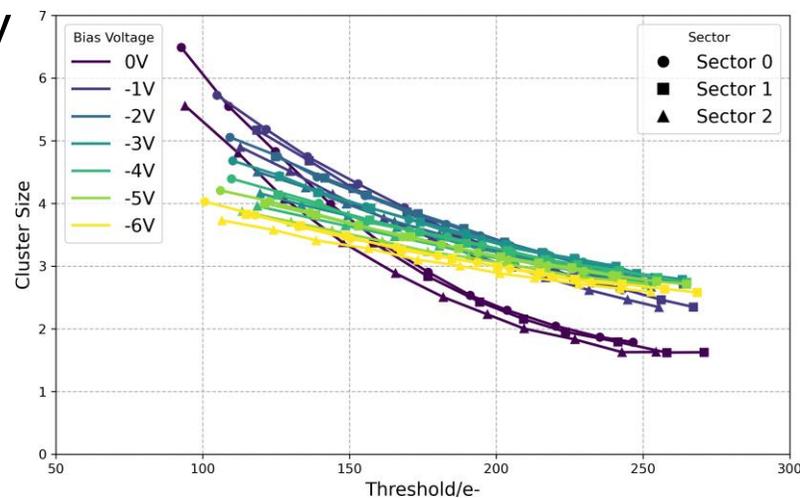
■ Relative Detection Efficiency

● 同一个Sector的最大计数

■ 与 ^{90}Sr 放射源的区别：

● Cluster Size更小 (点状)

● 对RDE的影响明显

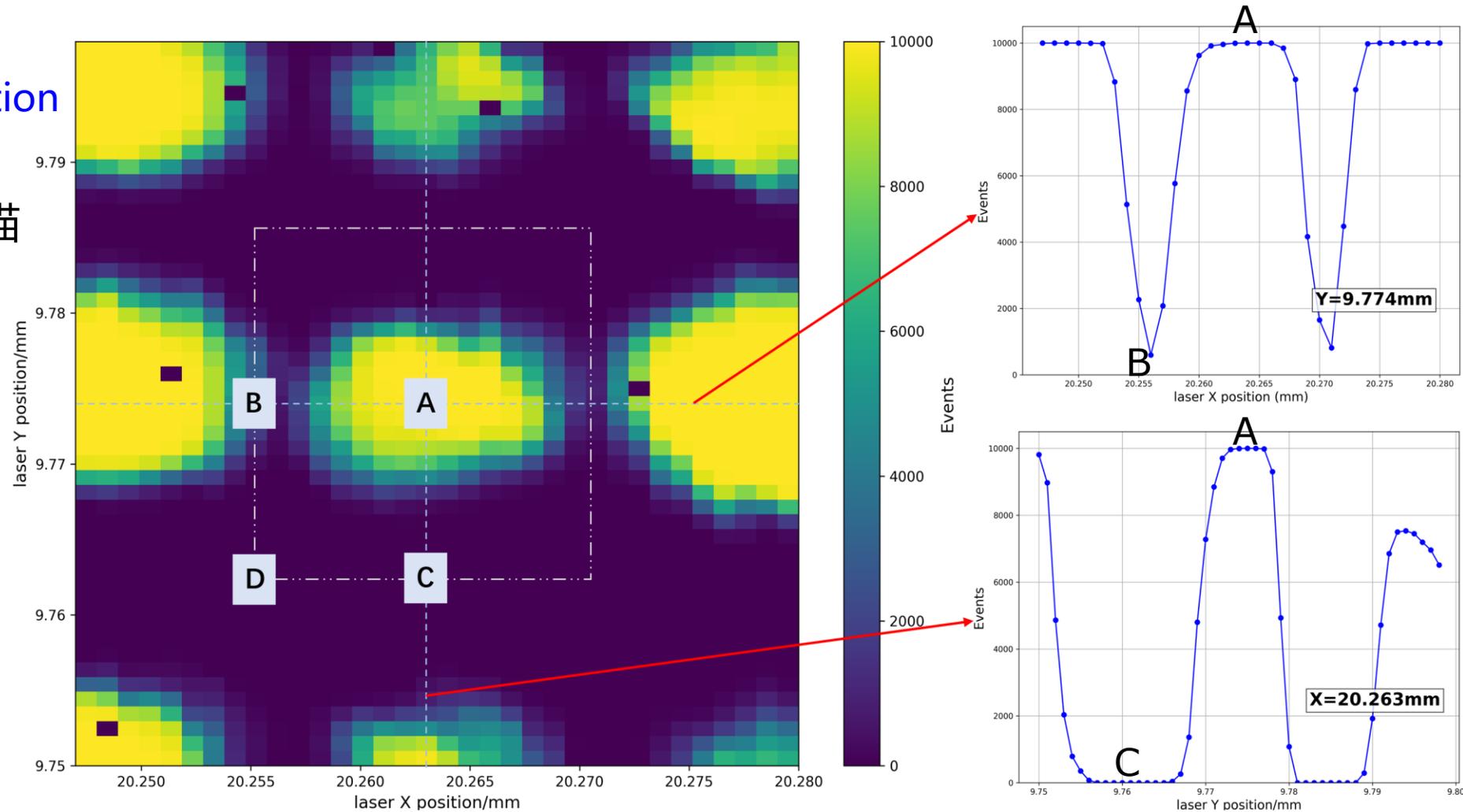


红外激光测试

- 聚焦光斑3.4 μm ，二维扫描Sector2，记录过阈次数

- Threshold=215 e
- 10000 frame/position
- $V_{\text{sub}}=0\text{V}$

- 对A-D点做负偏压扫描

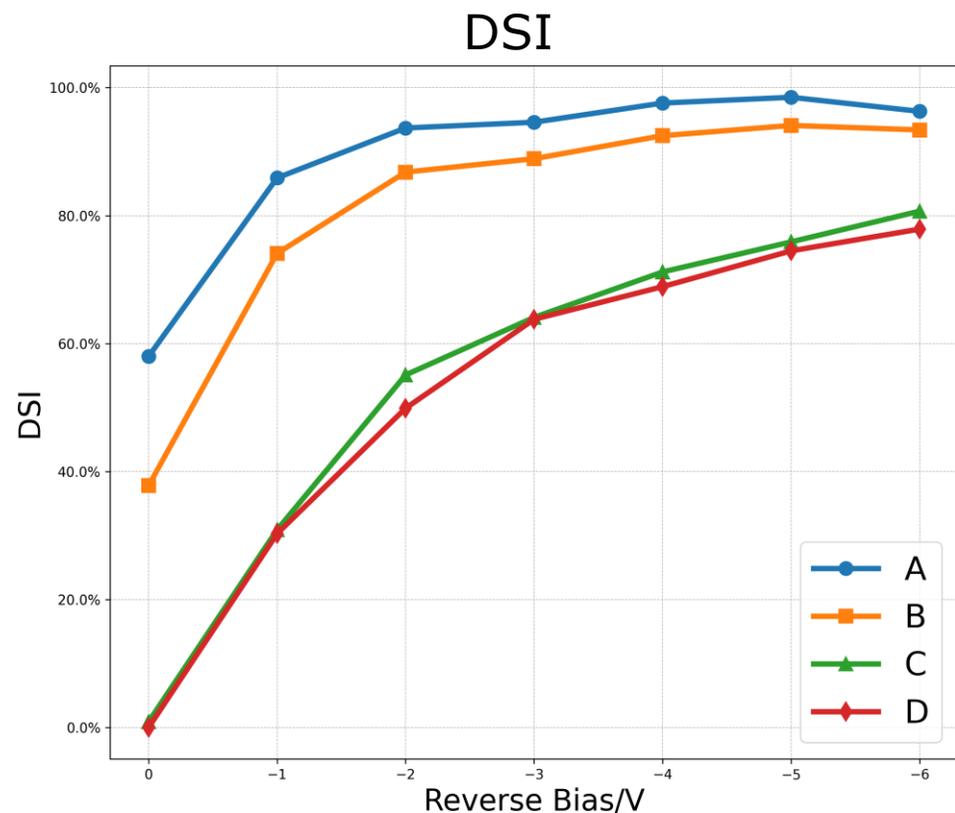
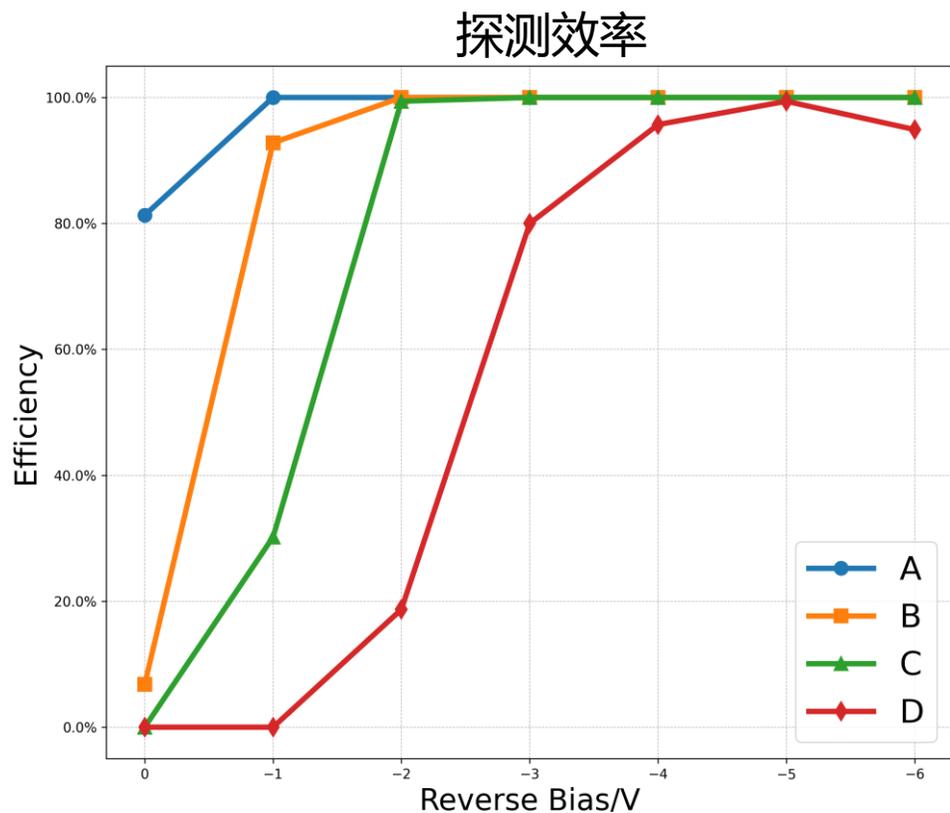


探测效率与Detection Sensitivity Index

- 负偏压显著改善探测效率与电荷收集效率

- 尤其是B, C, D代表的像素边缘

DSI定义：过阈率为50%时的激光衰减系数

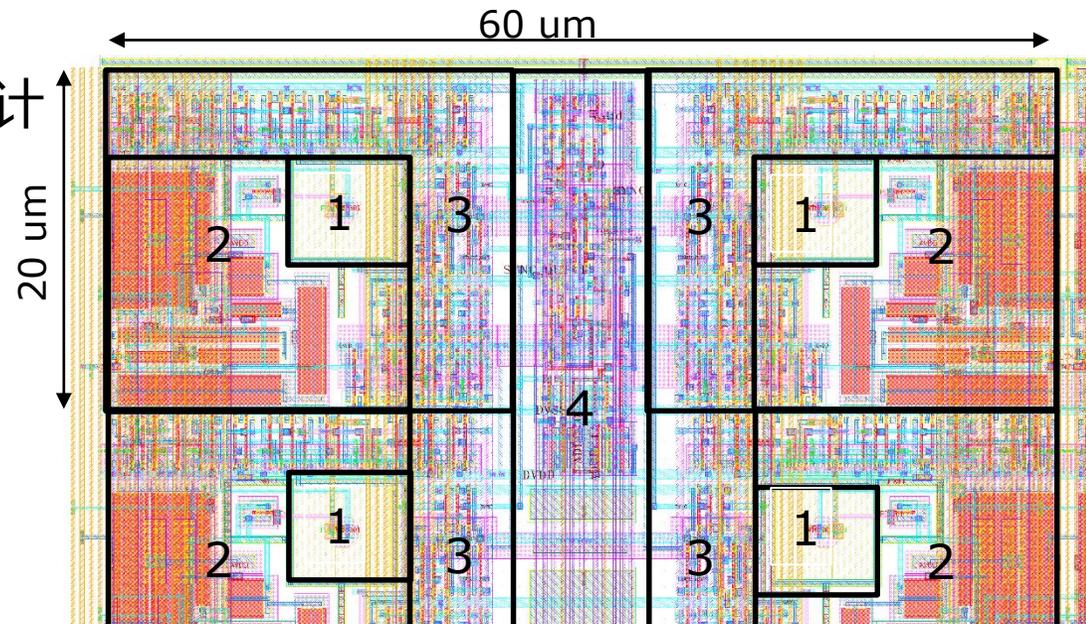


总结和展望

- 从CEPC顶点探测器的需求出发，课题2对CMOS像素芯片提出了极高的要求
- 针对空间分辨率和低功耗的优化目标，开展了两个方向的研究工作：
 - 完成了JadePix-5的设计提交，采用了基于AERD的设计方案
 - 完成了JadePix-3的负偏压测试，探索负偏压对位置分辨和探测效率的性能改善
- 后续工作：
 - JadePix-5的测试：芯片子板已完成，近期开展固件设计
 - JadePix-3的束流测试，尝试利用负偏压改进位置分辨和探测效率
 - 进一步缩小像素的设计尝试，4-pixel group
 - 减少一级AERD
 - 合并pixel group的像素逻辑

JadePix-5 pixel layout

1. Diode
2. Analog frontend
3. Digital logic
4. AERD shared by 2 col.



JadePix研发团队

- 高能所：周扬，张颖，董胜，熊浩，郁晗，卢云鹏
- 华师：杨苹，张宇恒
- 中科大：胡珈豪，张睿洋，陈智良
- 国科大：王云翔，王安琪
- 大连民族大学：施展，陈洋

谢谢关注