

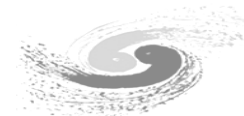
1~4月考核报告

报告人：张亮坤

导师：常劲帆

副导师：魏微

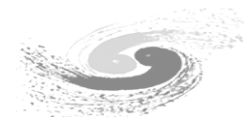
汇报时间：2025.04.29



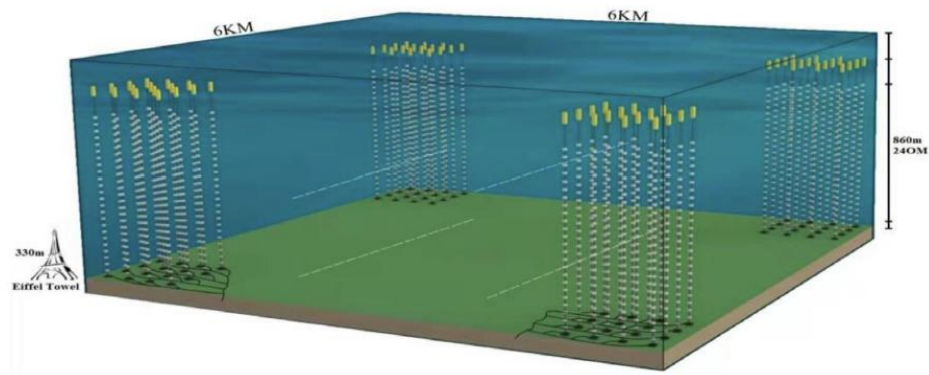
目录

- 课题背景
- 多通道读出电子学板 hunt_1128 的调试
 - 时钟芯片 LMK04828 的配置
 - AD9695 的配置与测试
 - 多芯片输出同步
- ADC 输出数据的处理
 - 数据的触发与存储
 - FPGA 片上数据压缩算法的调研

背景：HUNT项目 (Huge Underwater high-energy Neutrino Telescope)

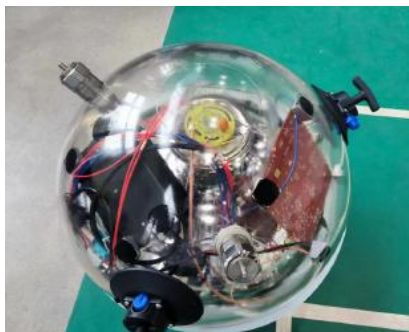
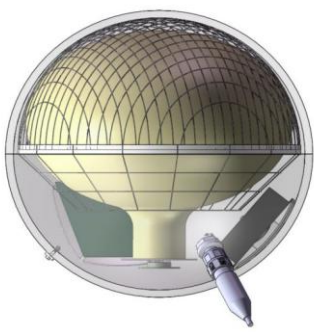


水下高能中微子探测示意图:



在水下布置约 30 立方公里有效体积的高能中微子望远镜。
共2304串，每串由24个光学模块连接组成。

● 光学模块设计:

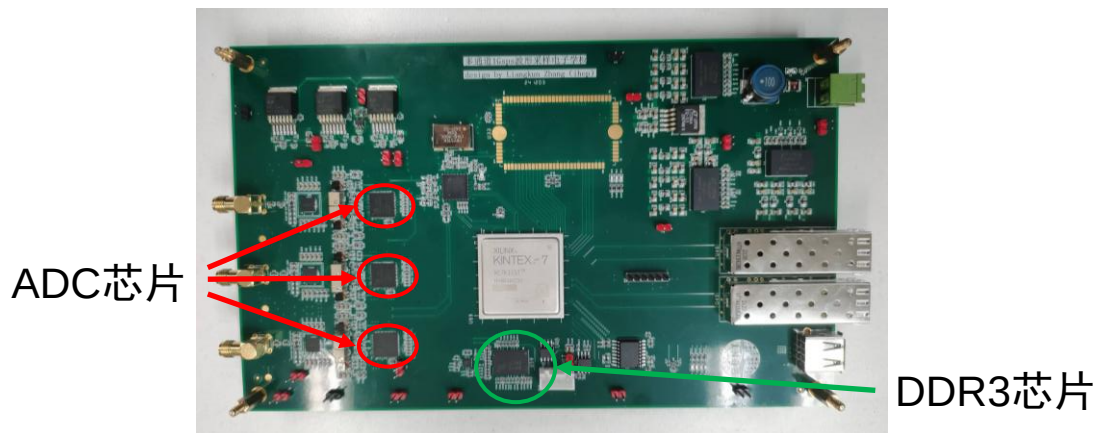


- 玻璃密封舱
- 光敏器件
- 标定系统
- 机械支撑系统
- 电子学系统 (含电源)
- 传感器探头

光学模块示意图及实物

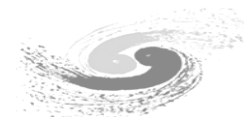
- 读出电子学系统：完成波形采样和数据处理、数据传输。
- 方案：无硬件全局触发的前端数字化方案。
- 设计指标：

参数	设计指标
测量需求	波形采样
波形采样频率	1Gsps
波形采样宽度	300ns
电荷测量范围	1 ~ 2000pe 14bit
时间测量精度	< 1ns

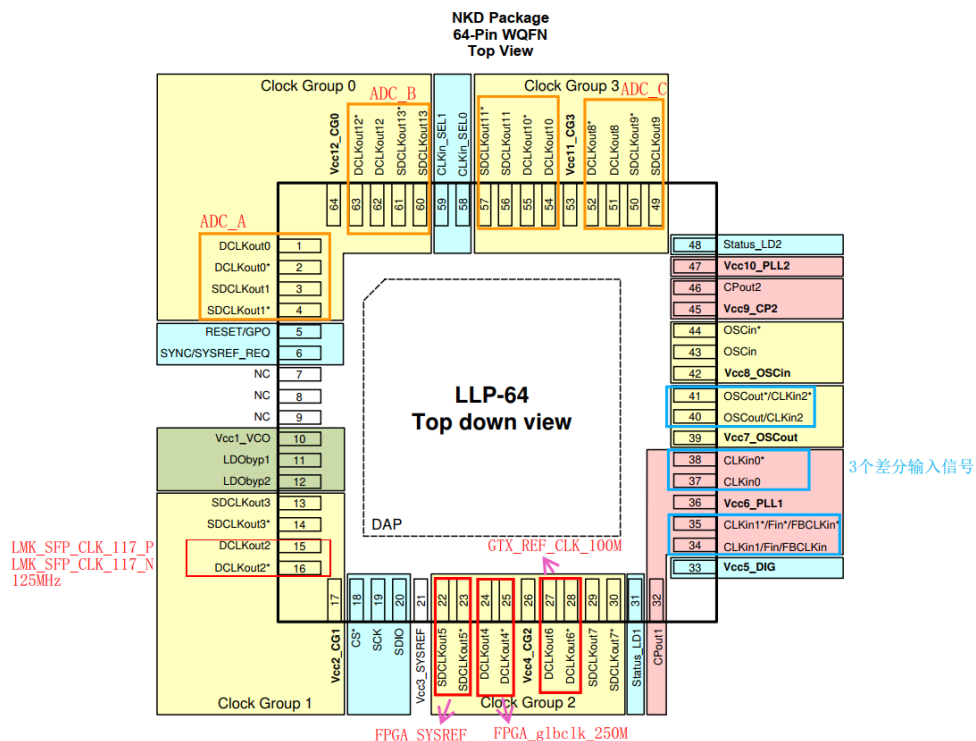


HUNT1128多通道读出电子学板

HUNT1128读出板的调试_时钟输出



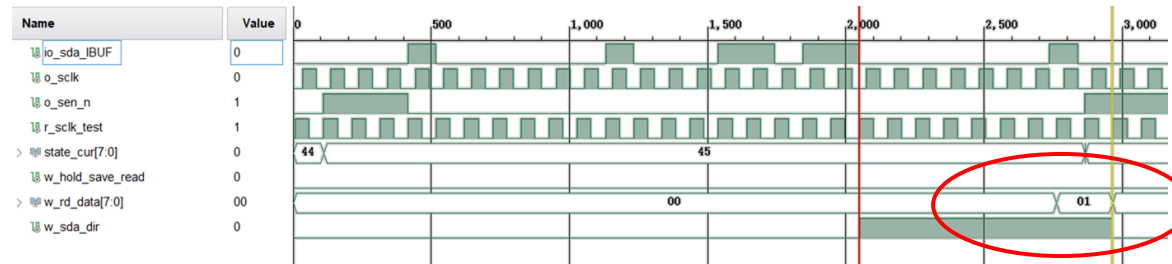
● 时钟系统_LMK04828:



- 该时钟芯片最多提供14个时钟输出，本设计配置为驱动4对device时钟和sysref时钟、SFP时钟及GTXREF时钟
- 使用SPI协议配置此芯片工作在零延迟双环路PLL模式，时钟输出与时钟输入信号共享相同的确定性相位关系。

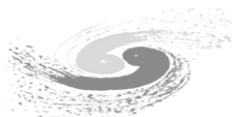


示波器测试结果：能够正常产生 1GHz 的采样时钟。

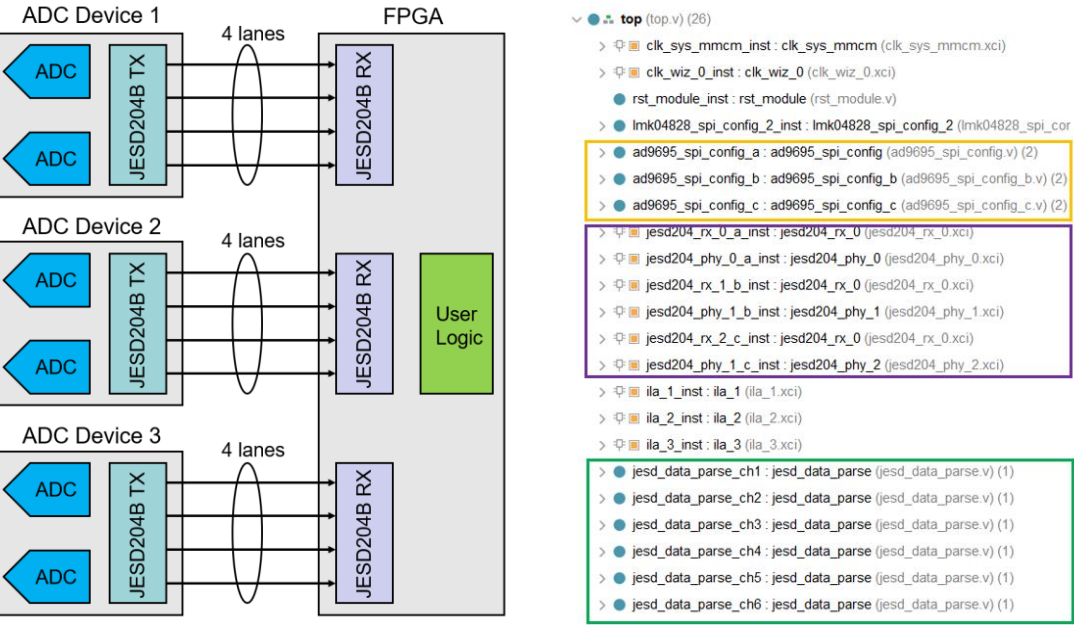


读取ADC芯片的相关寄存器，可以发现ADC芯片能够识别到采样时钟。

HUNT1128读出板的调试_AD9695配置与测试



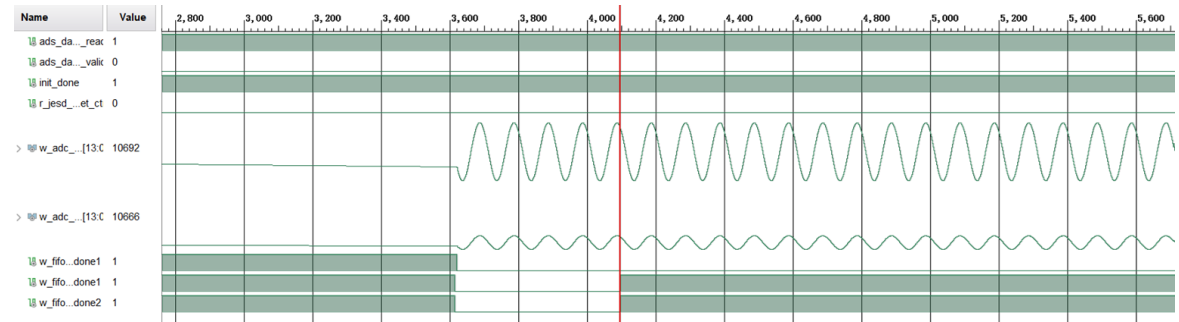
● Verilog 工程结构:



AD9695芯片的数据传输示意图

- 分别配置 ADC 工作在 1Gps 采样频率，线速率 10 Gbps。
- 使用 3 组 jesd204 phy + rx IP核，接收 ADC 的输出数据。
- 对 rx 核输出的128bit数据解析和组合，得到各通道的数据。

输入Vpp=500mV，10MHz的正弦波，得到ADC输出如下图所示：



使用 Tektronix AFG31000 信号发生器，输出100MHz，Vpp=600mV 的正弦波作为电子学板的输入，各通道数据量为 65534 。在 WaveVision 中进行 FFT 分析，得到各通道的有效位：

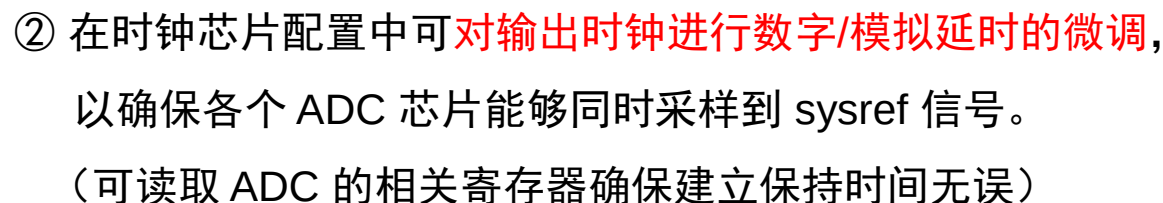
通道	CH1	CH2	CH3	CH4	CH5	CH6
ENOB(bit)	9.960	10.140	10.007	10.230	10.110	10.331

EFFECTIVE NUMBER OF BITS (ENOB)				
f _M = 10.3 MHz	10.3	10.5	10.6	Bits
f _M = 172.3 MHz	10.3	10.5	10.7	Bits
f _M = 340 MHz	10.3	10.5	10.6	Bits
f _M = 750 MHz	10.3	10.5	10.5	Bits
f _M = 1000 MHz	10.2	10.4	10.6	dBFS
f _M = 1400 MHz	10.1	10.3	10.1	dBFS
f _M = 1700 MHz	10.1	10.2	10.3	dBFS
f _M = 1980 MHz	10.0	10.1	9.9	dBFS

各通道的 ENOB，略低于 datasheet 中给出的值

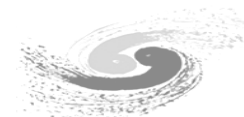
具体实现

① 在PCB中对每组 device clock、sysref 信号线做**等长处理**。



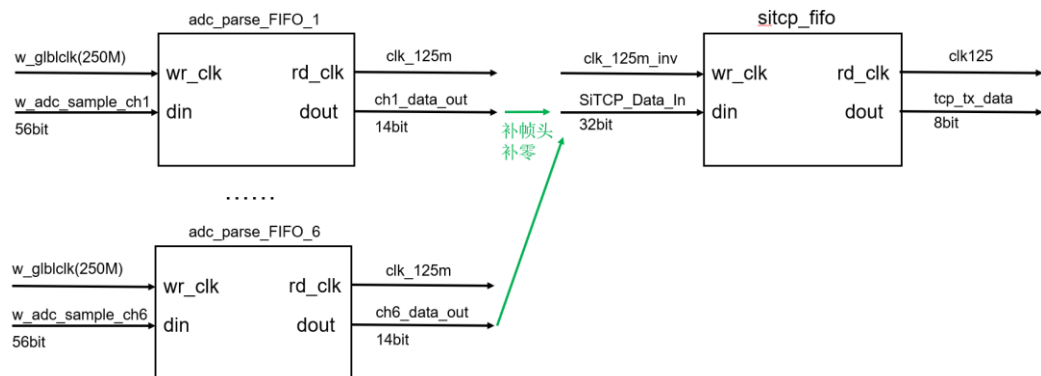
-
- Digital Delay**
- ☐ DDLY_PD
 - 5
 - ☐ Half Step
 - ☒ HSg_PD
 - ☐ DDLYd0_EN
 - 2 cycles
 - ☐ Half Step
- Analog Delay**
- ☒ ADLY_PD
 - 500 ps
 - ☒ ADLYg_PD
 - ☐ ADLY_EN
 - 700 ps
- Clock Output Select**
- Divider+DCC+HS
 - ☒ Enable half step and duty cycle correction for analog delay path
 - SYSREF
- SYSREF_GBL_PD Clock Output**
- ☐ IDL
 - ☐ ODL
 - ☐ CLKout0_1_PD
 - LVDS
 - ☐ DCLKout0_POL
 - ☒ SDCLKout1_POL
 - Active
 - LVDS
 - ☐ SDCLKout1_PD
- DCLKout0: 1000 MHz
- SDCLKout1: 6.25 MHz

- ③ 多个 jesd204 rx IP核均拉低 SYNC 信号时，即各设备都准备好时，才开始触发链路同步。

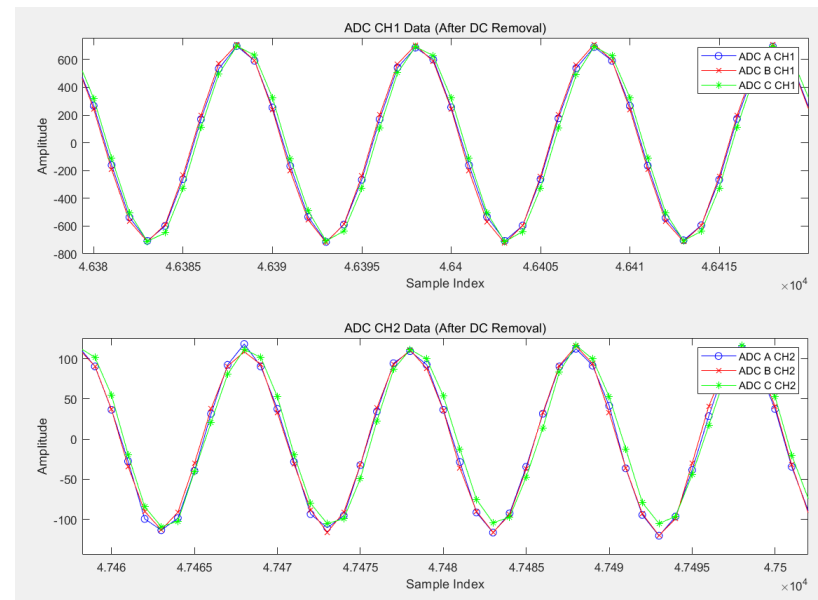
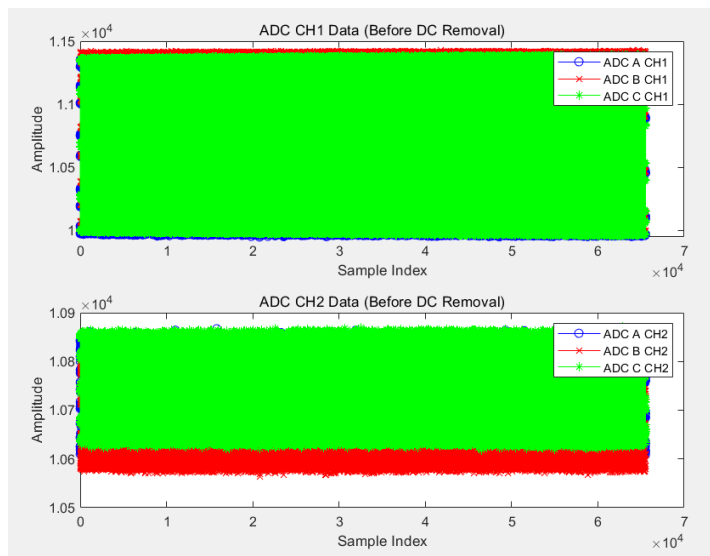


HUNT1128读出板的调试_多芯片输出同步

➤ 同步性能测试



使用 FIFO 同时存储 ADC 采样的数据（每通道6万个采样点），
然后依次经过 SiTCP 传输至 MATLAB 中进行数据处理



ADC_B_CH1 phase difference (radians): 0.0389
ADC_B_CH1 time offset between channels (ps): 61.85
ADC_C_CH1 phase difference (radians): -0.0910
ADC_C_CH1 time offset between channels (ps): -144.84
ADC_B_CH2 phase difference (radians): 0.0273
ADC_B_CH2 time offset between channels (ps): 43.51
ADC_C_CH2 phase difference (radians): -0.1223
ADC_C_CH2 time offset between channels (ps): -194.70

多次上电测试，不同通道输出的时间偏移保持稳定。
即实现了不同ADC之间的输出确定性延时。

ADC 输出数据的处理_数据的触发与存储



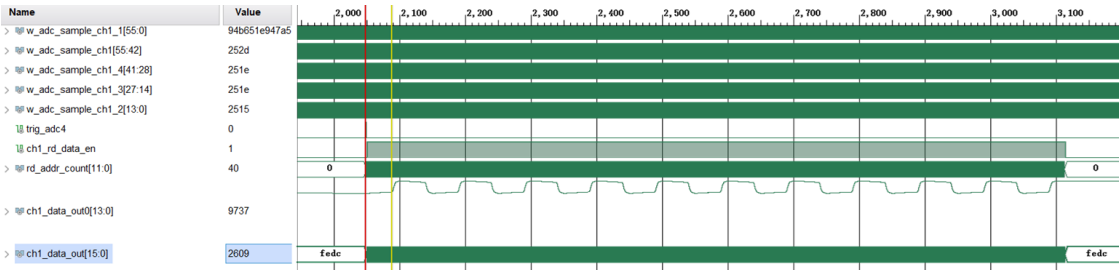
JESD204 rx IP核 250 MHz 时钟输出的 128 bit 数据（2 个通道各自的 4 次采样数据）

◆ 数据的触发：

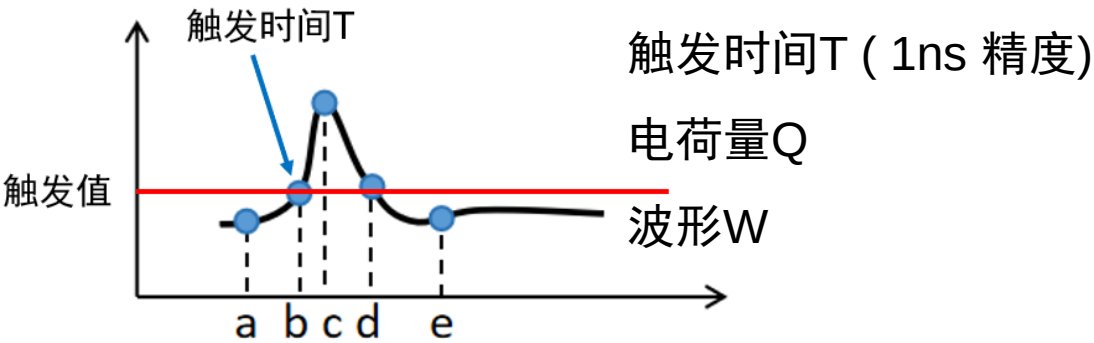
- 信号幅度过阈的触发方案，
- 设计 ringbuffer 模块，写一直进行，
- 将触发前后的999个采样数据进行读出

实际测试：

输入为10MHz， -600mV~0V的连续方波信号，
输出的结果如下

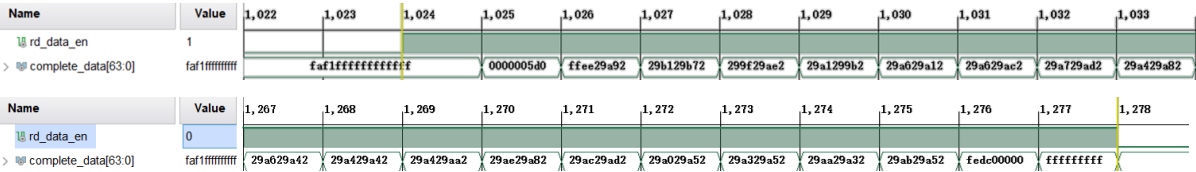


能够实现预期功能

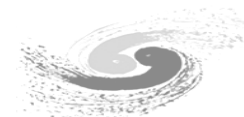


数据输出结构：

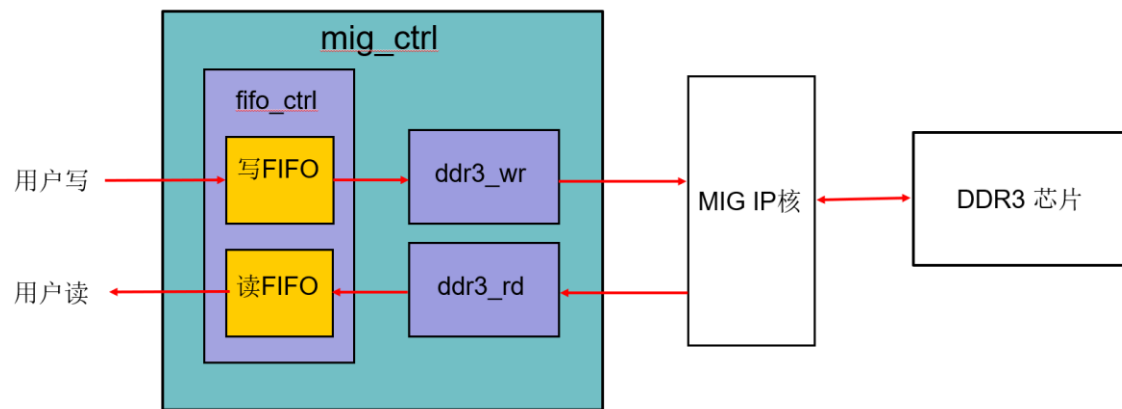
帧头	FAF1	FFFF	FFFF	FFFF
T	[31:0] pps_counter	2'b00 + [27:0] glbclk_counter + [1:0] fine_timestamp		
	FFEE	[15:0] sample	[15:0] sample	[15:0] sample
	[15:0] sample	[15:0] sample	[15:0] sample	[15:0] sample
	...	...	...	...
	FEDC	[47:0] Q_value		
帧尾	FFFF	FFFF	FFFF	FAF1



ADC 输出数据的处理

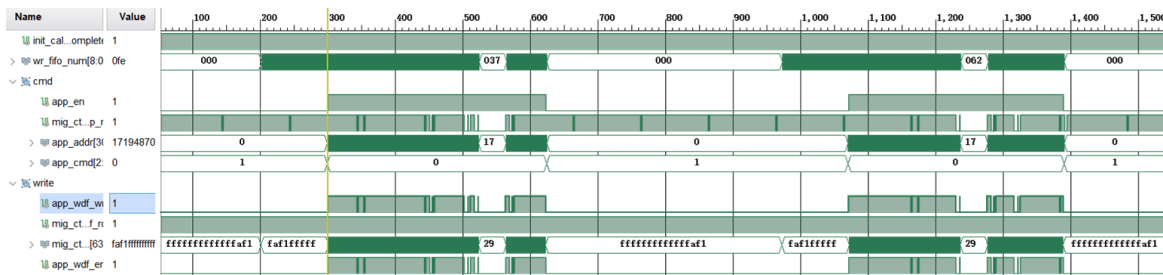


◆ 数据的存储:



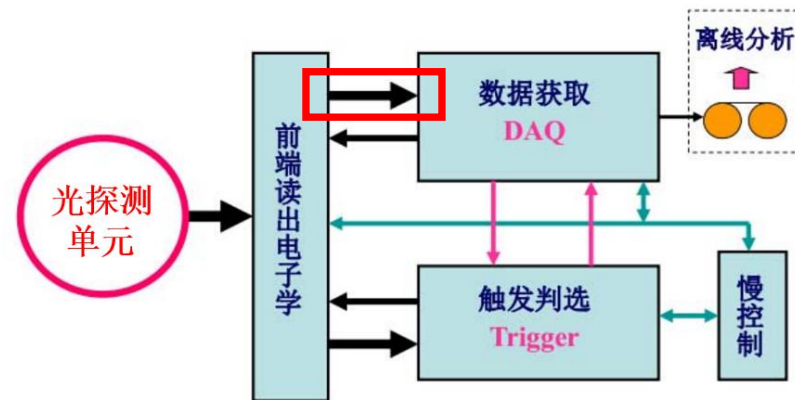
将MIG IP核近似封装成FIFO使用:

用户只需输入写使能、写数据、起始地址和突发长度, 就可以实现将数据写入/读出DDR3芯片。



经上板测试, 单通道的数据能够正常触发并存入DDR3中

◆ 数据压缩算法:



经外部 Trigger 判选, 将在从 DDR3 读取的数据中部署数据压缩算法后再进行传输。

目前只调研了差值编码、游程编码、Huffman编码等压缩方式, 后续会调研较为复杂的压缩算法并在FPGA中进行实现。

汇报完毕 恳请指正！