



2025年1-4月考核报告

报告人：徐畅

导 师：朱科军，章红宇

专 业：核技术及应用

2025年4月29日



■ 基于RDMA的高性能数据传输研究进展

- ◆ 初步搭建数据传输框架
 - 现有固件工程移植及功能测试
 - 100G-verilog-RoCEV2-lite 开源工程复现及初步测试

■ 工作计划

- ◆ 基于现有参考工程，完成数据传输通路搭建
- ◆ 完善固件中RoCE协议功能，实现RDMA 写入、RDMA 读取和重传支持、循环冗余校验和连接管理
- ◆ 优化并实现设计：RDMA 事务管理，高效DMA 数据通路设计，流控与拥塞管理机制等

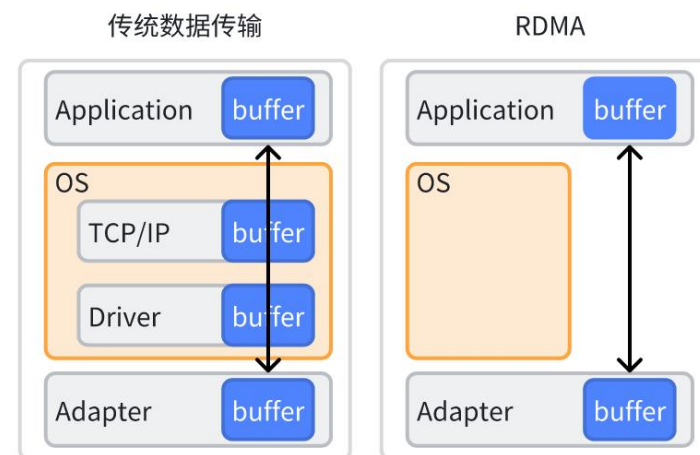


■ 开发目标

- ◆ 通过 RDMA 协议实现 FPGA 到 DAQ 的数据传输，提升传输效率，并利用内核旁路技术减少 DAQ 的 CPU 开销，从而节约计算资源

■ 参考项目

- ◆ ERNIC/Custom RoCE core+Microblaze+CMAC+DDR4 MIG
 - 点对点数据传输，实现RDMA Write等操作，基于vcu128，需要移植
- ◆ 100G-verilog-RoCEV2-lite
 - 实现简单的RDMA Write操作，基于vcu118，复现难度低
- ◆ Network_stack (Customed IP core)
 - 已实现 RDMA 写入、RDMA 读取和重传支持，需要搭建整个数据传输通路





基于RDMA的高性能数据传输研究

■ 现有固件工程移植及功能测试 (vcu128->vcu118)

◆ 固件实现逻辑

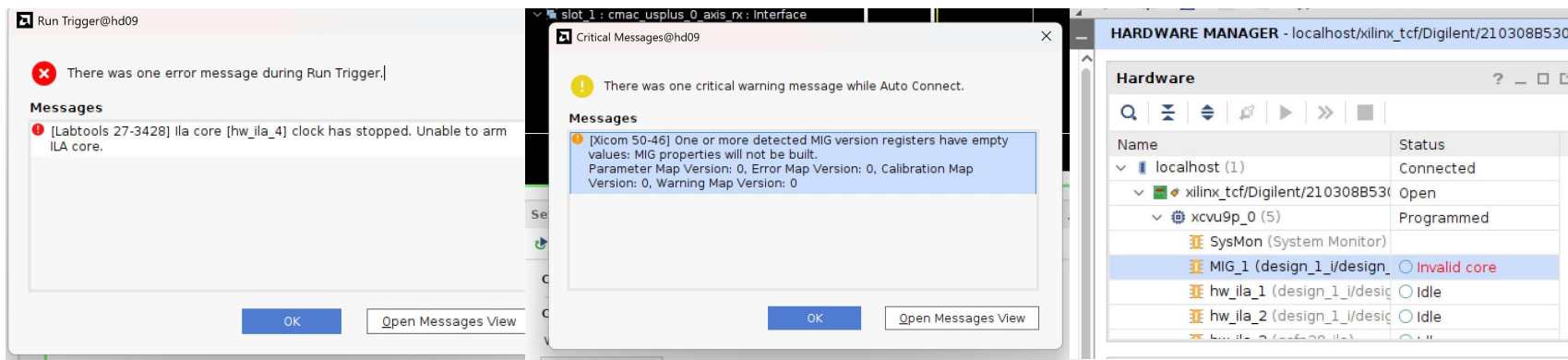
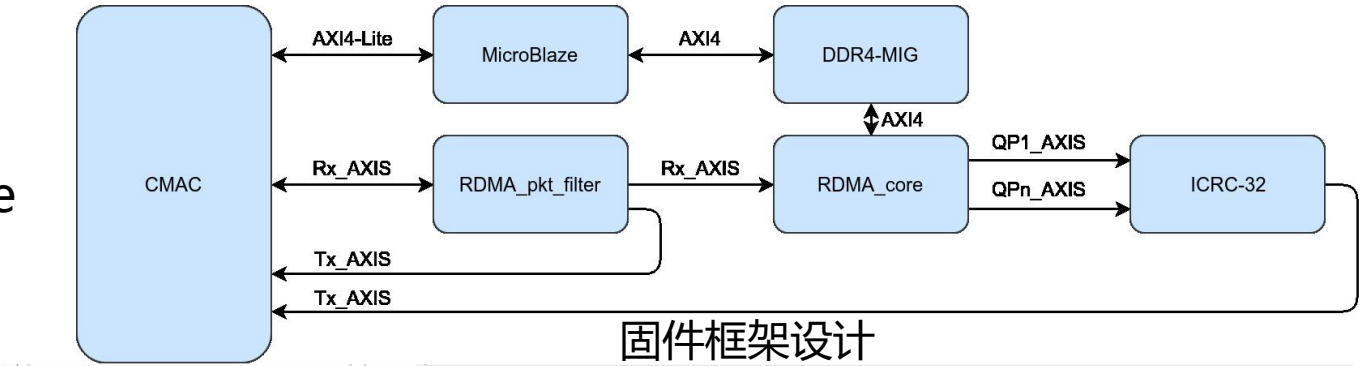
- CMAC+Microblaze+Custom RoCE core

◆ vcu128与vcu118

	时钟	DDR	QSFP28
vcu128	100MHz、300MHz	16 GB	×4
vcu118	125MHz、250MHz、300MHz	8 GB	×2

◆ 出现问题

- 时序违例
- ILA clock has stopped
- Invalid Core
-



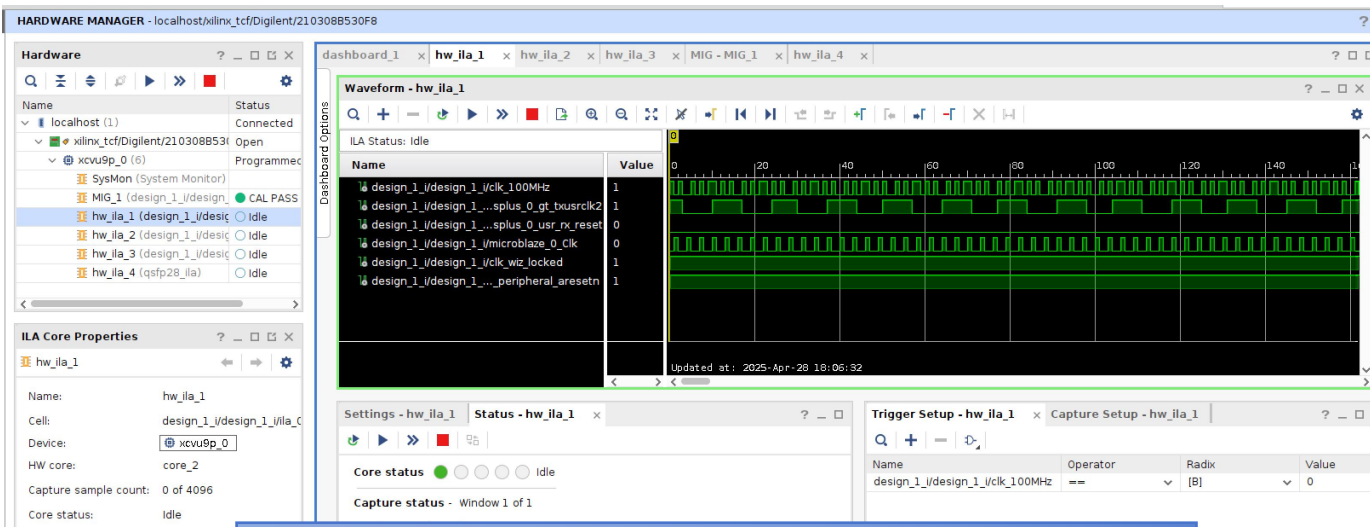


基于RDMA的高性能数据传输研究

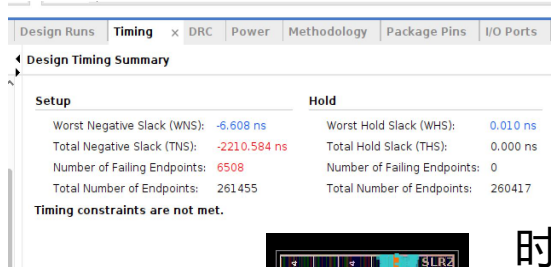
■ 现有固件工程移植及功能测试 (vcu128->vcu118)

◆ 问题解决

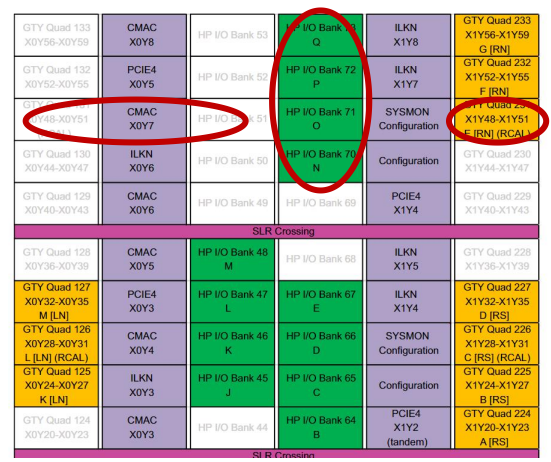
- 修改CMAC (GTY) 的参考时钟频率
- 调整管脚约束, 修改CMAC、DDR4 MIG IP核的配置
- 使用vivado提供的优化选项: -directive RuntimeOptimized等



- CMAC正常工作, 输出时钟正常-> ILA正常工作
- DDR4 calibration pass
- 时序违例减少

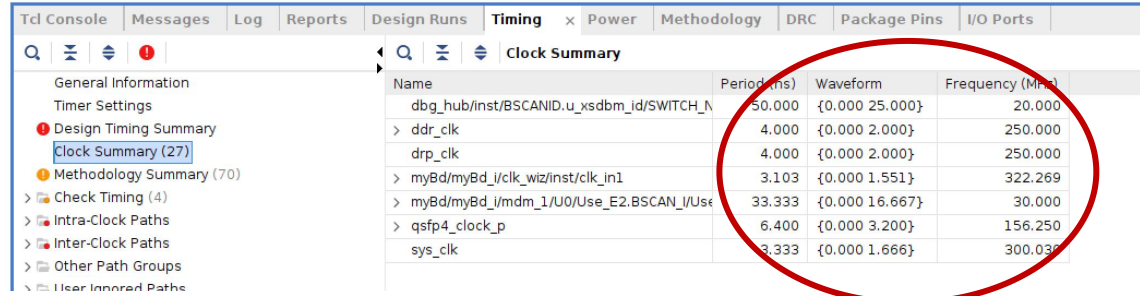


时序优化



布局规划

XCV9P Banks in FLGA2014 Package



时钟约束



RDMA数据传输固件框架设计

■ 现有固件工程移植及功能测试 (vcu128->vcu118)

◆ 搭建点对点传输测试平台

◆ 测试结果

- 物理层、链路层连接成功
- ARP成功
- 网路层逻辑需要进一步调试

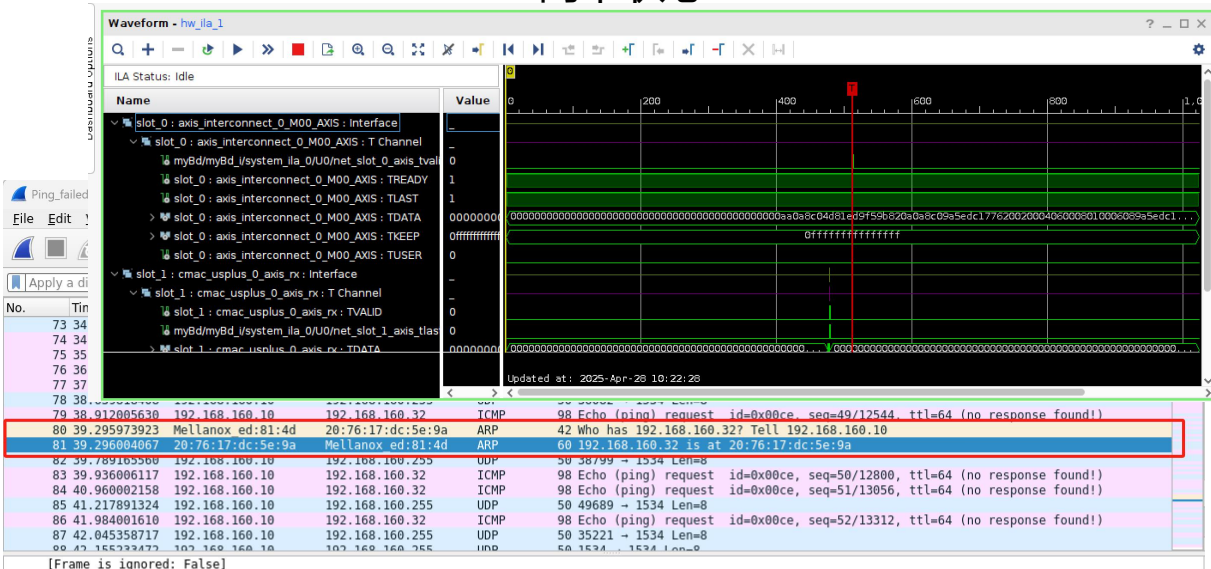


```
Advertised pause frame use: Symmetric
Advertised auto-negotiation: Yes
Advertised FEC modes: RS
Speed: 100000Mb/s
Duplex: Full
Auto-negotiation: on
Port: Direct Attach Copper
PHYAD: 0
Transceiver: internal
Supports Wake-on: d
Wake-on: d
Link detected: yes
```

网卡状态



Hd09与VCU118开发板



ARP数据包

7



■ 基于RDMA的高性能数据传输研究

- ◆ 基于现有参考工程，完成数据传输通路搭建
- ◆ 完善固件中RoCE协议功能，实现RDMA 写入、RDMA 读取和重传支持、循环冗余校验和连接管理
- ◆ 优化并实现设计：RDMA 事务管理，高效DMA 数据通路设计，流控与拥塞管理机制等



感谢各位老师，请批评指正