
GNNU-IHEP



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences



赣南师范大学
Gannan Normal University

四月季度考核

汇报人：朱秋生

导师：严雄波、王兴权

指导老师：李筱婷、叶竞波

时间：4月29日

Electronics

目录

CONTENTS

- 晶体管性能研究
- 高性能测试测试平台
 1. 信号源质量评估
 2. 窄脉冲产生电路设计
 3. 时钟芯片ROPLL测试板设计

1.1 需求和目的

- 前端ASIC设计有抗辐照需求
- 通过对晶体管进行辐照前后性能前后性能测量，能给芯片设计提供一定的指导

1.2 测试对象

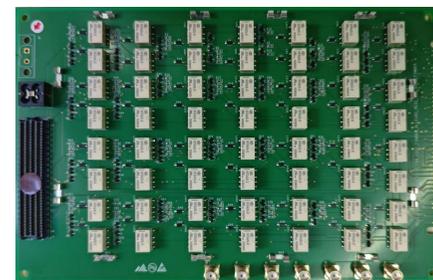
- 1号片子有12个MOS管，里面包含4个PMOS、4个NMOS和4个DNMOS；
- 2号片子有28个MOS管，里面包含10个rfPMOS、10个rfNMOS、4个lvtPMOS和4个lvtNMOS。

1.3 测试内容

- 测量mosfet的漏电流以及I-V特性曲线；
- TID辐照测试；
- 低温测试。

1.4 进展

- 通过KC705实现测试对象的切换，目前测试环境已经搭建好；
- 之前已经做了一部分某些工艺ASIC的整体测试，《TID characterization of a serial transmitter core for high-energy physics experiments》（二作）文章已经被RDTM接收。



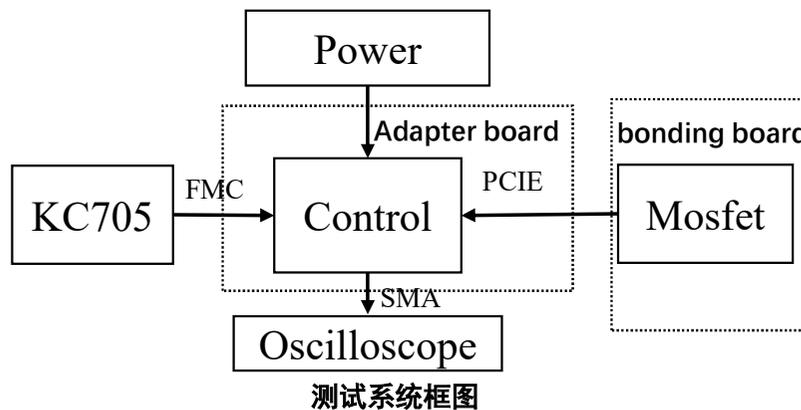
Adapter board



Bonding board



adapter board + 屏蔽罩

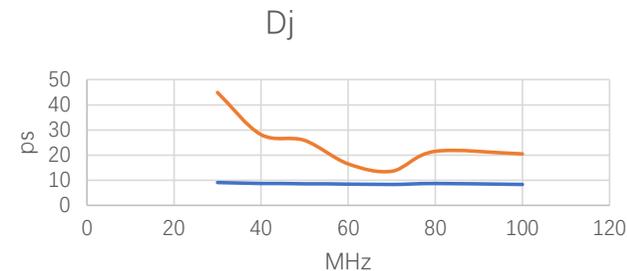
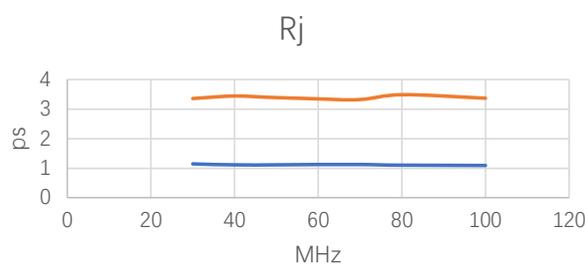
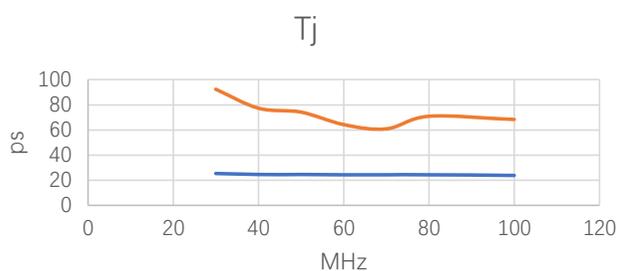


2.1 需求和目的

1. 高精度的TDC芯片测试需要高精度的信号源，如10ps、5ps和2ps分辨的TDC；
 - 信号源质量评估（Agilent和R&S）；
 - 巴伦测试。
2. 模拟前端sensor产生的窄脉冲信号，用作FPMROC等芯片的测试信号
 - 窄脉冲产生电路设计。
3. TDC等芯片所需时钟
 - 目前出现过0.64、1.28、1.6、5.12GHz等诸多时钟需求；
 - 原LCPLL能提供的频率范围较窄，无法满足时钟需求。

2.2 研究进展

2.2.1 信号源及巴伦测试



— Si5347 — Agilent

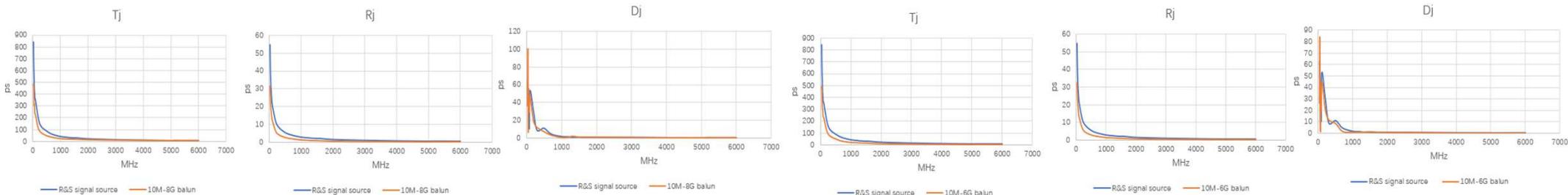
— Si5347 — Agilent

— Si5347 — Agilent

输出频率40MHz时

	Tj	Rj	Dj
Agilent信号发生器	77.3ps	3.44ps	28.2ps
Si5347	24.6ps	1.11ps	8.77ps

我们需要的低频时钟用Si5347时钟板更为合适。



输出频率1.6GHz

	Tj	Rj	Dj
R&S信号发生器	31.7ps	2.17ps	0.8ps
巴伦1(10M-8GHz)	14.79ps	0.98ps	1.06ps
巴伦2(10M-6GHz)	15.5ps	1ps	1.31ps

输出频率5.12GHz

	Tj	Rj	Dj
R&S信号发生器	9.9ps	0.66ps	0.3ps
巴伦1(10M-8GHz)	5.87ps	0.38ps	0.39ps
巴伦2(10M-6GHz)	4.97ps	0.31ps	0.26ps

单通道FPMROC所需要的1.6GHz时钟可以用信号发生器加巴伦1或者FPGA提供，serializer所需要的5.12GHz时钟可以用信号发生器加巴伦2提供。

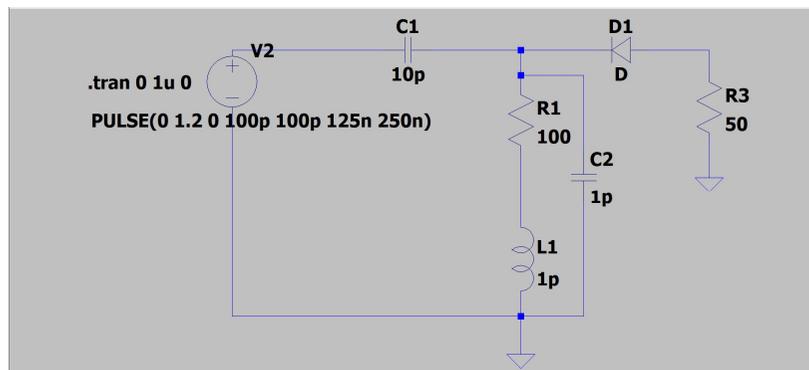
2.2.2 窄脉冲产生电路

2.2.2.1 设计目标

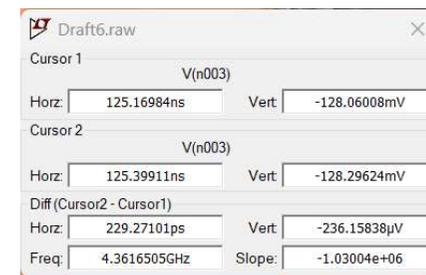
- 脉宽50-300ps
- 幅度350mV

2.2.2.2 设计进展

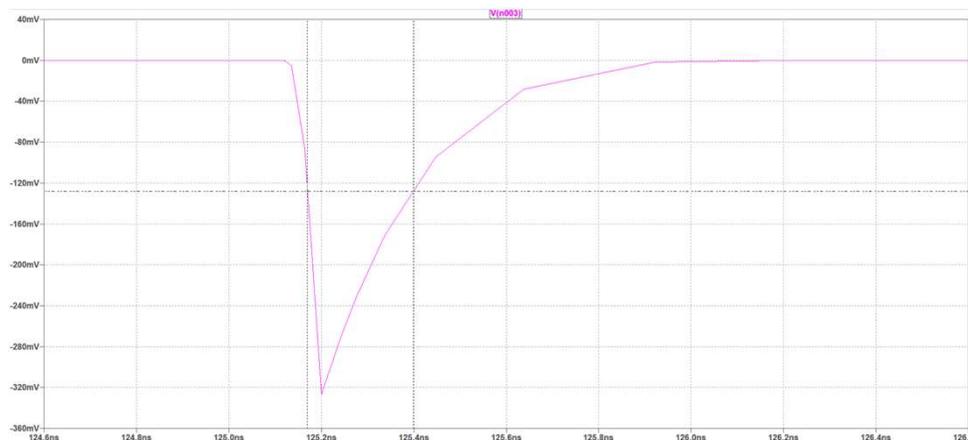
目前完成了原理图的仿真，下一步准备设计PCB, 制板回来测试，根据测试结果改进设计。



原理图



脉宽测量



仿真结果

2.1 RO_PLL说明

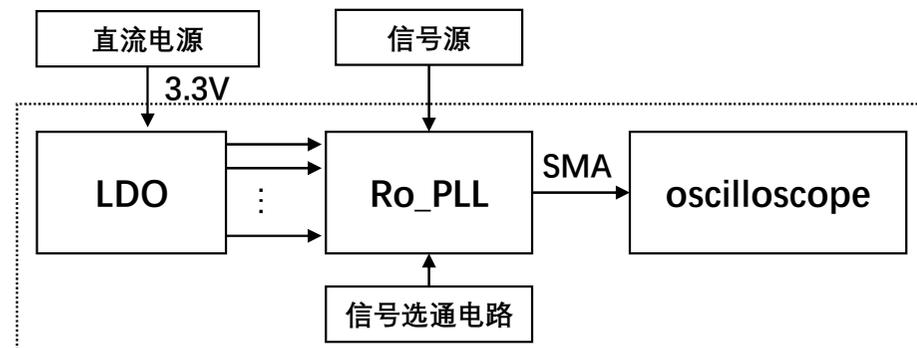
- 原有LCPLL能提供的频率范围较窄，频率设置不够灵活，在此基础上研发了RO锁相环；
- 能提供较宽的频率范围：0.4-4.4GHz；
- 能提供更为灵活的频率调节。

2.2 PCB的设计需求

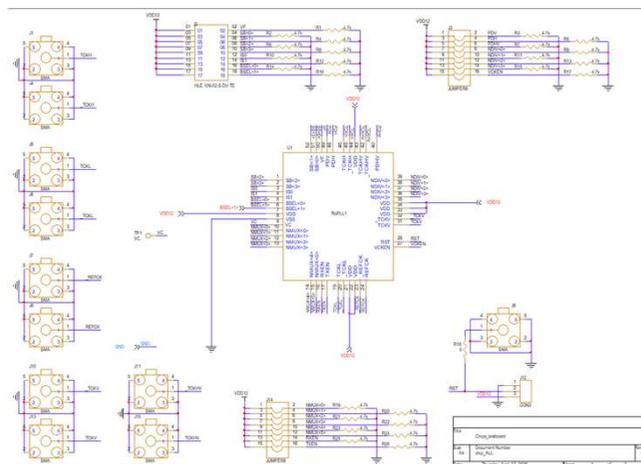
- 包含5对差分线，其中有3对高频时钟；
- 包含24~25个配置位；
- 包含1个VC测试点；
- 需要两个片子通用一块PCB；
- 需要考虑信号完整性。

2.3 设计进展

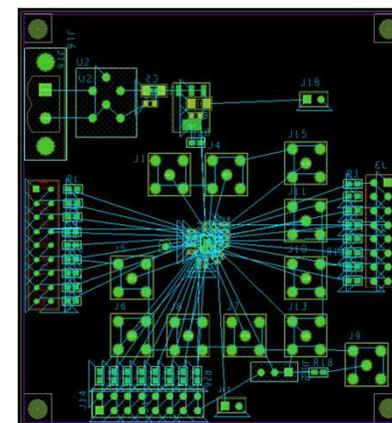
目前完成了原理图的设计和PCB的布局。



设计框图



原理图



PCB

下一步工作计划

- 继续推进晶体管性能研究的工作；
- 继续完成ROPLL测试板的设计；
- 继续推进FPMROC等芯片的测试准备工作。

请各位老师指正