

LGAD读出电子学

胡坤¹, 孙小涵¹, 金丽燕¹, 李响¹,
赵梅², 梁志均²

1. 山东大学前沿交叉科学青岛研究院

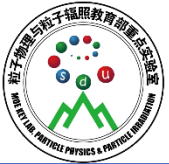
2. 中国科学院高能物理研究所



山东大学



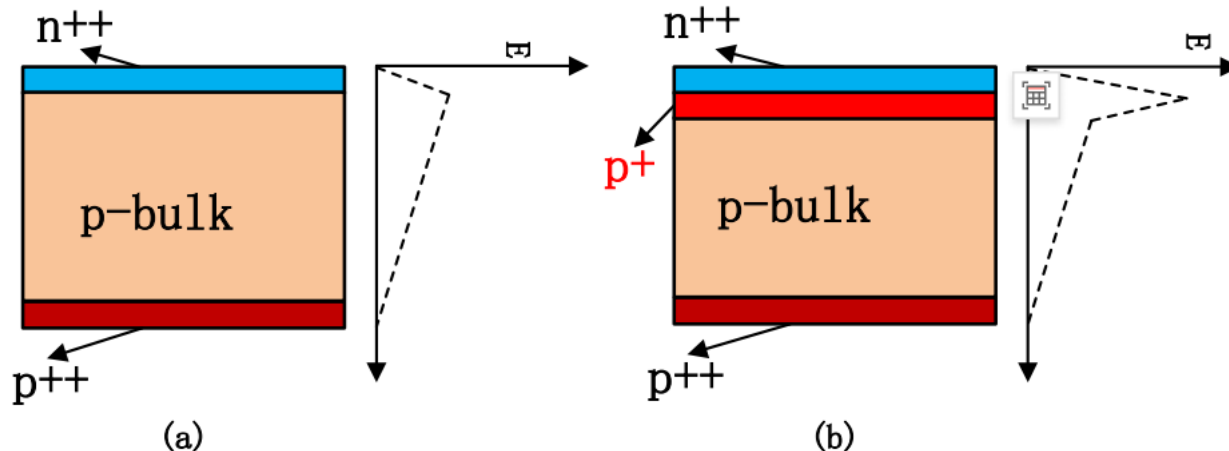
中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences



outline



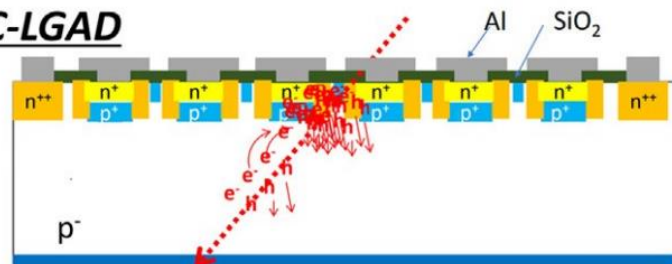
- LGAD探测器
- 时间测量方法
- Altiroc测试系统
 - ✓ 逻辑控制+SiTCP
 - ✓ Vth&Vthc扫描
- 基于FPGA的测试系统
 - ✓ 前端放大
 - ✓ TDC
- 总结



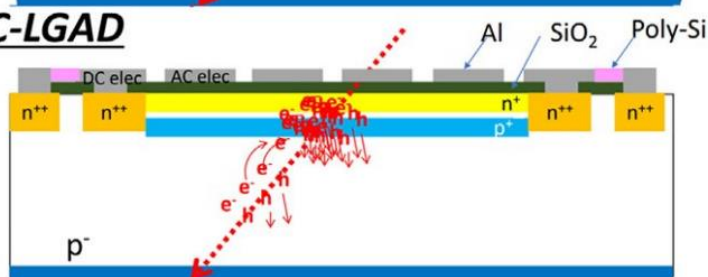
- ✓ 很好的信噪比
- ✓ 增益约为10-50
- ✓ 可以达到30ps的时间分辨率

传统的 NiP 硅探测器 (a) 和 LGAD 探测器 (b)

DC-LGAD

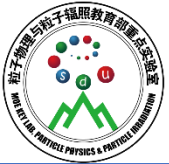


AC-LGAD



DC-LGAD: 探测器像素间的区域都是没有增益的，也即死区，填充因子很低；

AC-LGAD: 铝制的像素电极则通过一层绝缘氧化层与增益层相连，通过电极和增益层之间的电容实现了交流耦合输出



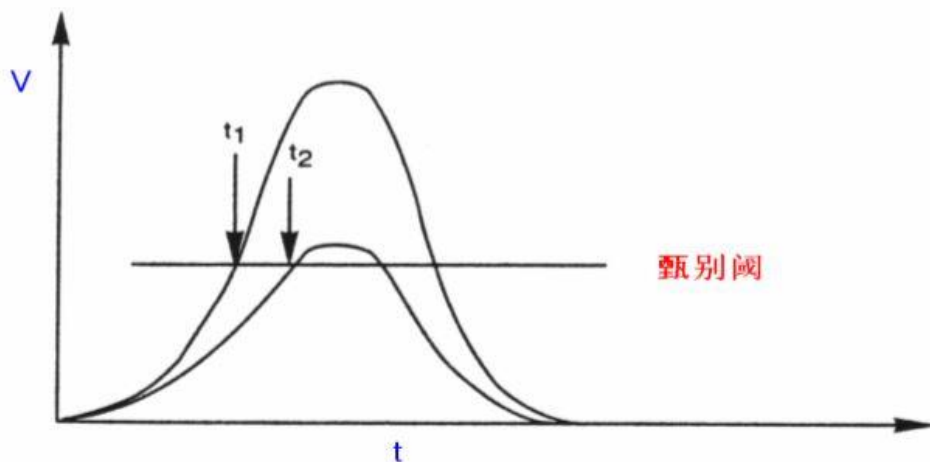
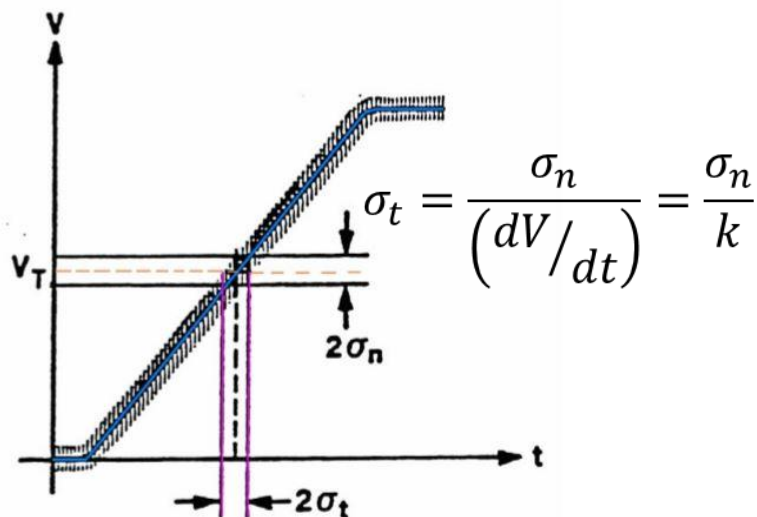
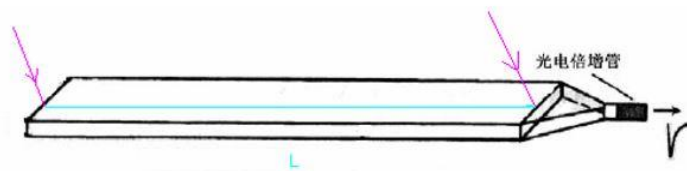
基本的时间测量方法

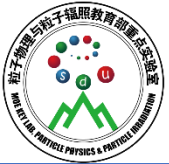


- 甄别与数字变换
 - 定时甄别：将一个物理事例的模拟信号转换为一个具有时间信息的数字逻辑信号
 - 前沿定时
 - 过零定时
 - 恒比定时
 - 时间数字变换 (TDC)

■ 输入到时间信息分析系统的信号出现时间晃动主要有以下几个因素：

- 探测器的固有晃动；
- 噪声引起时检电路输出的时间晃动(time jitter)；
- 幅度时间游动(time walk)效应。

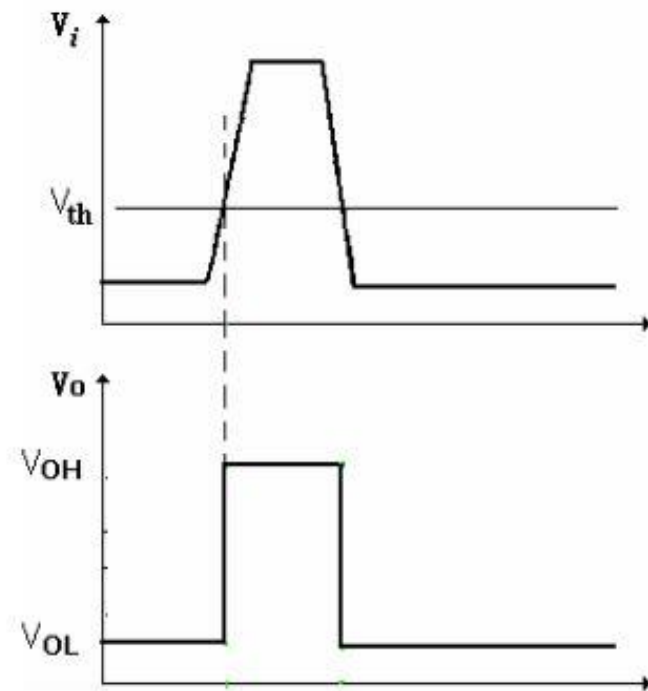
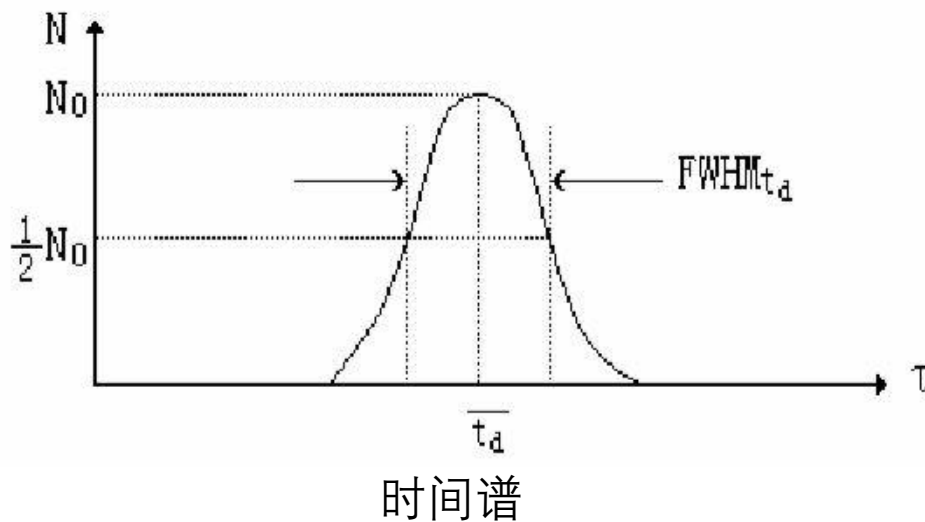


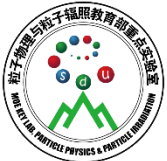


前沿定时

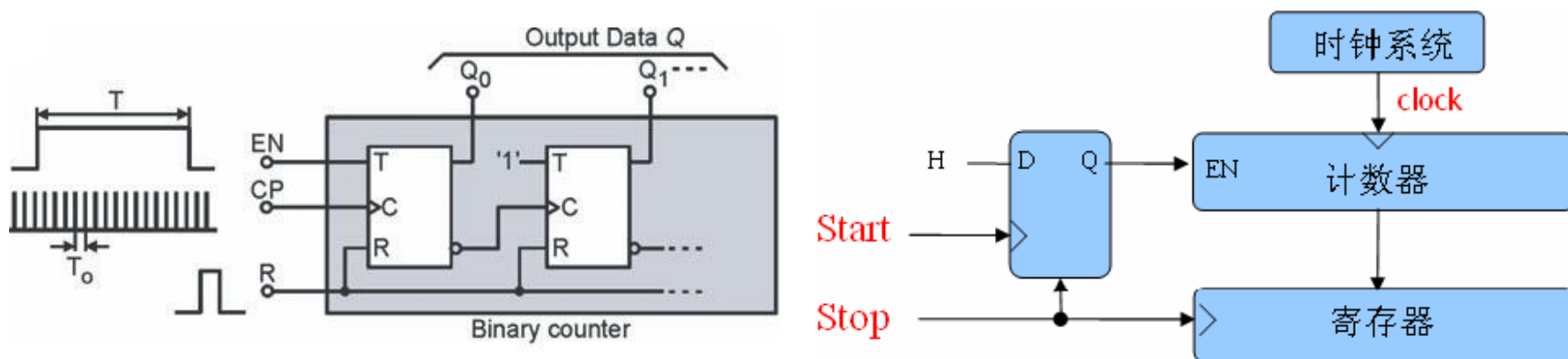


- 前沿定时是检出定时信号的最简单方法,来自探测器或经过放大器的脉冲直接触发一个阈值固定的触发电路,在脉冲的前沿上升到超过阈值的时刻产生输出脉冲作为定时信号;
- 高速电压比较器组成前沿定时电路。

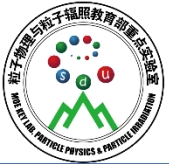




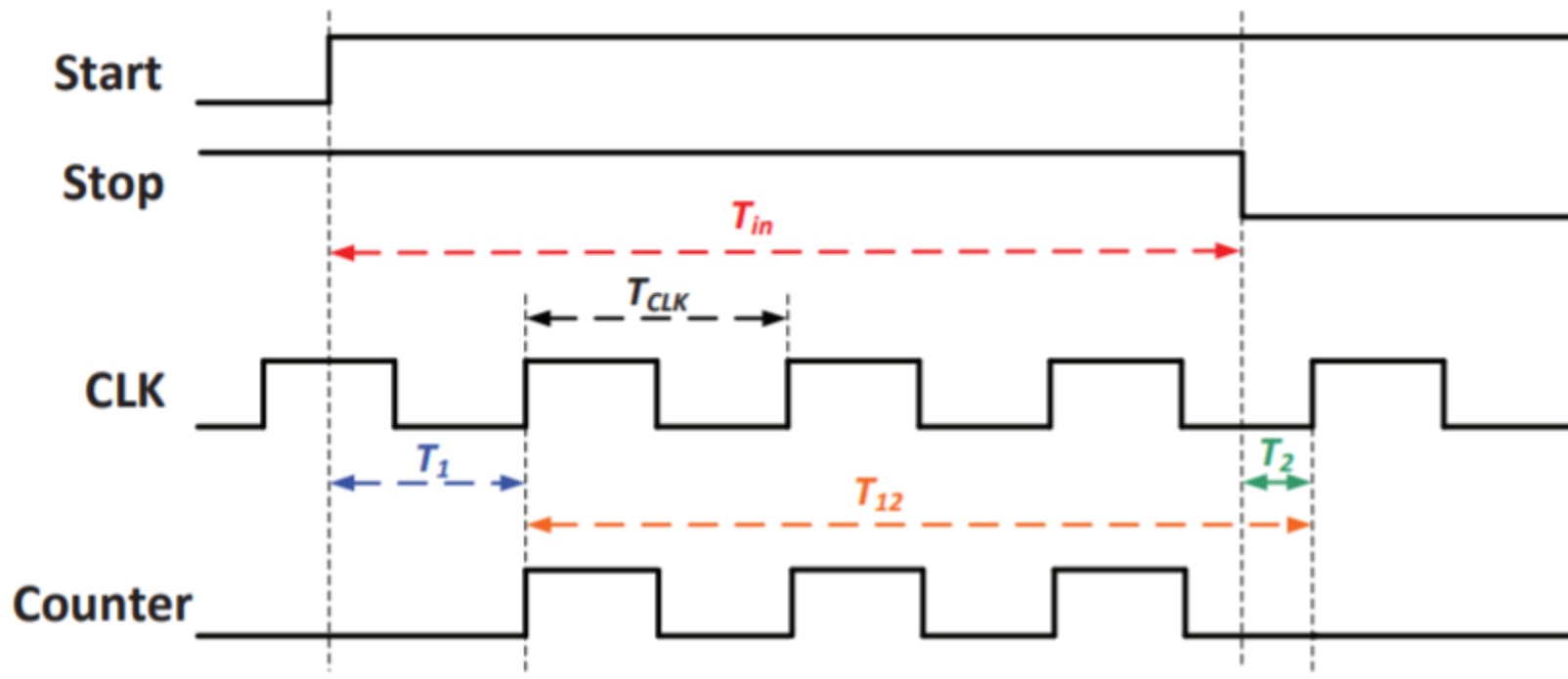
直接时间数字变换 (计数器型)

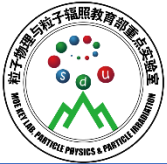


- 易于实现
 - 异步计数器 → 同步计数器 → 格雷码计数器
- 容易得到大的动态范围
 - 增加一个触发器即扩大一倍动态范围
- 精度不易提高
 - 1GHz时钟频率 $\leftrightarrow$ LSB=1ns
 - 与信号异步, 最大误差 $\pm$ LSB
 - 可通过多次测量求平均提高精度

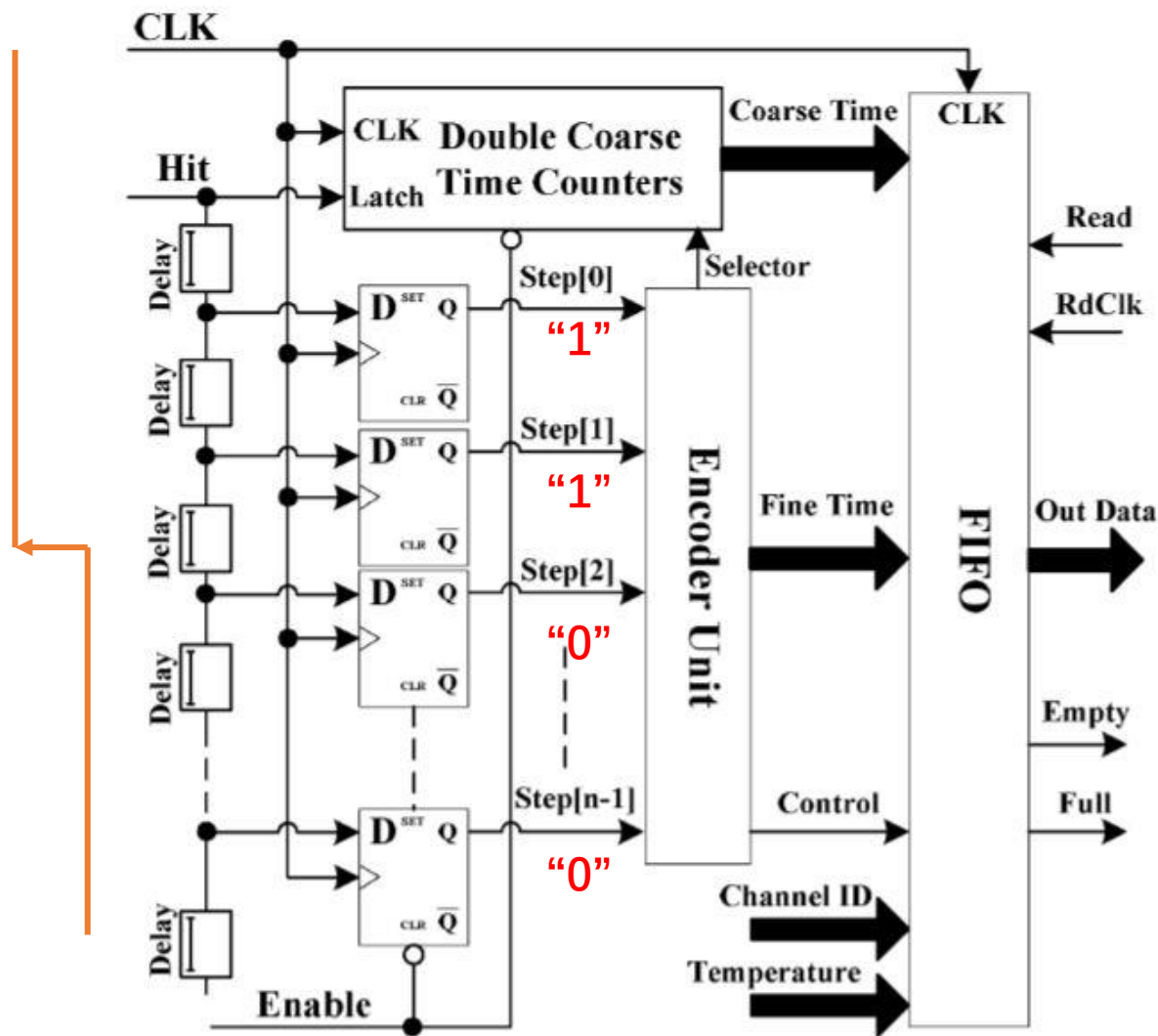


起停计波形图





基于FPGA的内插TDC



1. 法国巴黎IJCLAB: Altiroc芯片;
2. 中国科学技术大学: LATIC芯片
3. 布鲁克海文国家实验室BNL: EICROC芯片
4. 西北工业大学&高能所

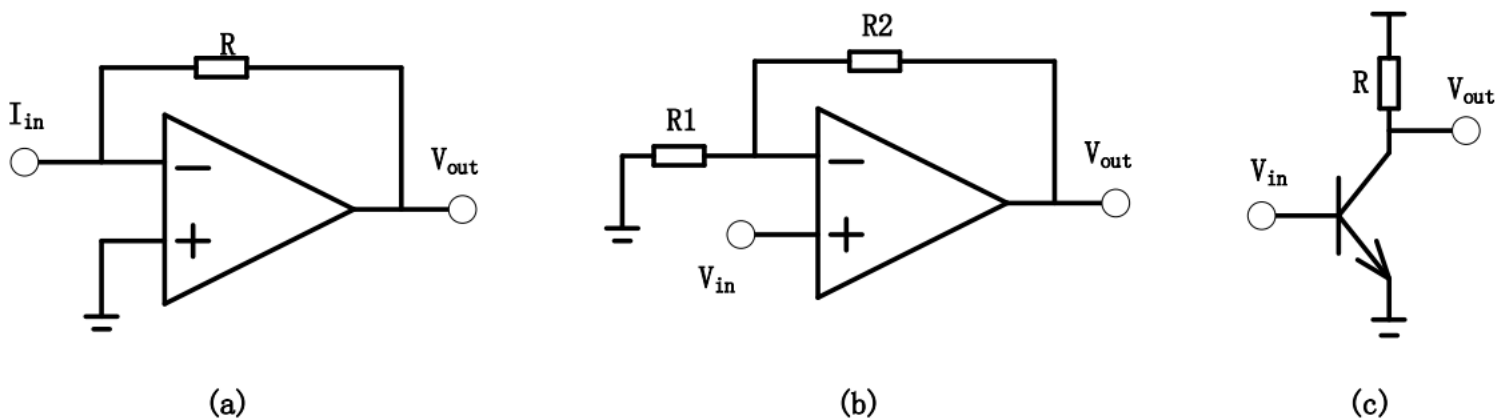


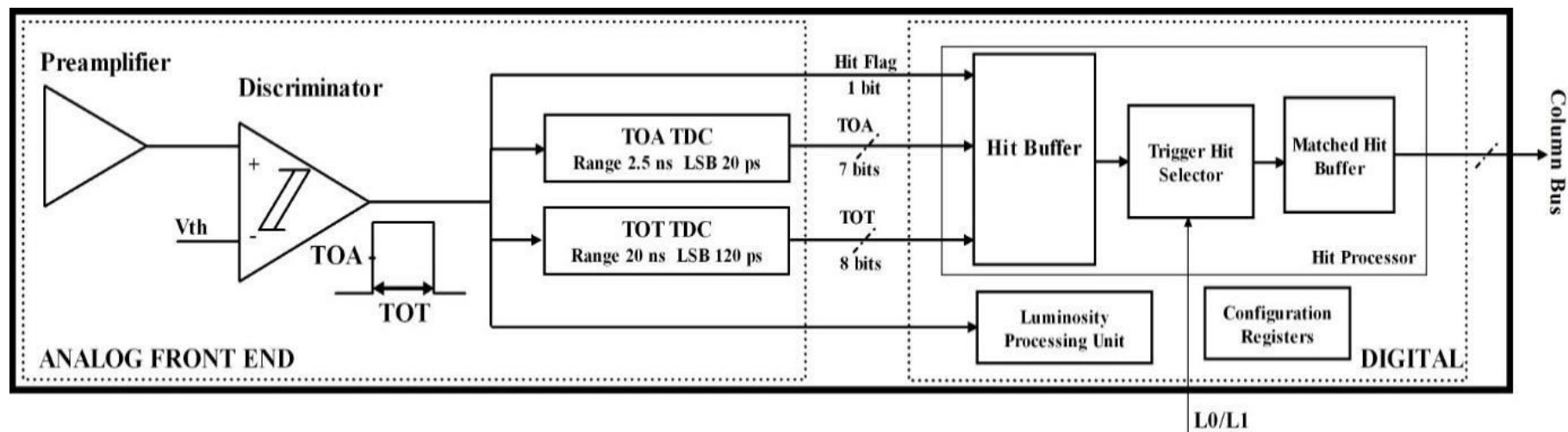
图 5、前端放大电路简图：跨阻 TIA 放大器 (a)、电压放大器 (b) 和宽带射频放大器 (c)。

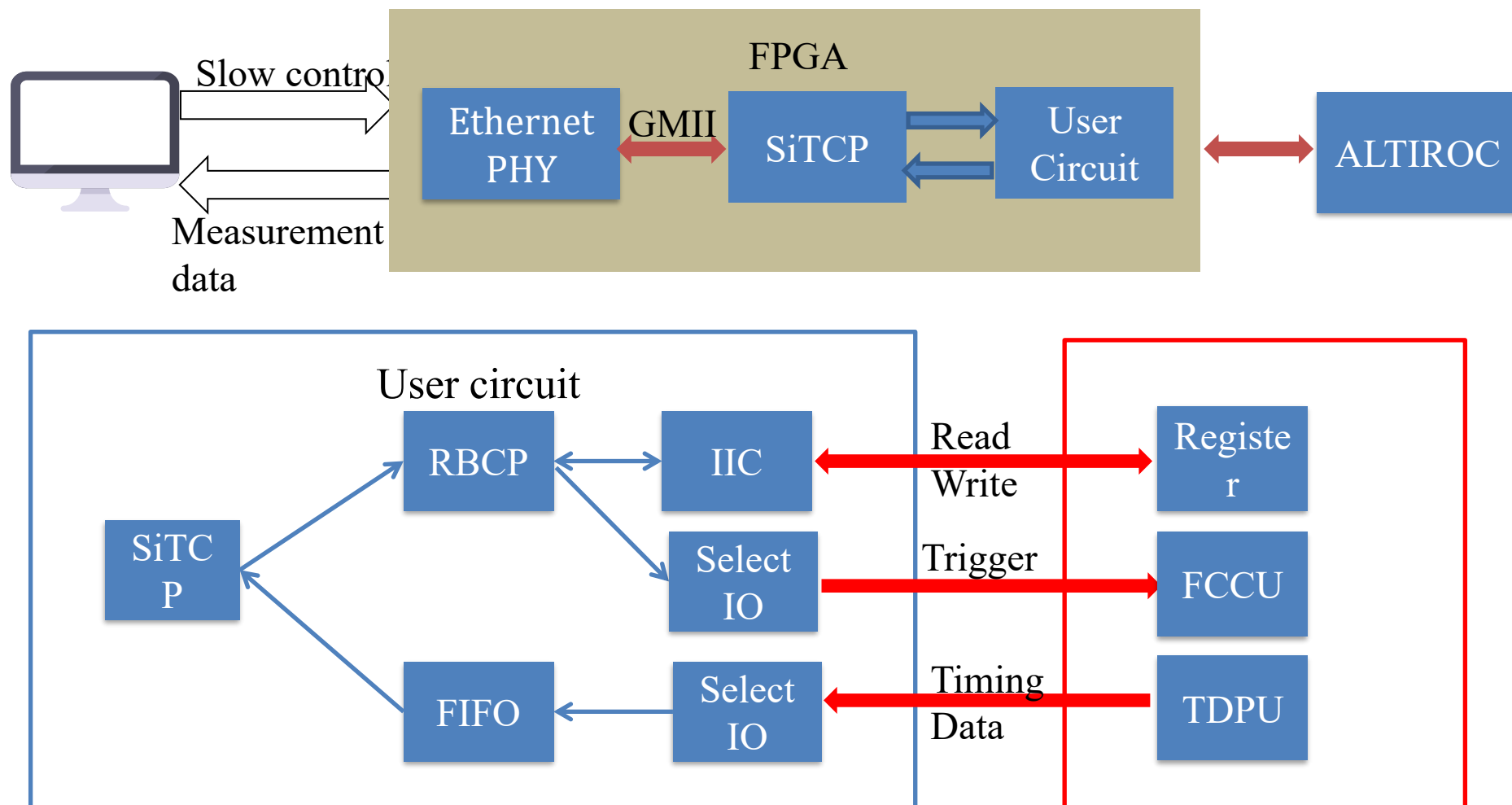
➤ 模拟部分:

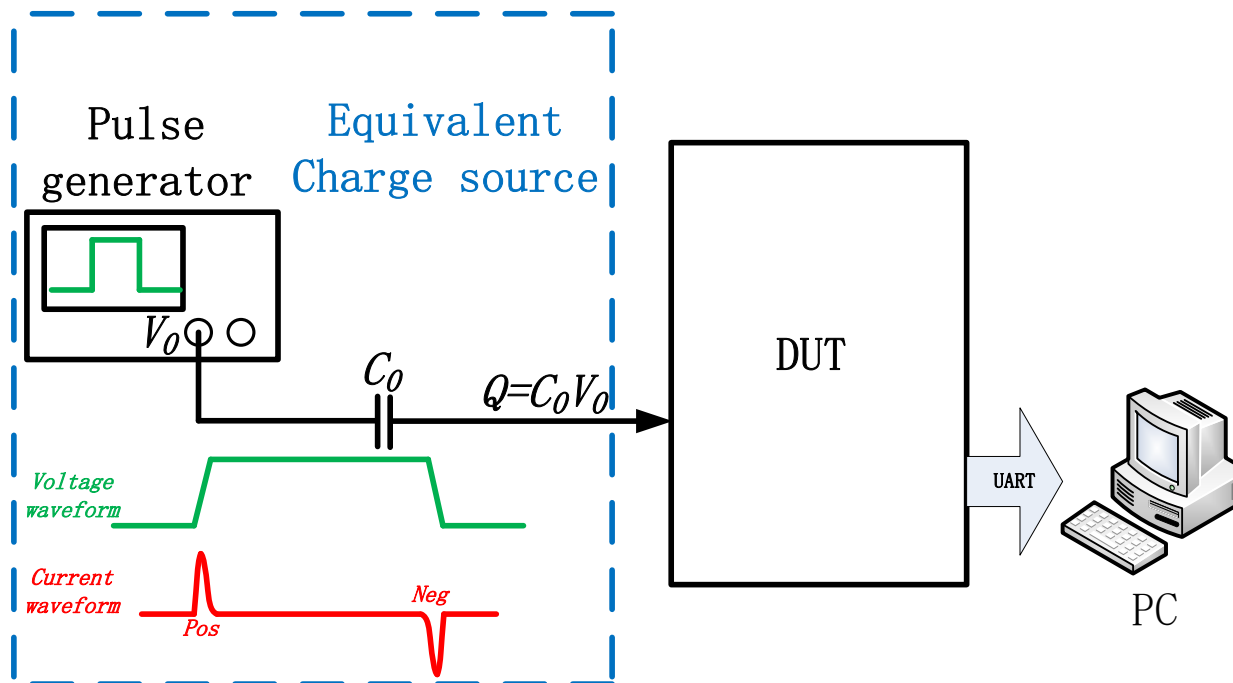
- 模拟部分由一个跨阻放大器 (TZ) 和一个鉴别器组成, 该鉴别器与两个 TDC 相连
- TDC (Time to Digital Converter): 到达时间 (TOA) 和过阈时间 (TOT) TDC

➤ 数字部分:

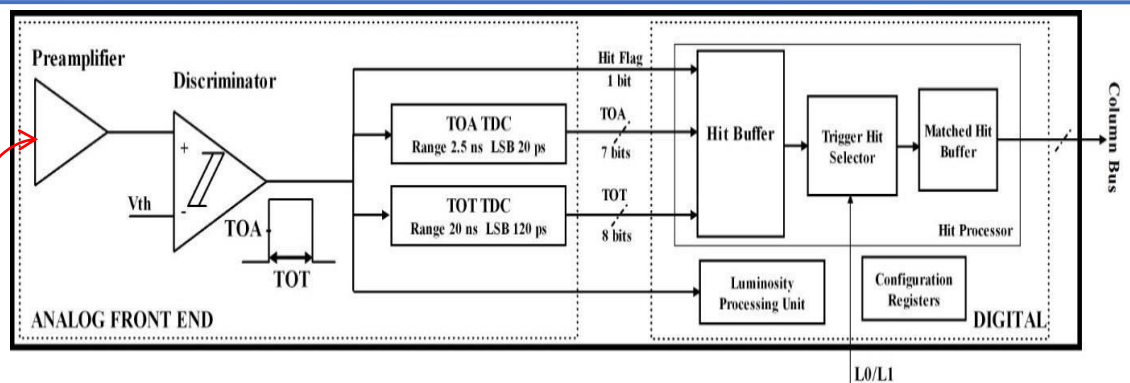
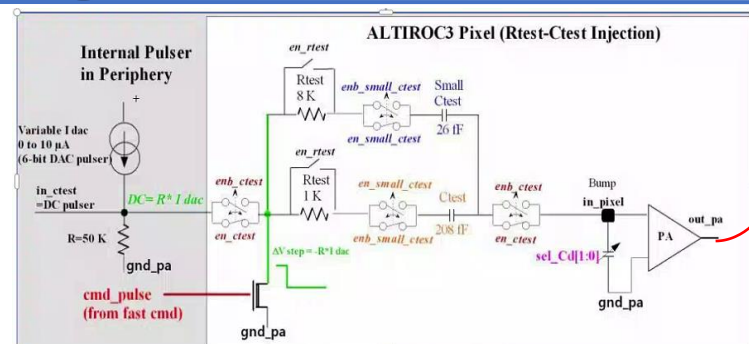
- 当探测器信号到来后, 经过模拟部分处理的时间数据会被存储在命中缓冲区 (Hit Buffer) 中, 该缓冲区是一个 1536×19 位的静态随机存取存储器 (SRAM)。
- 当接收到 L1 触发信号的命令时, 数据会被存储在匹配命中缓冲区 (Matched Hit Buffer) 中, 该缓冲区是一个深度为 8 的先进先出 (FIFO) 存储器。



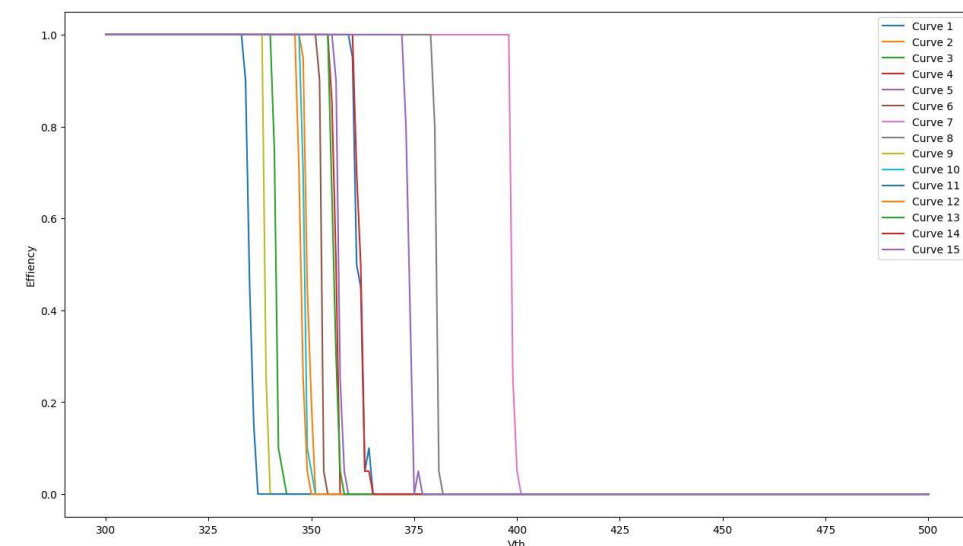




$$i_{eq}(i) = C_0 \frac{dU(t)}{dt} \xrightarrow{\text{积分}} Q = C_0 \times V_0$$



产生固定电流



VthScan_col0

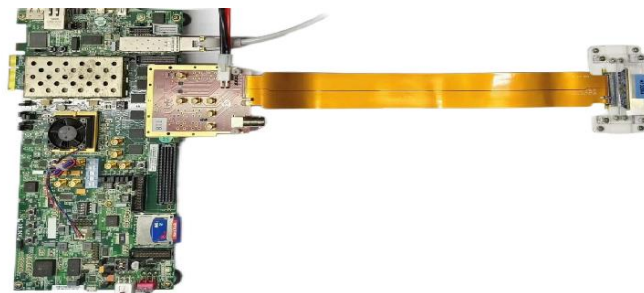
纵坐标: efficiency (当产生N次相同电流时, 通过鉴别器的次数为M, $\text{efficiency} = M/N$)

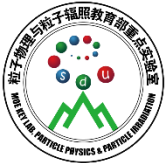
横坐标: 阈值

VthScan:

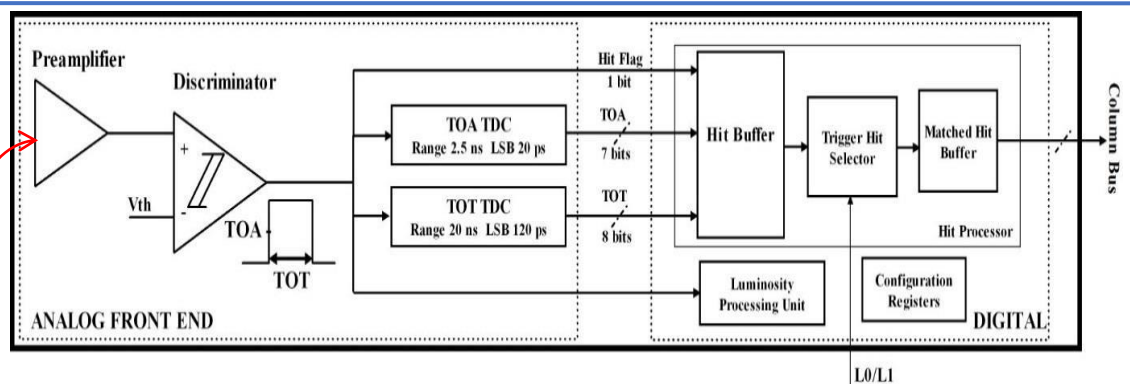
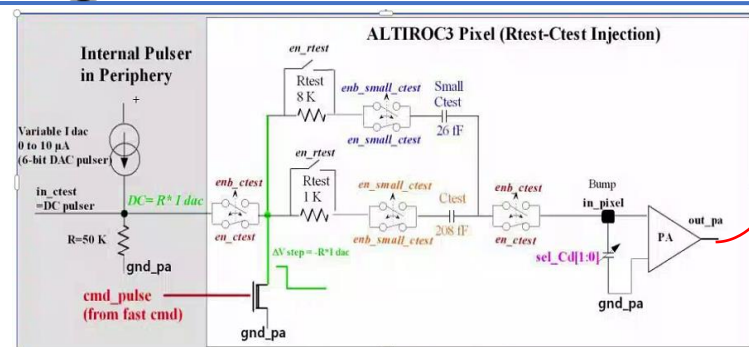
选择第一列, 设置固定电荷量, 将阈值从小到大设置

随着阈值的提高, 通过鉴别器的次数越来越少, 直到最后为0

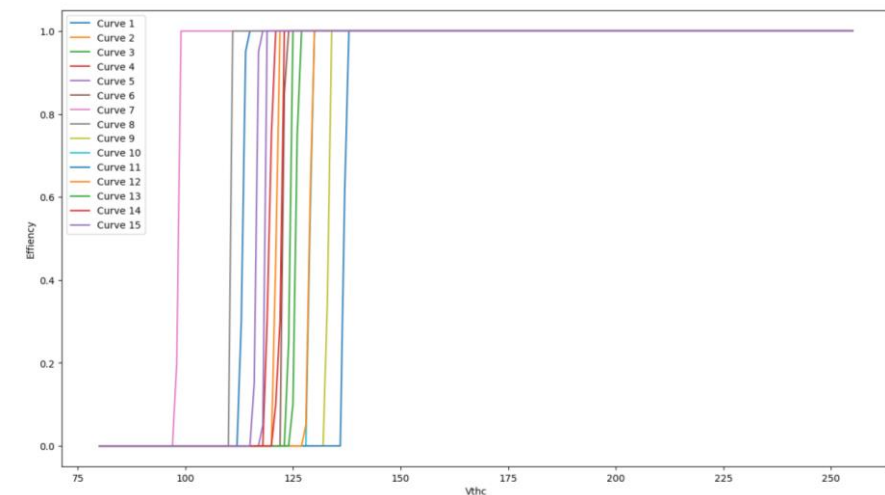




Altiroc测试系统



产生固定电流



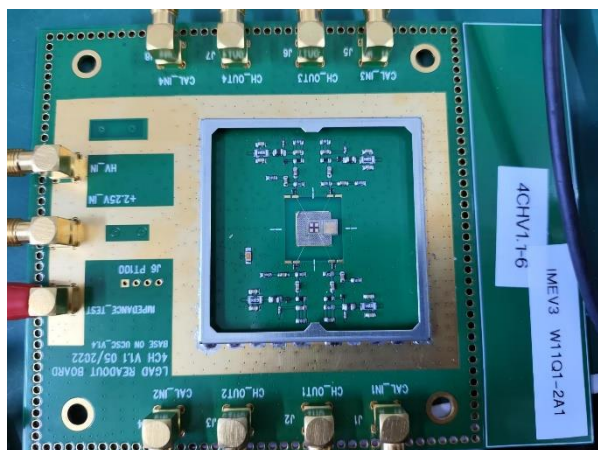
VthcScan_col0

对于每个像素，采用8位DAC校正 V_{thc} 来补偿前置放大器输出直流电压的不均匀性

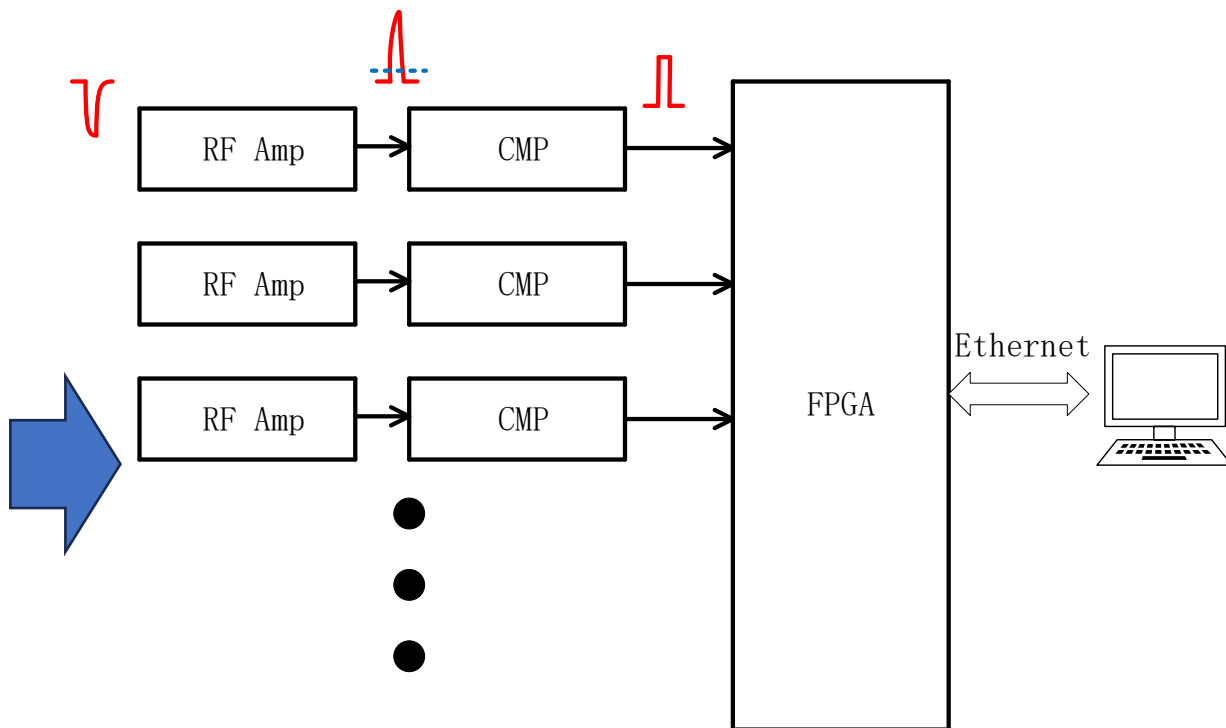
V_{thc} Scan:

选择第一列，设置固定电荷量

设定合适的 V_{th} 值，从大到小依次设置 V_{thc} 值



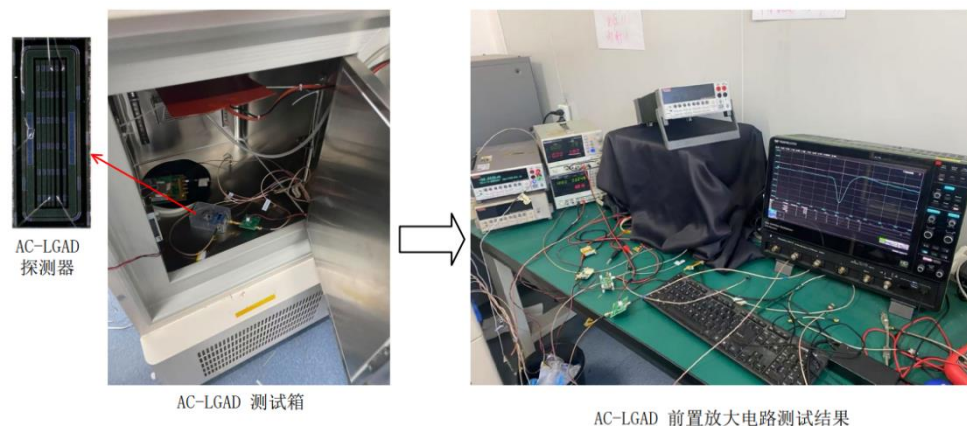
LGAD detector & adapter board



LGAD front-end electronics (FEE)

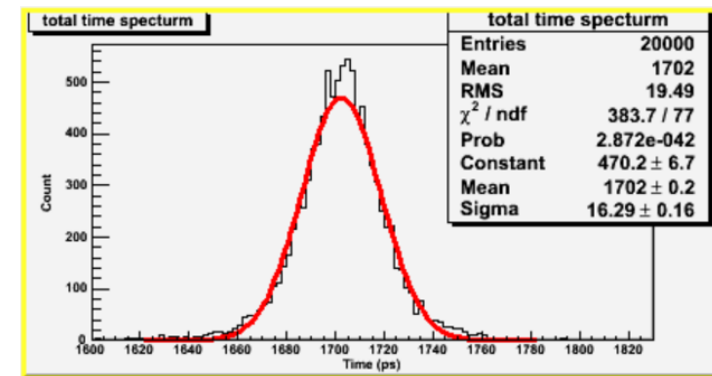
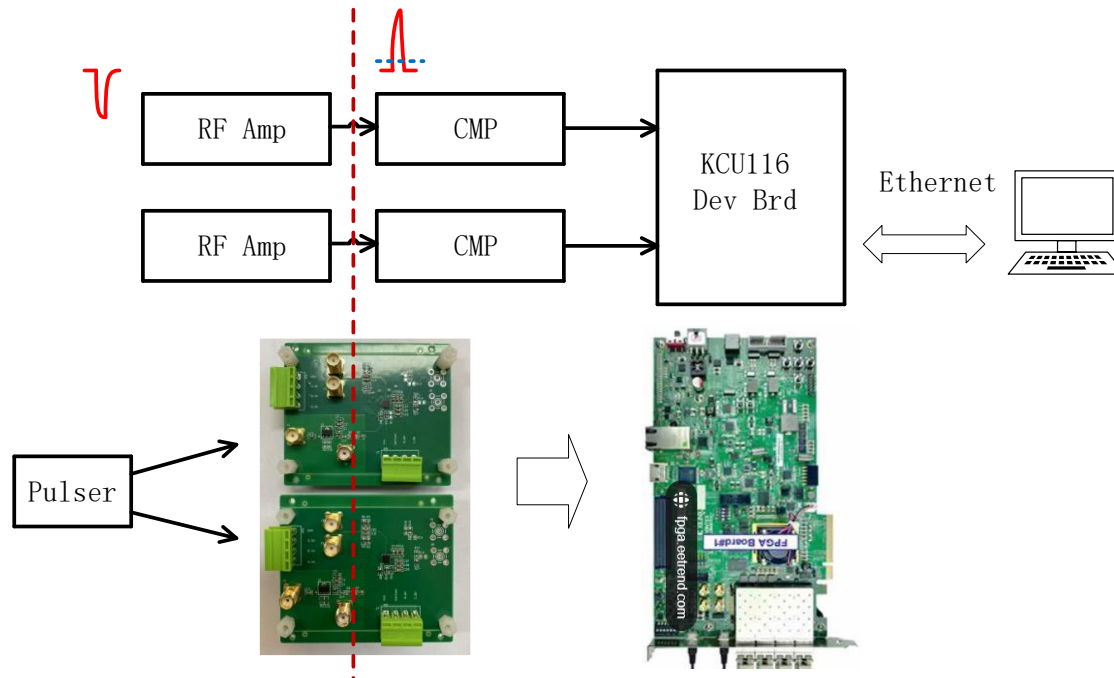
PC

PGA-103+ 带宽4GHz, 上升沿在600ps-800ps;
BGA420 带宽3GHz, 上升沿在500-600ps;
BGA427 带宽3GHz, 上升沿在400-500ps;
PHA-23LN+ 带宽2GHz, 上升沿在600ps;
ADL 5536 带宽1GHz, 上升沿700ps-900ps;
MAR-6+/ADL5545 带宽6GHz, 一级放大状态下, 上升沿550ps, 信号宽度<2ns。



高能所测试现场



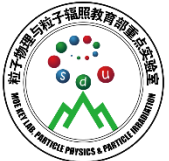


~11 ps

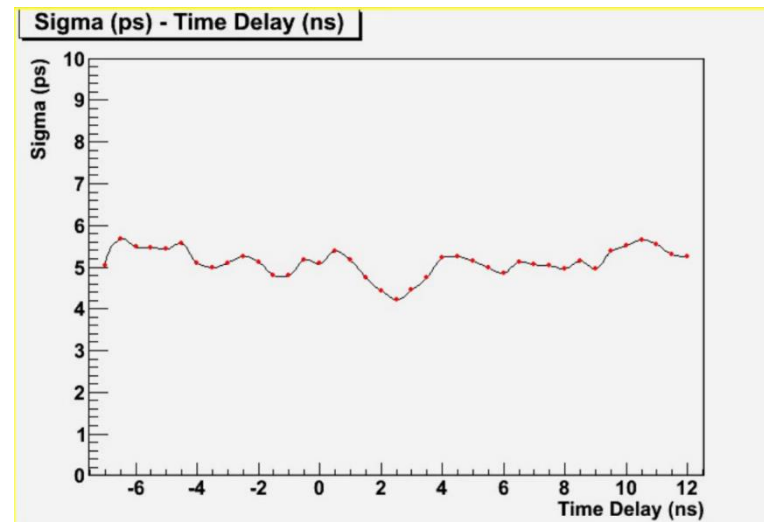
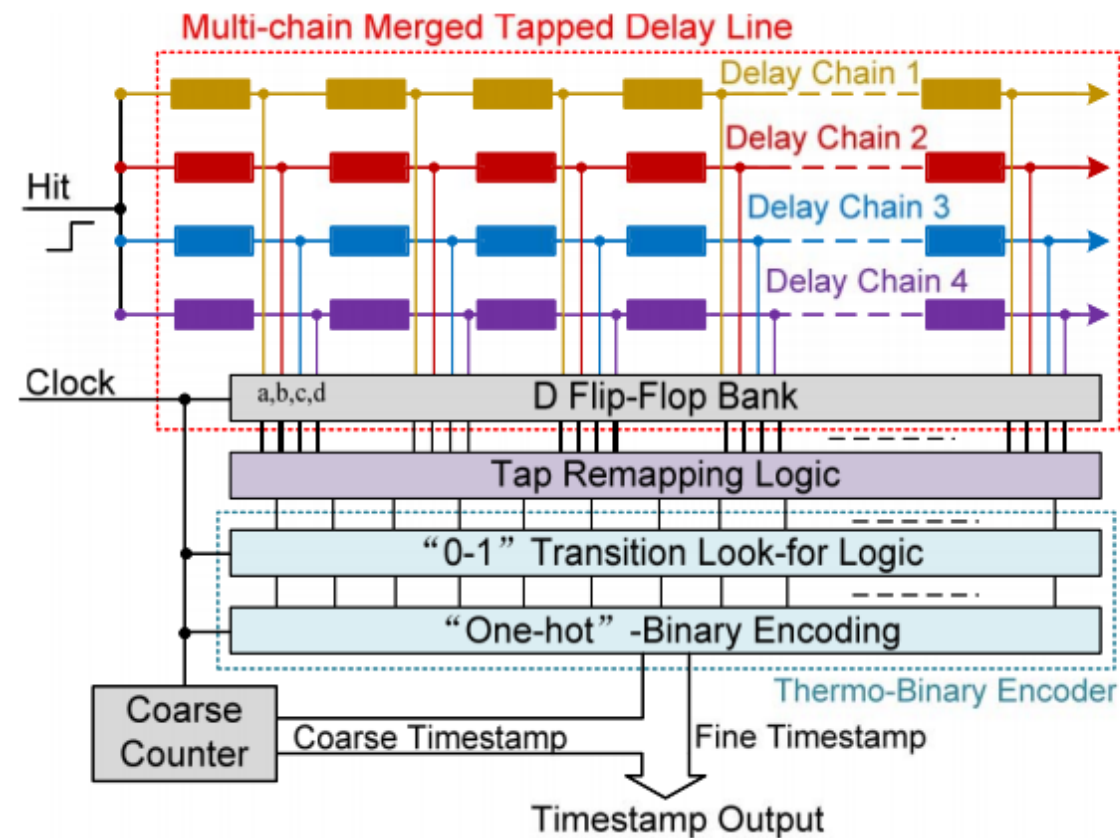
2-ch test system to validate the time resolution measurement:

1. RF: ADL5545->6 GHz with integrated bias control circuit;
2. Ultrafast comparator: ADCMP572 with differential output;
3. Time-to-Digital Converter (TDC): KCU116 Dev-> Tapped delay time technology in the FPGA.

Currently, ~6 ps resolution can be achieved.

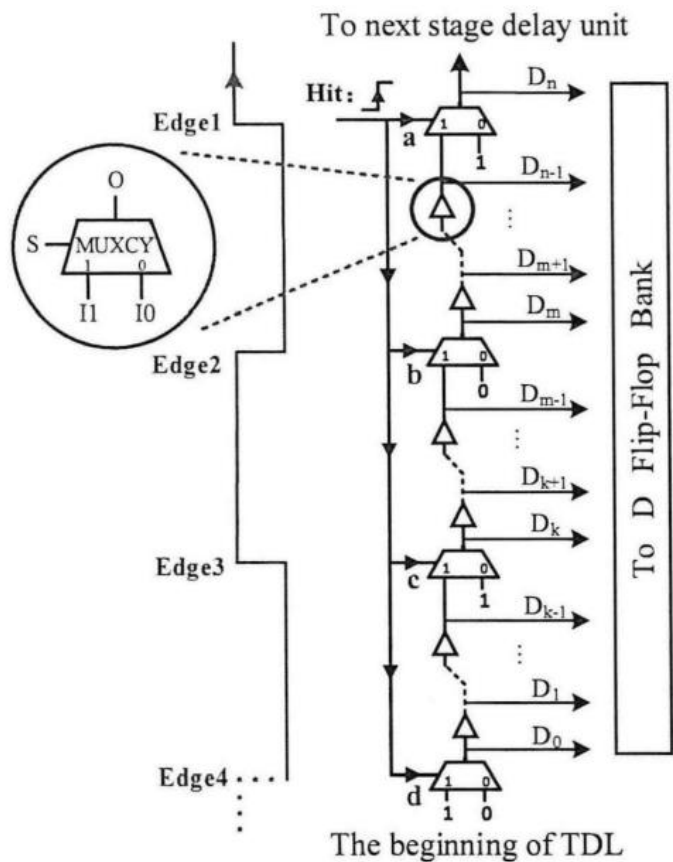


提高TDC精度的方法（多链内插）



~6 ps

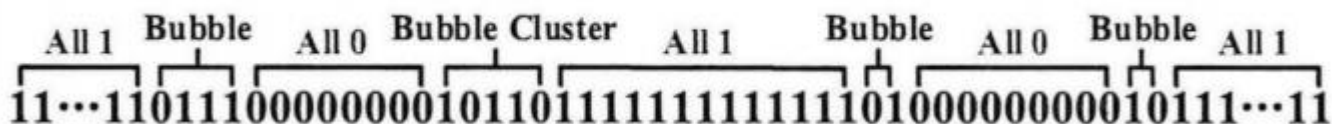
提高TDC精度的方法（多沿测量）



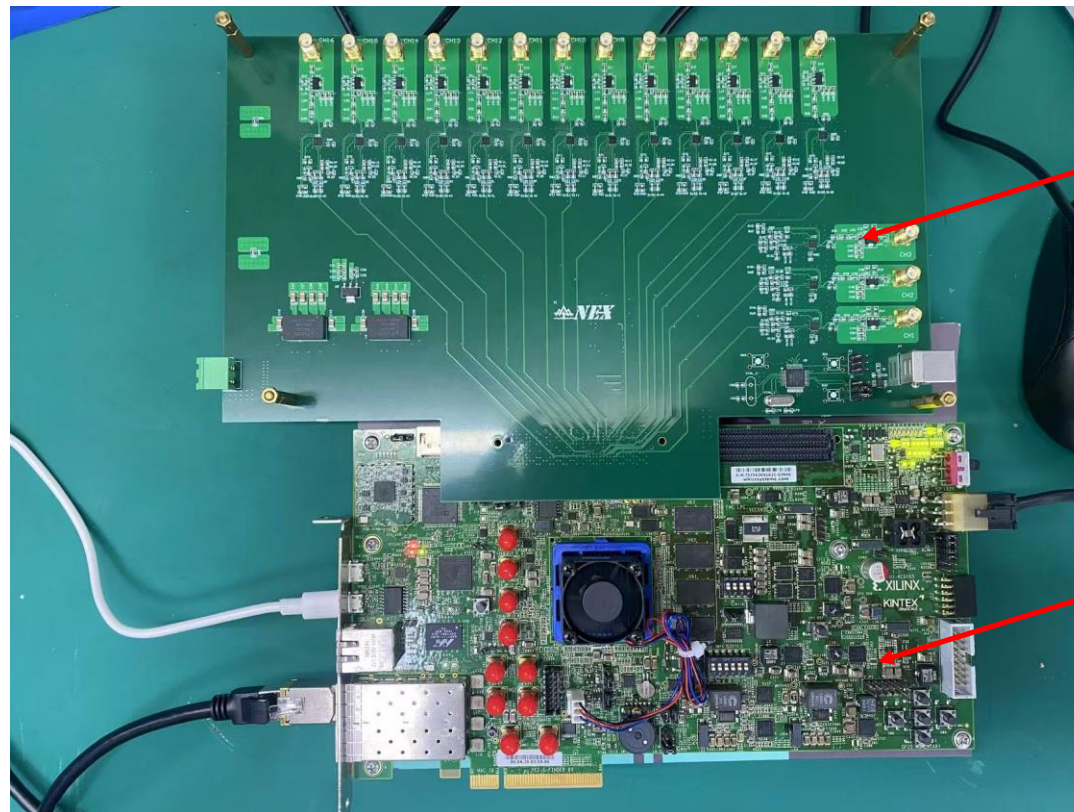
多沿测量的本质： 一个hit激励多个上升沿或者下降沿在延迟链上传播，实现**多次测量**；

Bubble问题严重，需要设计编码方案：
分解编码。

图 3.11 多沿脉冲信号产生器原理结构图（以 4 沿为例）



16-ch electronics prototype



16-ch front-end board

KCU116 dev

16-ch front-end board :

1. RF: ADL5545->6 GHz with integrated bias control circuit
2. Comparator: ADCMP572 with differential output;

KCU116 dev : TOT & TOA measurement

Thanks for your listening!