

Taichu-stitching尺寸初方案

张颖

2025-6-5

尺寸和布局考虑因素

□ 芯片尺寸

- 高度：I/O数量、单个晶圆上的芯片数量、圆筒的卷曲半径及层间距等
- 宽度：由LEB (Left-End Block)、REB (Right-End Block)、RSU (Repeated Sensor Unit)宽度和RSU数量决定
- RSU尺寸：

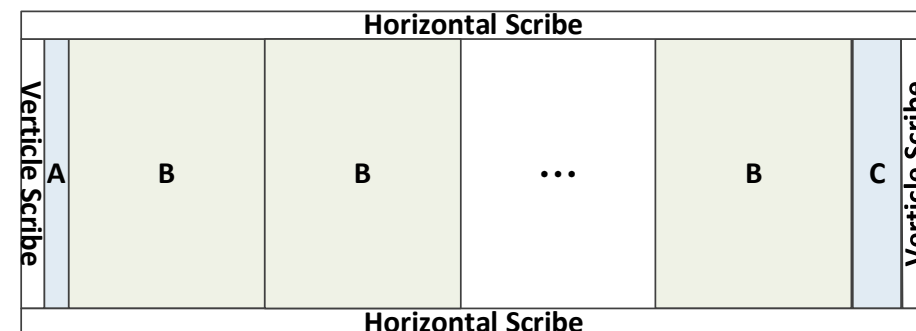
- RSU内部像素阵列规模、数量及布局
- 像素阵列读出速率和端口数量
- 内部电路模块版图面积
- 与掩膜尺寸相符



Stitching芯片结构图

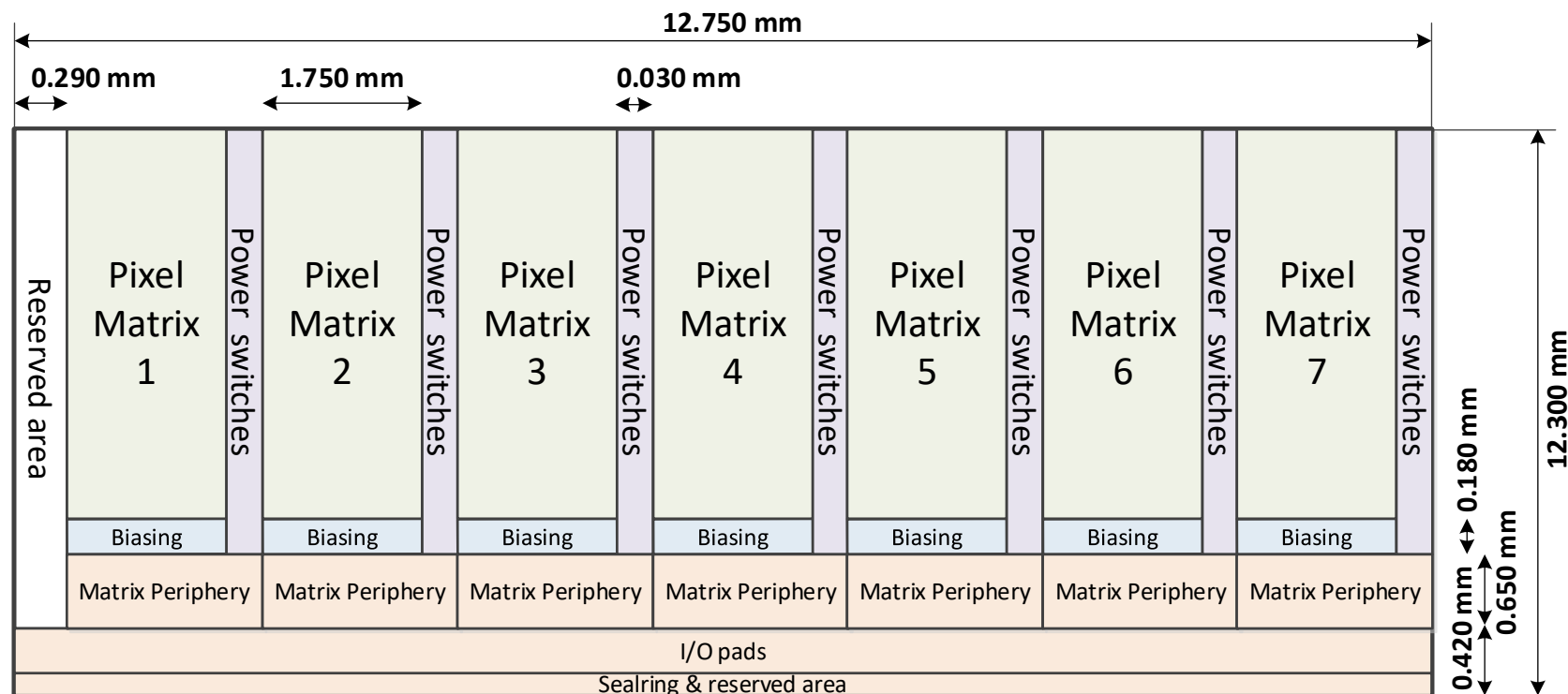
□ 掩膜尺寸

- 需满足Stitching规则：最大、最小、比例关系、曝光次数等
- 由厂商提供的stitching tool计算



尺寸方案一

Half RSU Floorplan



□ 布局及尺寸

- Matrix数量 $N = 14$, 列数 $C = 64$, 行数 $R = 440$, RSU数量 = 12
- LEB 宽度 = 900 μm , REB 宽度 = 4500 μm , 芯片尺寸 24.6 mm x 158.4 mm

□ Matrix读出方式

- 独立读出: 读出端口数168 @ 259.98 Mbps (43.33 MHz CLK x 6)
- 汇总读出: 每4个Matrix读出数据汇总为1.04 Gbps, 总端口数量 = 48 @ 1.04 Gbps

□ 数据传输Buffer功耗*

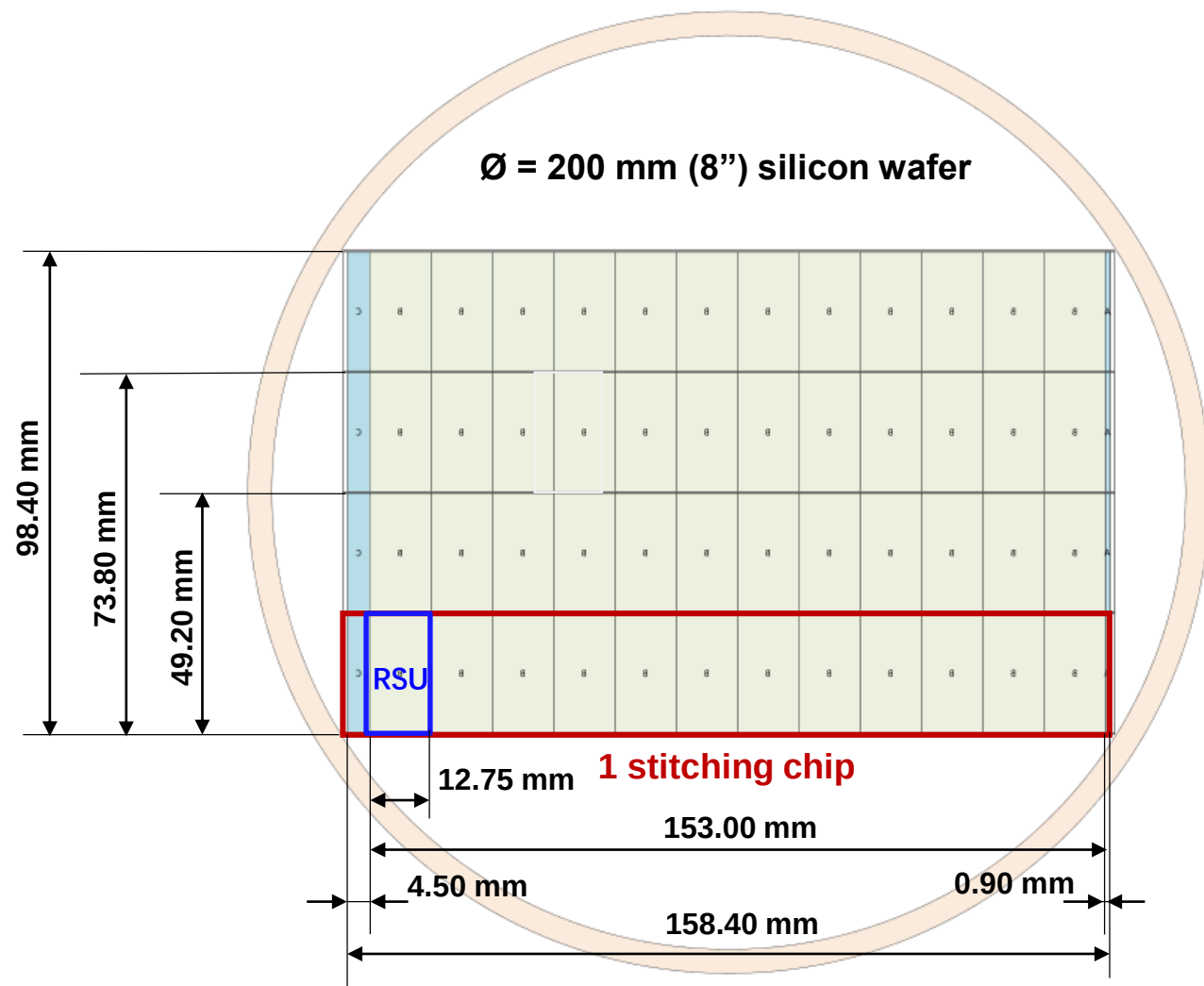
- 独立读出: 功耗密度73.1 mW/cm² *Buffer传输能力: 电流功耗1.45 mA, 可传输 11 mm @ 260 Mbps (from Li Xiting)
- 汇总读出: 功耗密度62.7 mW/cm² (仅考虑汇总后数据传输buffer)

尺寸方案一（续）

- RSU各组成部分尺寸、数量、面积占比

	Width [μm]	Height [μm]	Instance numb.	Percent area
RSU	12750	24600	1	100 %
Pixel Matrix	1750	11050	14	86.31 %
Matrix Periphery	1780	650	14	5.16%
Biasing Generator	1750	180	14	1.41 %
Power switches	30	11230	14	1.50 %
Reserved area	290	11880	2	2.20 %
Auxiliary I/O pads	12750	350	2	2.85 %
Sealring and reserved area	12750	70	2	0.57 %

Stitching芯片晶圆布局一



尺寸方案二

□ 布局及尺寸:

- 方案动机: 增大芯片高度, 以增加芯片左右两边的可用I/O资源, 便于测试和数据读出
- Matrix数量 $N = 22$, 列数 $C = 64$, 行数 $R = 588$, RSU数量 = 8
- LEB width = 825 μm , REB width = 4500 μm , 芯片尺寸 32.000 mm x 150.525 mm

□ Matrix读出方式

- 独立读出: 读出端口数176 @346.64 Mbps (43.33 MHz CLK x 8)
- 汇总读出: 每4个Matrix读出数据汇总为1.39 Gbps, 总端口数量 = 48 @1.39 Gbps

□ 数据传输Buffer功耗

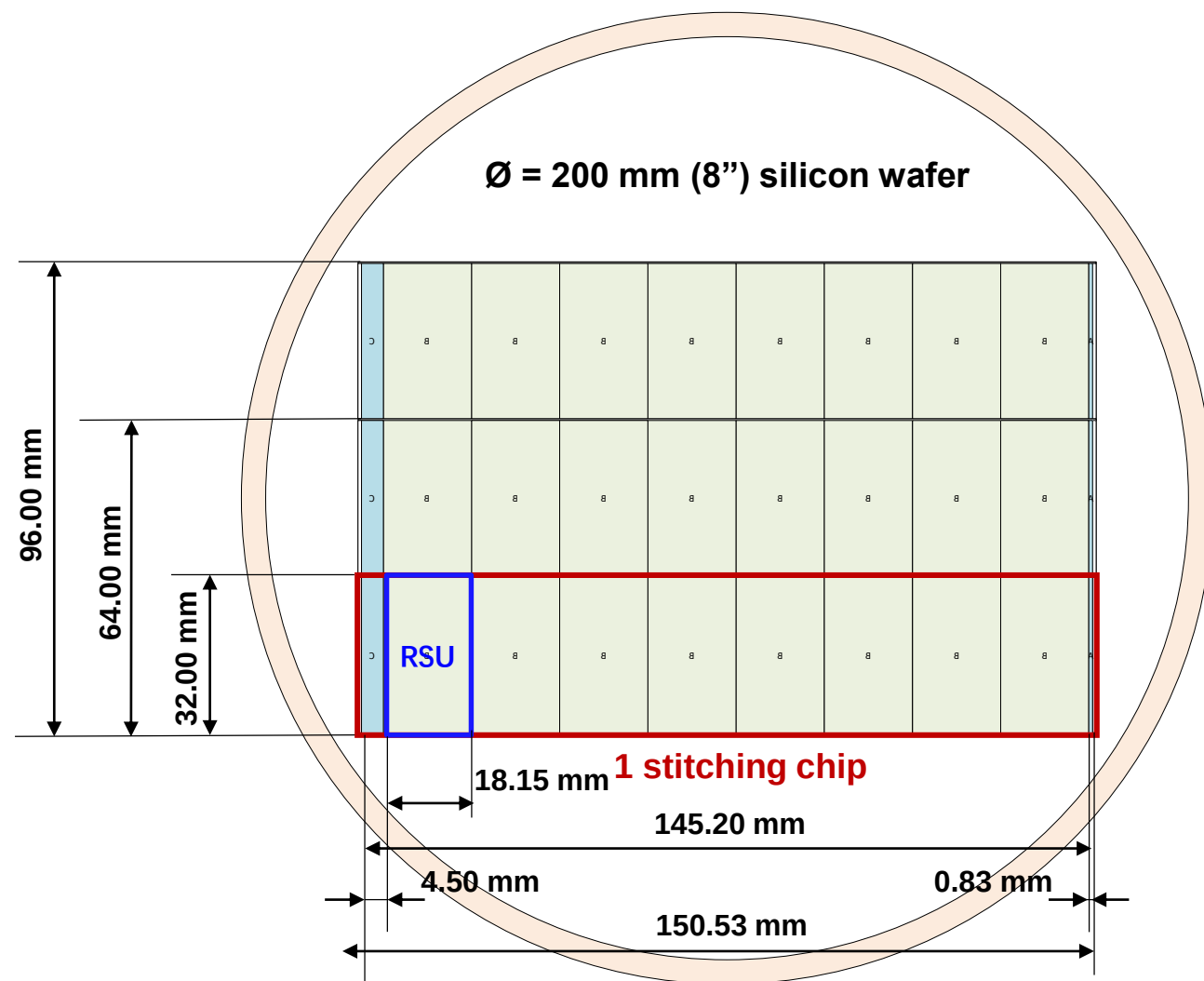
- Buffer传输能力: 电流功耗1.45 mA, 可传输 1.5 mm @ 1.39 Gbps (from Li Xiting)
- 独立读出: Buffer功耗密度 62.4 mW/cm²
- 汇总读出: Buffer功耗密度 70.2 mW/cm² (仅考虑汇总后数据传输buffer)

尺寸方案二（续）

- RSU各组成部分尺寸、数量、面积占比

	Width [μm]	Height [μm]	Instance numb.	Percent area
RSU	18150	32000	1	100 %
Pixel Matrix	1600	14750	22	89.39 %
Matrix Periphery	1630	650	22	4.01 %
Biasing Generator	1600	180	22	1.09 %
Power switches	30	14930	22	1.70 %
Reserved area	220	15580	2	1.18 %
Auxiliary I/O pads	18150	350	2	2.19 %
Sealring and reserved area	18150	70	2	0.44 %

Stitching芯片晶圆布局二



总结

□ 方案对比

*采用现有buffer设计进行后仿真结果，非定制设计

	芯片尺寸 [mm ²]	RSU Height [um]	RSU Width [um]	Matrix 行数 R	Matrix 列数 C	Matrix 个数 N	RSU 个数	读出 方式	端口 数量	读出速率 [Mbps]	Buffer功耗 密度*
1	24.600 x 158.400	24600	12750	440	64	14	12	独立	168	259.98	73.1 mW/cm ²
								汇总	48	1039.92	62.7 mW/cm ²
2	32.000 x 150.525	32000	18150	588	64	22	8	独立	176	346.64	62.4 mW/cm ²
								汇总	48	1386.68	70.2 mW/cm ²

➤ 三层卷曲半径对比

	Layer 1 [mm]	Layer 2 [mm]	Layer 3 [mm]	Length [mm]	N of chips/wafer
1	15.7	23.5	31.3	158.400	4
2	10.2	20.4	30.6	150.525	3

□ 初步方案选择：方案1

➤ 芯片尺寸：兼顾多种参数

- 短边I/O数量 (~220) 和最小卷曲半径 (15.7 mm，对比值：CEPC TDR: 11.06 mm; ALICE ITS3: 19.0 mm)
- 芯片长度：158 mm，适合初步验证长距离数据传输功能，且与VTX-TDR layer1 长度接近 (161.4 mm)

➤ 读出速率和端口数量适中：每个Matrix单独读出 168 路@ 259.98 Mbps (Matrix数据率预估 223 Mbps)

- 汇总比单独读出端口数量减小70%，但传输速率达到1.04 Gbps; Matrix需要局部PLL，导致功耗增加

Backup