

# COFFEE3 设计概要

周 扬

zhouyang@ihep.ac.cn

- COFFEE系列研发概要
- COFFEE3设计思路和重要指标：
  - 工艺条件
  - 读出构架
  - 性能指标
- 总结、展望和致谢

June 27, 2025

## • Technologies represented during Workshop

- LFoundry 150 nm HC-CMOS 2 talks
- SMIC 55 nm HV-CMOS 1 talk
- Tower 180 nm 2 talks
- TPSCo 65 nm 3 talks
- Open source 1 talk
  
- Integration into modules 2 talks
- Simulation (WG4) 2 talks

# MAPS的R&D是一个长期优化的过程

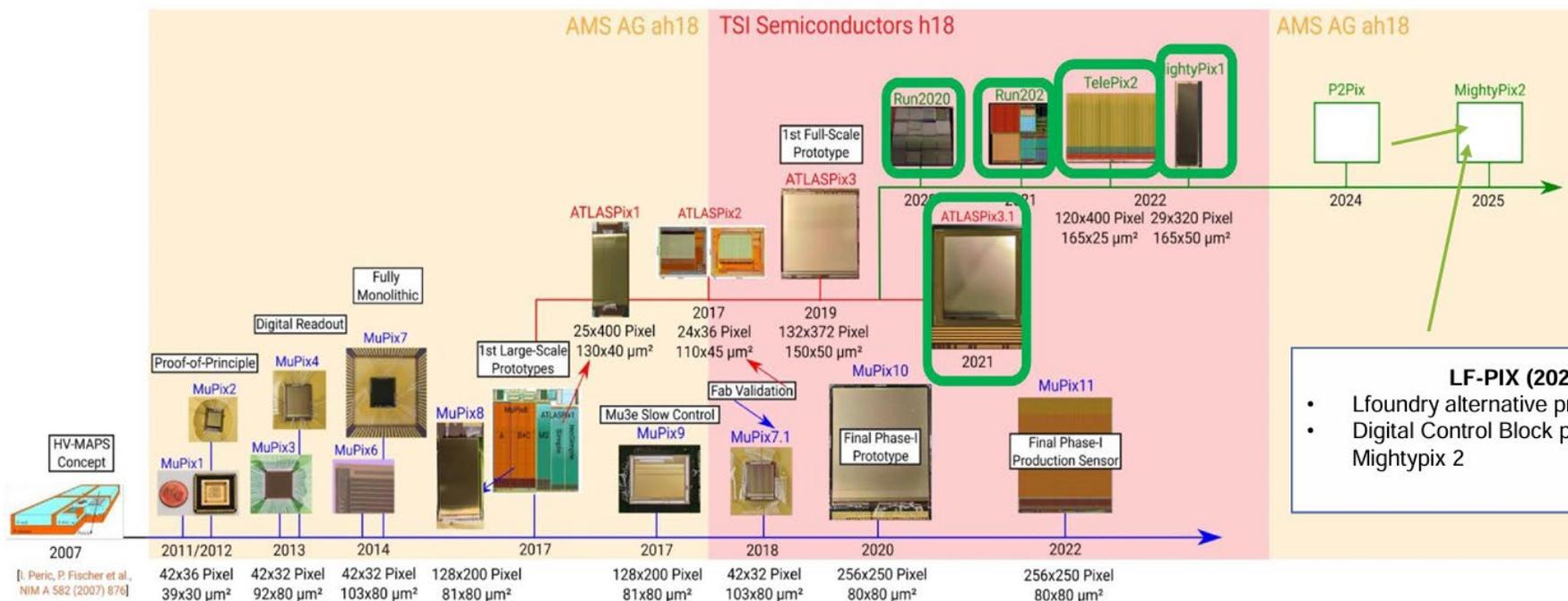
## Mightypix 2 (MP2) History

HVMaps History from Sebastian:

传感器和电子学系统集成在同一硅片上:

- 12年: HV-CMOS从2007 概念验证 -> 2019 全功能全尺寸的ATLASPix3;
- 14年: Mupix1 -> Mupix 11, 2011 -> 2025年初用在Mu3e实验上
- 16年: CIS工艺上系列芯片的故事, 从1998-2014 MIMOSA28用在Star实验上;

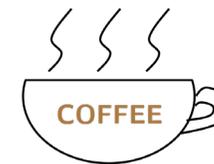
..... 完成相关工艺的验证积累, 可以加速新系列芯片的研发过程



- CMOS工艺产线和各种半导体产业链上的设计工具, 仅保证ASIC设计性能;
- 探测器相关的仿真, 依赖工艺条件 (涉密、往往拿不到);
- 探测器和ASIC结合在一块硅片上, 很多关键问题无法依赖仿真得到准确结论, 必须依靠实际的流片和测试结果的反馈迭代;
- 新工艺、新技术的充分挖掘, 需要逐步验证和优化

**LF-PIX (2024)**

- Lfoundry alternative process test
- Digital Control Block pre-tests for Mightypix 2

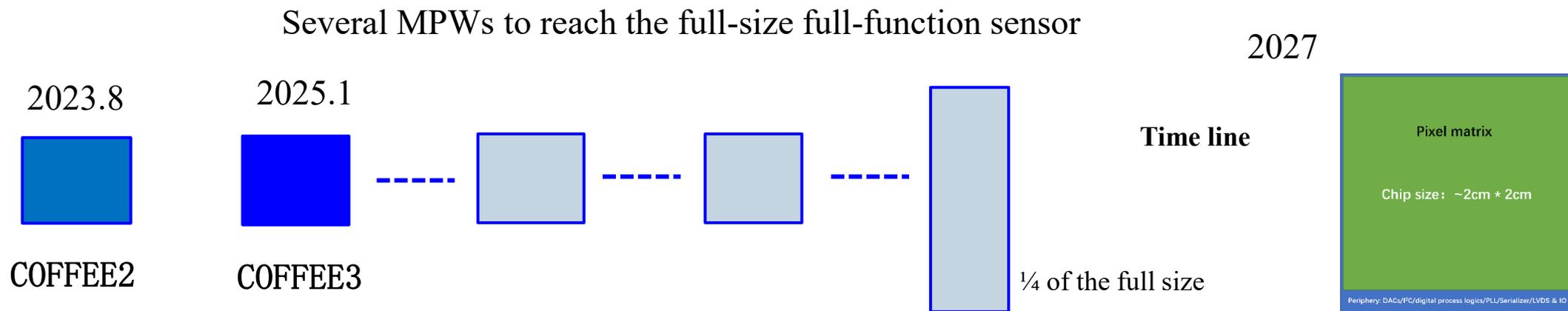


CMOS SENSOR IN  
FIFTY-FIVE NM PROCESS

# COFFEE3设计概要

在高压CMOS像素探测器这个技术方向，COFFEE系列率先且是仍是国际上唯一在100nm以下工艺节点研发的高压CMOS系列芯片！在面对众多未知和不确定的同时，寻求确定性的部分，COFFEE3的设计和测试结果也将回答在这个研发路径上的更多关键问题，为最终得到确定的结果，做出重要铺垫。

- COFFEE2: focusing on exploring and verifying the process characteristics;
- COFFEE3: focusing on verifying readout circuit structures and core performances;



# Design overview of COFFEE2

## Three independent regions in COFFEE2:

### 1. Passive diode arrays:

- Various sensing structures: DNW,  $1\mu\text{m}$  diodes, with/without P-stop ;

*For process characteristics study*

### 2. An active pixel matrix including 3 variations of pixel design:

- To quantitatively evaluate the “cross-talk” issue of HV CMOS pixel sensor technology in the new process and guide the overall design of the future detector chip

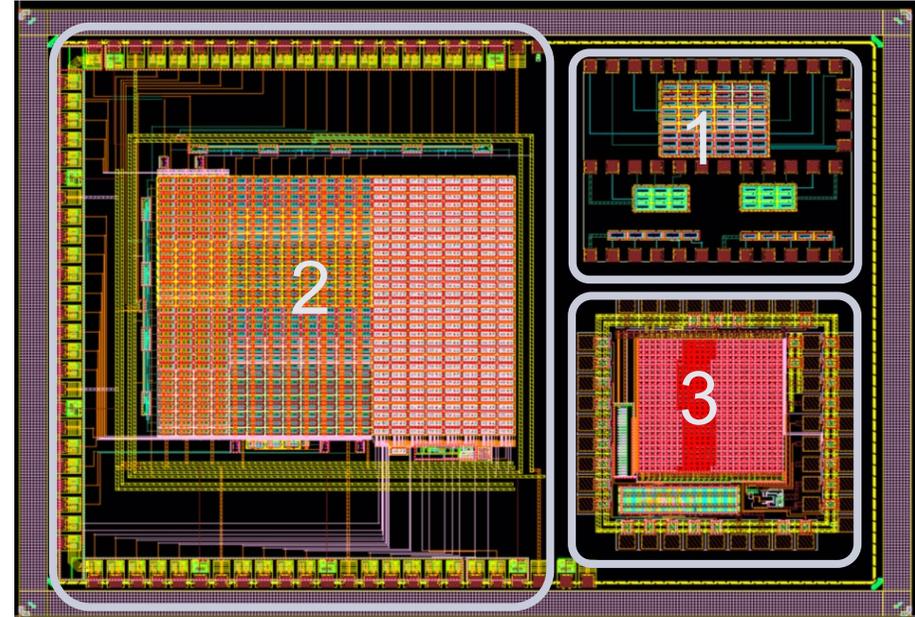
*For charge sensing diode + in-pixel electronics study*

### 3. An active pixel matrix with a new readout architecture:

- Very small pixel size  $25 \times 25 \mu\text{m}^2$  (for a HV CMOS pixel sensor);
- New matrix readout architecture;

*For new architectures in 55nm process @ Designed by KIT*

Digital peripheral data processing included;



The COFFEE2 design includes three independent regions.

Published paper: NIMA Volume 1069 P169905 (2024)  
<https://doi.org/10.1016/j.nima.2024.169905>

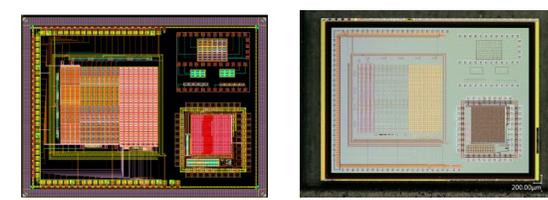


CMOS SENSOR IN  
FIFTY-FIVE NM PROCESS

# Brief results from COFFEE2

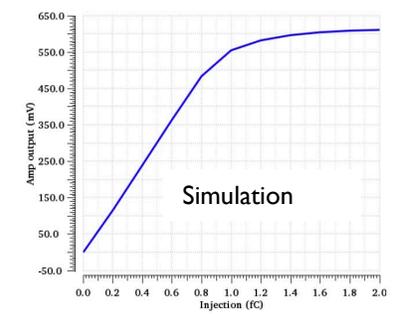
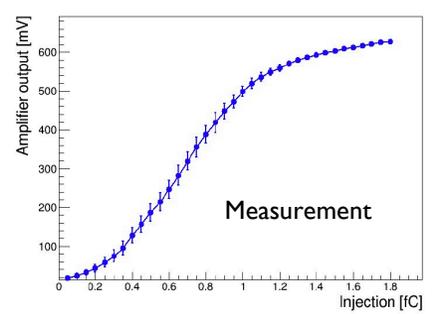
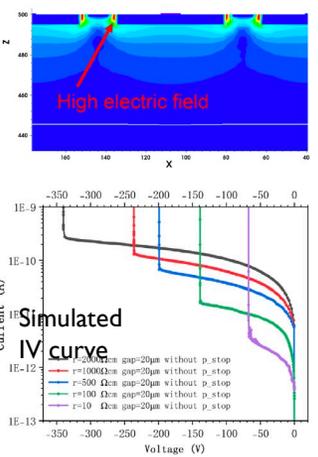
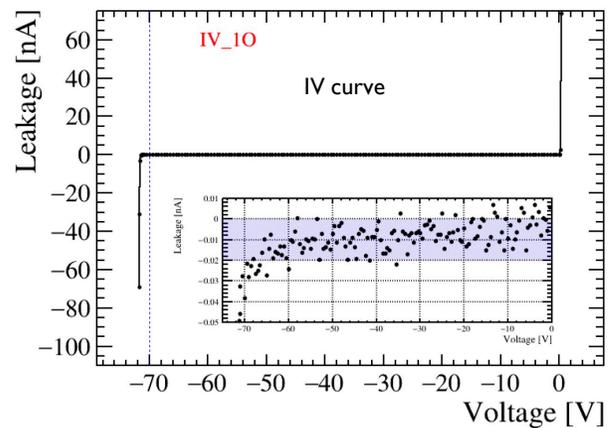
## Feasibility study of a commercial 55nm HVCMOS process for future R&D

- For the sensor: breakdown voltage  $\sim -70V$  for regular resistivity wafer ( $10 \Omega \cdot cm$ )
- For electronics: the in-pixel amplifier & comparators **work as the simulation predicts**
- For the sensing diode + in-pixel amplifiers: **clear response to laser/  $^{55}Fe$  /  $^{90}Sr$  sources**
- Leakage current increase from  $\sim 10pA$ /pixel to  $\sim 1nA$  /pixel after irradiation of  $10^{14} n_{eq}/cm^2$ .

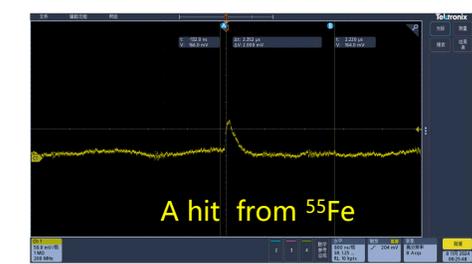
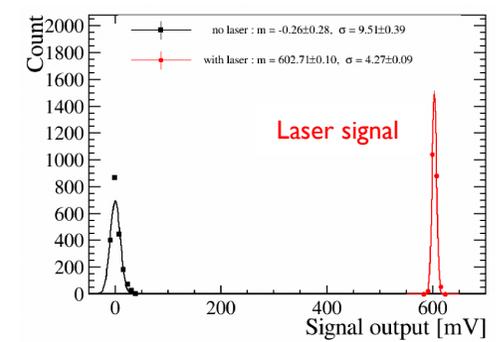


COFFEE2, the first prototype in 55nm HV-CMOS process

.....The testing and validation of COFFEE2 are still in progress.



CSA output as function of charge injection





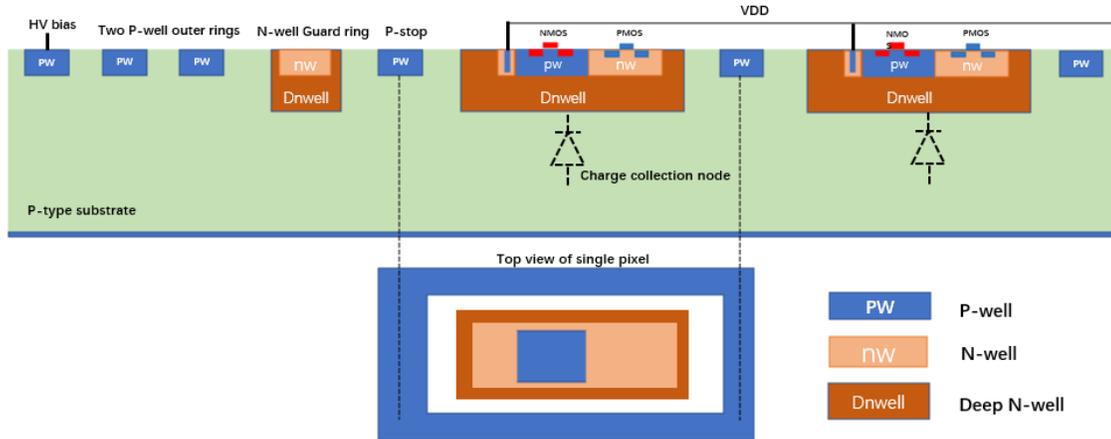
CMOS-SENSOR IN  
FIFTY-FIVE NM PROCESS

# COFFEE3设计概要和目标

- ◆ COFFEE2是我们HV-CMOS工艺上的第一次流片，重点在了解工艺特性，**所包含的ASIC设计皆只为该目的，不对应任何最终性能！**（eg. 像素内FE功耗、时间响应等等），除模拟buffer之外（仅用于测试），其它电路均未迁移到COFFEE3的设计中。保护环的设计完全保留，I/O的设计保留了大部分；
- ◆ COFFEE3以**最终需求为目标，首次明确了各部分的设计指标和优先级，重点在验证整体读出构架、电路功能、为未来的优化设计提供基准**，本次整体设计指标如下：
  - 位置分辨： **$< 10 \mu\text{m}$** （单方向）；
  - 时间精度： **$< 10 \text{ ns}$** ；
  - 功耗： **$< 200 \text{ mW/cm}^2$** ；
- ◆ 55nm商用工艺上，与sensor性能高度相关的条件尚不理想，eg. 是否使用高阻晶圆等等，会对MAPS探测器所有相关性能造成显著影响，COFFEE3**所有ASIC模块的设计，是以假设最终我们能使用高阻晶圆等条件为前提的。**
- ◆ 工艺的优化，对应探测器的性能，**与ASIC的设计一起，并行决定了最终MAPS芯片的性能**，该方向也至关重要，并一直在同步努力中；

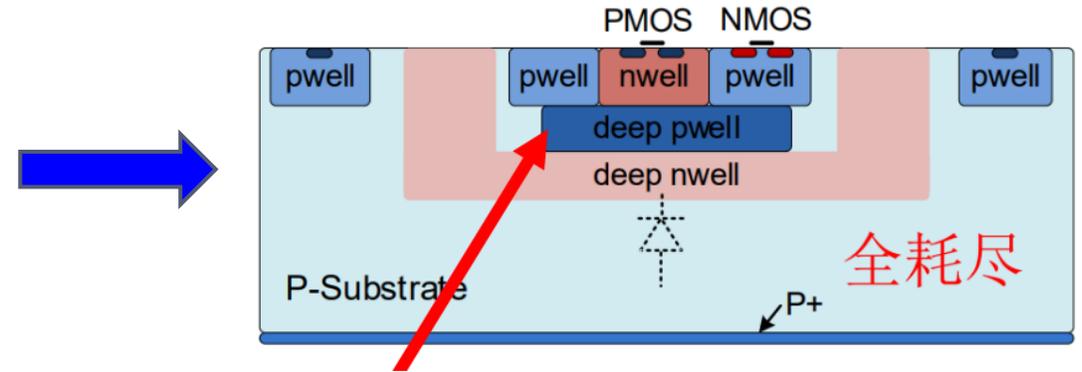
# 当前的工艺条件：影响设计方案

目前国产55nm工艺节点，成熟商业制程上最合适的条件：



- 阱结构：三阱；可实现信号收集极对像素内电路的包裹
- 晶圆电阻率：10欧姆·厘米；
- 金属层数：8+1层；有利于最终大面积版图的走线
- HV工艺：信号收集极 DNW 和 PSUB之间可承受 > 70V偏压；  
在当前晶圆阻值条件下，耗尽深度约 10 — 20  $\mu\text{m}$ ；  
(对应1k – 2k  $e^-$ 的信号总量)

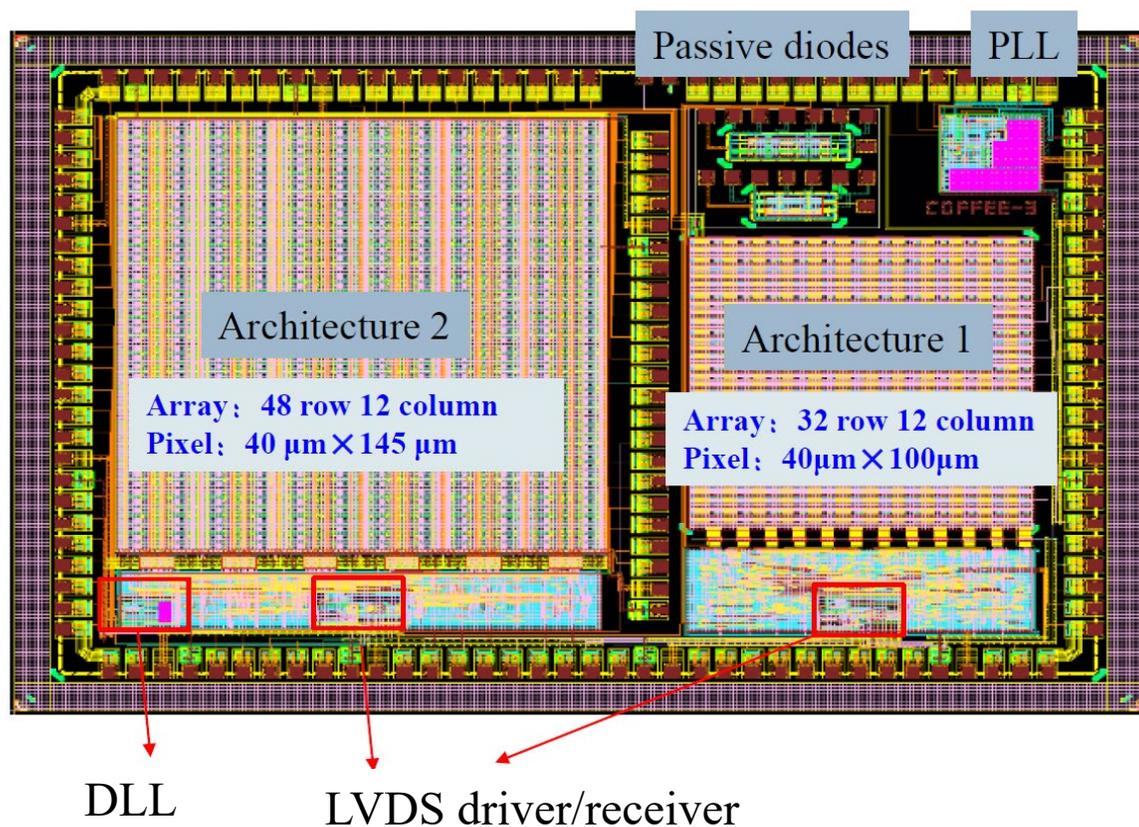
更理想的工艺优化方向：



期望的工艺条件改进方向：

1. 替换高阻晶圆；可大幅增加耗尽深度，可提升信号总量  
(2k – 20k  $e^-$ )、降低前端等效电容 → 获得更高的信噪比；
  2. 微调阱的结构：增加Nwell与DNW之间的隔离层，使得像素内可集成复杂的数字电路 → 大幅增加设计自由度，提升综合性能；
- … 期望不止于此，取决于工艺方的代价/收益；

# 整体版图和构架



COFFEE3 版图，面积 $3 \times 4 \text{ mm}^2$ 。2025.1月提交，5月底收到芯片

## ◆ 两种读出构架设计方案：对应不同的工艺条件

- 构架1：像素内NMOS设计，基于三阱工艺；
- 构架2：像素内CMOS设计，基于四阱工艺；
- 与像素阵列匹配的外围数字读出电路；

## ◆ 必要的外围功能模块：DLL、LVDS、PLL等；IP积累、整体功耗评估；

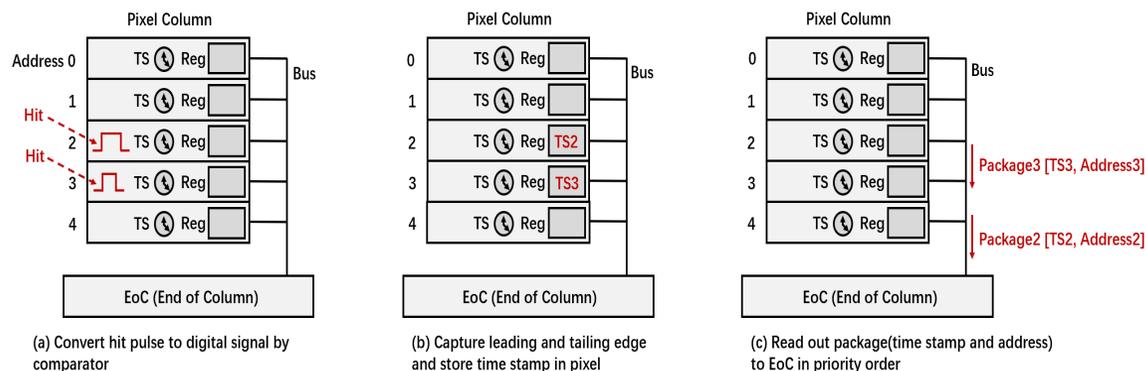
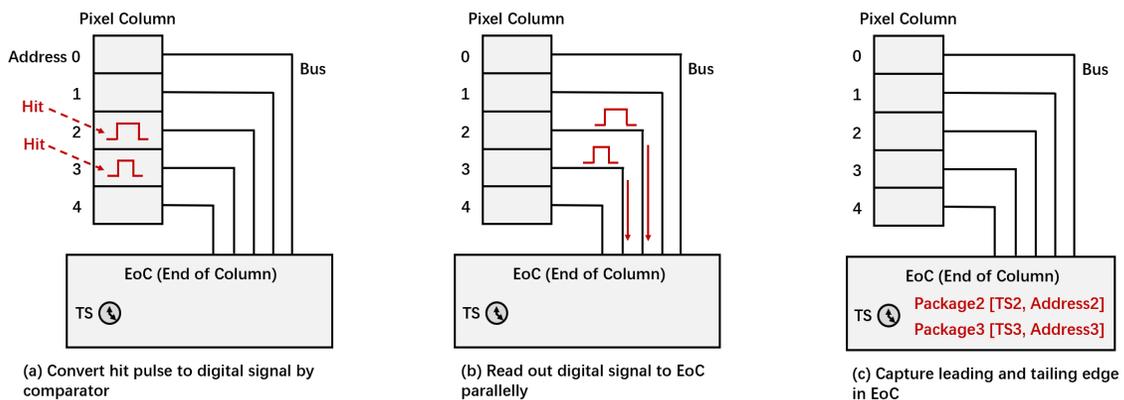
## ◆ Passive diode 阵列：与两种方案的像素尺寸对应，用于sensor和工艺的进一步研究；

## ◆ Custom-designed IO；提供初步的ESD保护

# 读出构架方案

**方案1:** 像素内NMOS设计、完成数字化后，并行传输到阵列底部，在阵列底部打时间标记。适用当前3阱商用工艺

**方案2:** 像素内使用完整的CMOS设计，集成像素级别的TDC模块，粒子击中信息（到达时间、结束时间）记录在每个像素本地，再按优先级次序读出到阵列底部；适用优化后的四阱工艺



类似芯片：ATLASPIX3, MightyPix, MuPix等

类似芯片：Monopix, Timepix (混合型像素探测器、ASIC构架类似) 等

# 位置分辨：像素尺寸决定下限（期望值）

COFFEE3中实现的单像素版图面积：

方案1：  $40\ \mu\text{m} \times 100\ \mu\text{m}$

像素内部横向预留了大量空面积  
给全尺寸阵列布线

方案2：  $40\ \mu\text{m} \times 145\ \mu\text{m}$

COFFEE3中像素内设计面积基本用满，但版图仍然有优化空间，可扩展到全尺寸阵列

生产后实际获得的像素尺寸是版图面积按比例缩小后的结果（65nm工艺平台，图形按0.9的比例缩小）

两种方案流片后实际的像素短边边长： $40 \times (0.9) = 36\ \mu\text{m}$

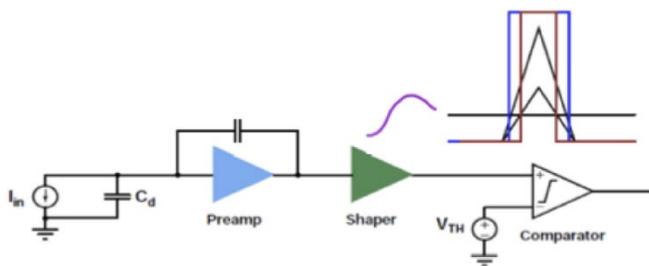
从设计角度预期该方向位置分辨情况（cluster size = 1）： $36/\sqrt{12} \approx 10\ \mu\text{m}$

## **Some key performances from design simulation**



# 时间分辨：多重因素影响

Sensor Pre-Amplifier Time measuring circuit



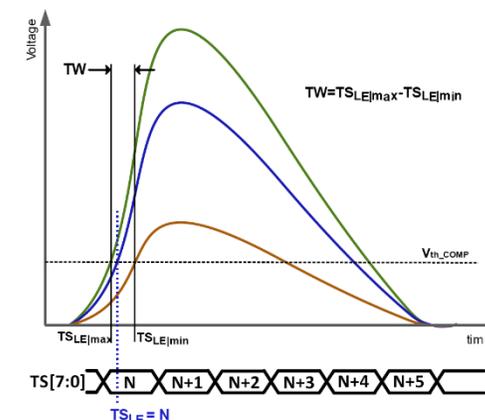
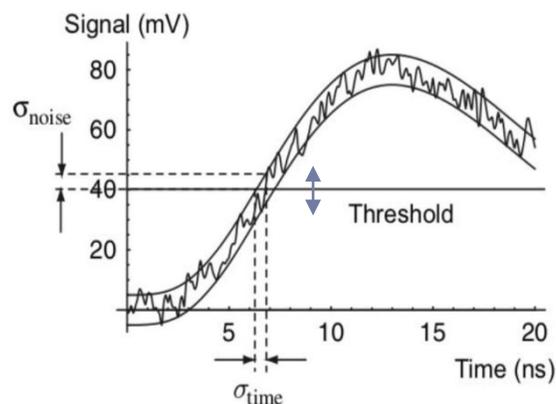
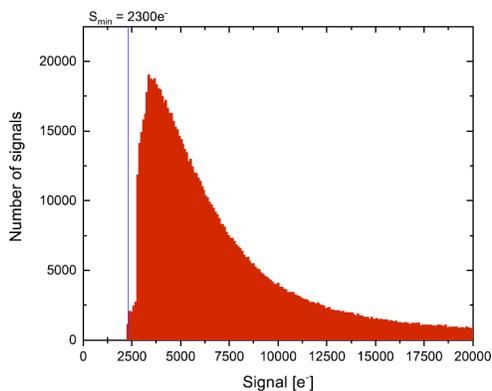
典型的时间测量探测器结构

$$\sigma_t^2 = \sigma_{TW}^2 + \sigma_J^2 + \sigma_{TDC}^2 \quad (\text{不包含TOT修正})$$

电子学噪声、阈值的不一致性等

TDC量化噪声：  
时间标记bin size /  $\sqrt{12}$

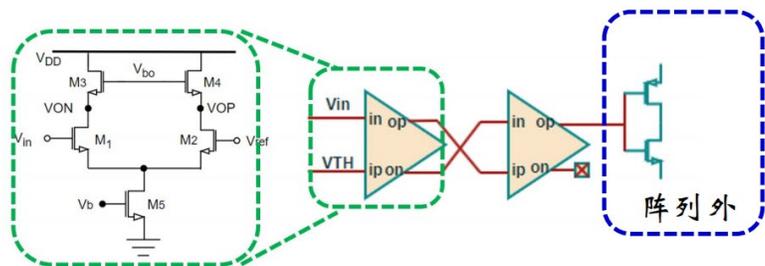
信号量分布、模拟前端设计、比较器阈值设置等



高阻、全耗尽HV-CMOS工艺中MIP粒子产生的总信号量：约2k - > 20k e<sup>-</sup>

# 时间分辨：Time-walk的影响

## 构架1：CSA+NMOS比较器



• Response time:

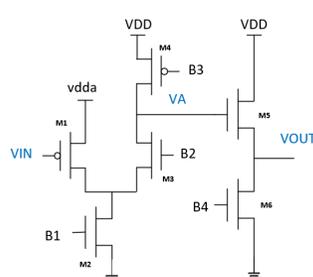
$$\tau_{CSA} \propto \frac{1}{g_m} \frac{C_d}{C_f}$$

Time-walk仿真统一设置:

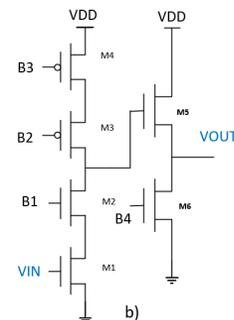
收集极等效电容	~200 fF (预估)
总信号量	2k - 20ke- (按高阻晶圆预估)
阈值设置	5 倍的噪声值仿真值

$$\sigma_{TW}^2 \text{ 贡献 } < (4 \text{ ns})^2$$

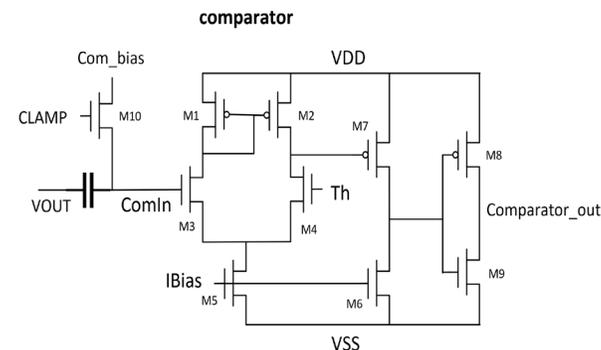
## 构架2：CSA+CMOS比较器



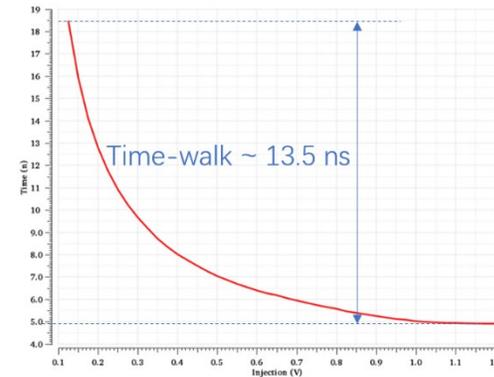
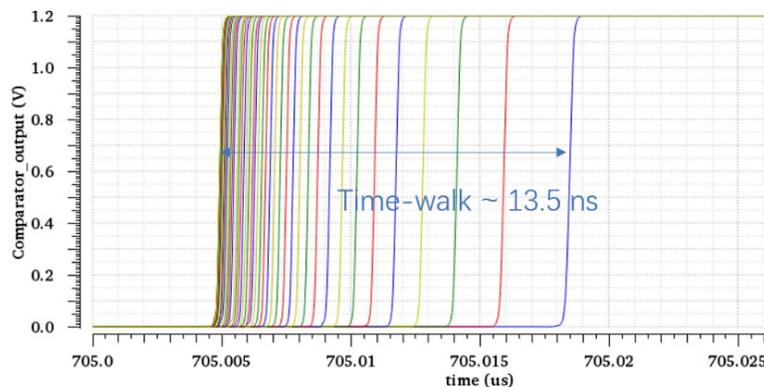
2). CSA2: fold-cascode + SF



1). CSA1: cascode + SF



三种像素内前端设计time-walk分别为： 22ns, 16ns, 13.5ns



不同输入信号量与比较器前沿过阈时间的关系

# 时间分辨：噪声的影响

• Noise:

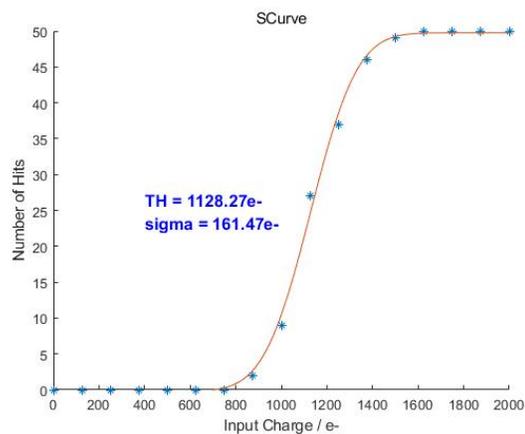
$$ENC_{thermal}^2 \propto \frac{4kT}{3g_m} \frac{C_d^2}{\tau}$$

噪声仿真统一设置:

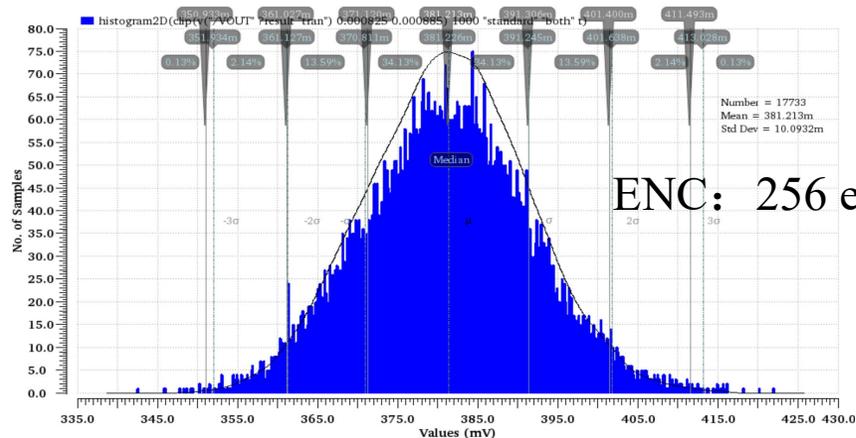
收集极等效电容	~200 fF (预估)
温度设置	室温 27°

➤ 对于像素之间阈值的不一致性 (FPN) 噪声: 每种像素内部均集成了4-bit的DAC, 可单独配置每个像素的阈值, 调节后的影响预期将大幅缩小, 整体噪声贡献将主要来自于瞬态噪声;

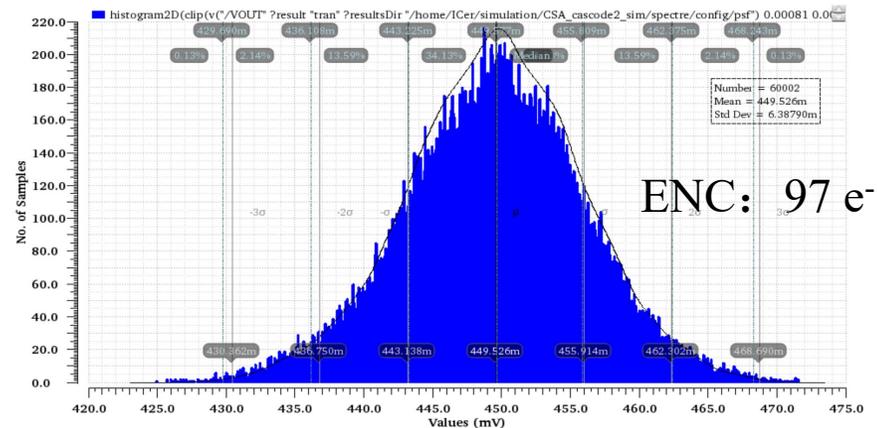
➤ 三种结构瞬态噪声等效电荷分别为: ~160 e<sup>-</sup>, ~256 e<sup>-</sup>, 97 e<sup>-</sup>, 在使用高阻晶圆后, 仅为最小信号量的1/10左右;



S-curve拟合

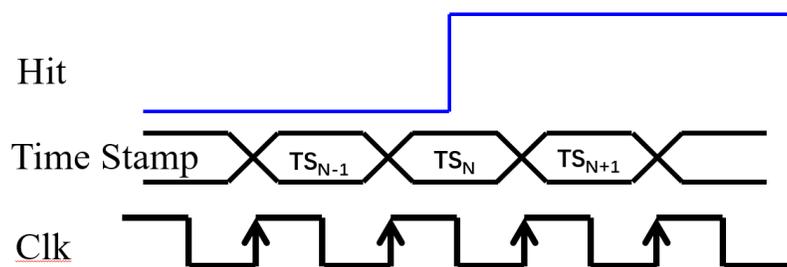


噪声仿真分析



# 时间分辨：TDC量化噪声的影响

构架1：在阵列底部打时间标记

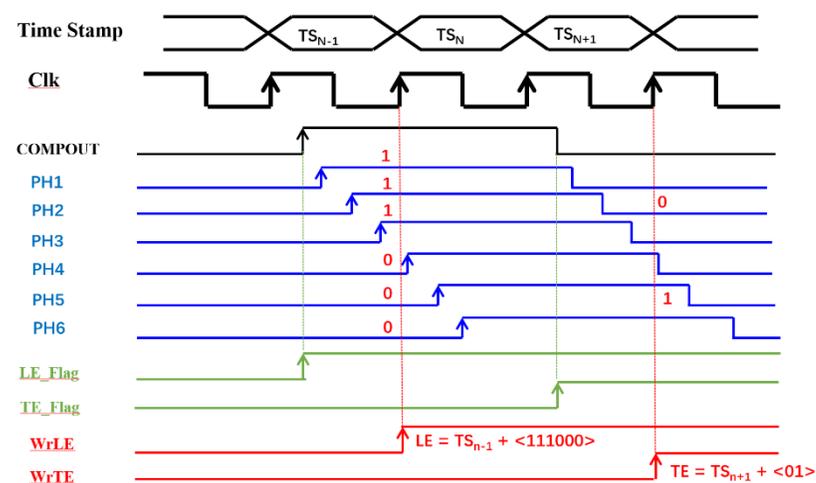


时间戳可使用内部40Mhz或由外部输入同源时钟：

160 Mhz 或 320 Mhz，分别对应25ns，6.25ns和3.125ns的时间戳宽度；

构架2：像素内集成基于延迟链结构的Coarse-fine TDC。延迟锁定由阵列底部的DLL模块提供。

## 像素内提供时间信息工作原理



像素阵列内使用40Mhz的粗时间戳（25ns周期），在单像素内部，采用延迟链的结构，处理比较器的输出，将一个粗时间周期分成6份，对击中事例到达（LE）前沿提供 4.16 ns的细时间戳；

# 时间分辨：从设计的角度保留了足够的裕度

项目目标：< 10 ns

$$\sigma_t^2 = \sigma_{\text{TW}}^2 + \sigma_{\text{J}}^2 + \sigma_{\text{TDC}}^2.$$

$(4 \text{ ns})^2$                        $< (2 \text{ ns})^2$



高阻晶圆条件下，约1/10最小总信号量，预计 $\ll (2\text{ns})^2$

仿真时间分辨<5 ns

尚不包含利用TOT信息对前沿时间精度的补偿，未考虑时钟延迟(~1ns, 可补偿)、抖动(ps量级)等影响，  
多个仿真参数基于参考经验值，最终结果以测试结果为准。

# 功耗

构架1:

- 像素部分  $10\mu\text{W}/\text{pixel}$

构架2:

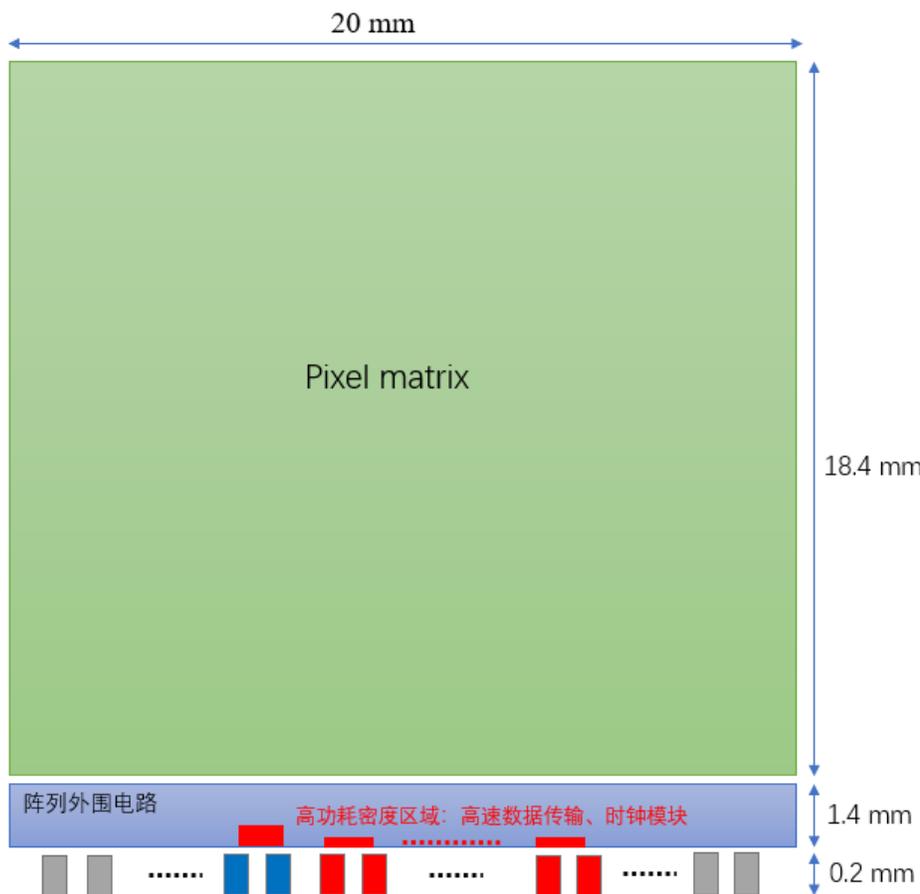
- 像素部分:
  - 模拟前端两种设计:  $11.1\ \mu\text{W}/\text{pixel}$ 和 $9\ \mu\text{W}/\text{pixel}$ ;
  - 时钟分发功耗:  $\sim 20\ \text{mW}/\text{cm}^2$ ;
  - Fine-TDC: 只在有击中的像素工作;
  - 击中率相关的动态功耗: 暂未量化评估;

对应完整面积芯片, 灵敏区域面积预估功耗:  $\sim 138\text{mW}/\text{cm}^2$ ;

阵列外围功能模块面积、功耗仿真值

阵列外围模块	面积	频率	功耗
数字电路	/	40 Mhz	$\sim 40\ \text{mW}/\text{cm}^2$
PLL	$360 \times 360\ \mu\text{m}^2$	160/320/640 Mhz	0.98/1.76/2.66 mW
LVDS接收器	$70 \times 140\ \mu\text{m}^2$	40/160/320/640 Mhz/	1.13/1.58/2.18/3.38 mW
LVDS发送器	$112 \times 250\ \mu\text{m}^2$	40/160/320/640 Mhz	4.87/5.04/5.27/5.73 mW

# 功耗和面积预估



预计全尺寸、全功能COFFEE3芯片的layout

## 功耗、面积整体预估数据

项目	像素阵列	阵列外围	总体
面积	$20 \times 18.4 \text{ mm}^2$	$20 \times 1.6 \text{ mm}^2$	$20 \times 20 \text{ mm}^2$
总功耗	~580 mW	16.7mW + $5.04 \times 1 \text{ mW}$	~ 602 mW
功耗密度	~158 mW/cm <sup>2</sup>	123 mW/cm <sup>2</sup> (按1个数据通道估算)	~ 150 mW/cm <sup>2</sup> (尚未包含击中率相关的动态功耗)

比较初步的预估值，还需要后续几轮的设计优化迭代和测试验证

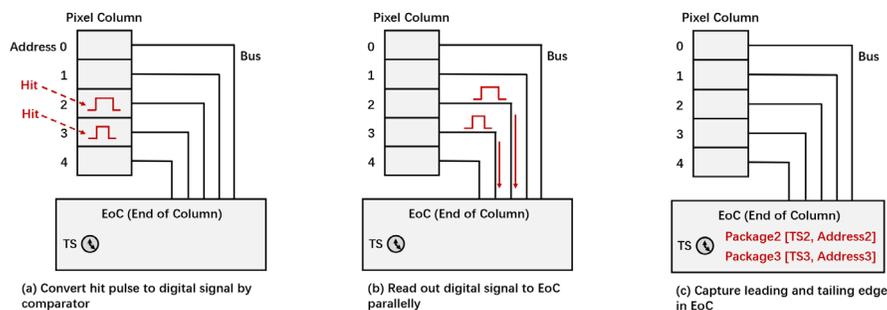
\*55nm工艺晶体管漏电流静态功耗比例远高于180nm节点

# Leverage the potential of advanced process nodes

- Benefiting from the 55nm process, the area of the same function digital circuit is  $\sim 1/10$  of that in the 180 nm process.

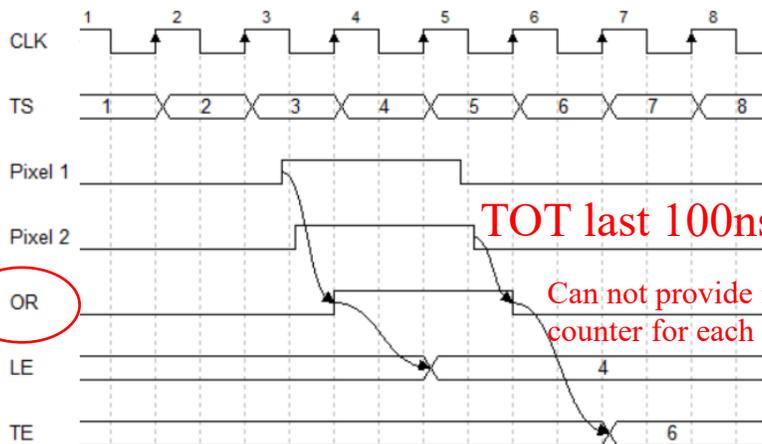
# 挖掘先进工艺节点的潜力：阵列底部更多功能集成

## Architecture 1: Pixel Hit Parallel Transmission to Array Bottom

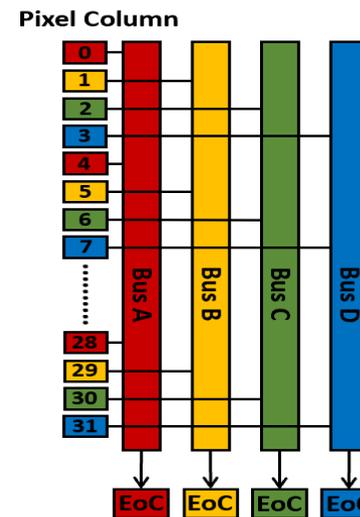


该技术类型的一个显著瓶颈，影响在未来高亮度粒子对撞机实验上的应用。

Each column shares an EoC module



- This concept with 1 EoC for each column, while hit density increase, the timestamp information maybe inaccurate.

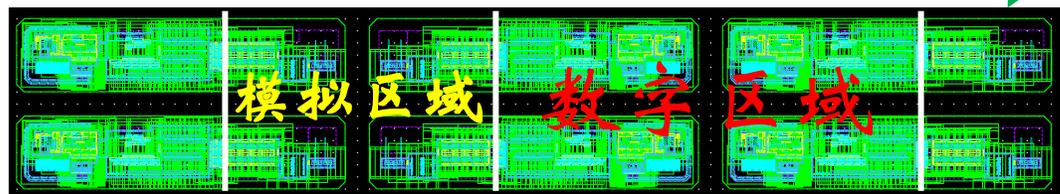
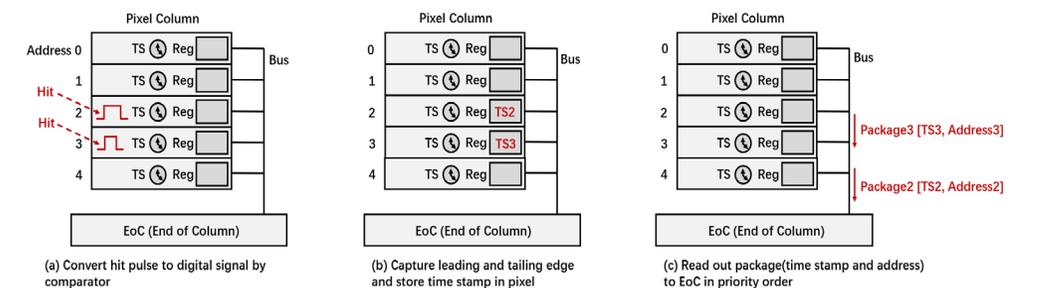


One pixel column architecture in COFFEE3.

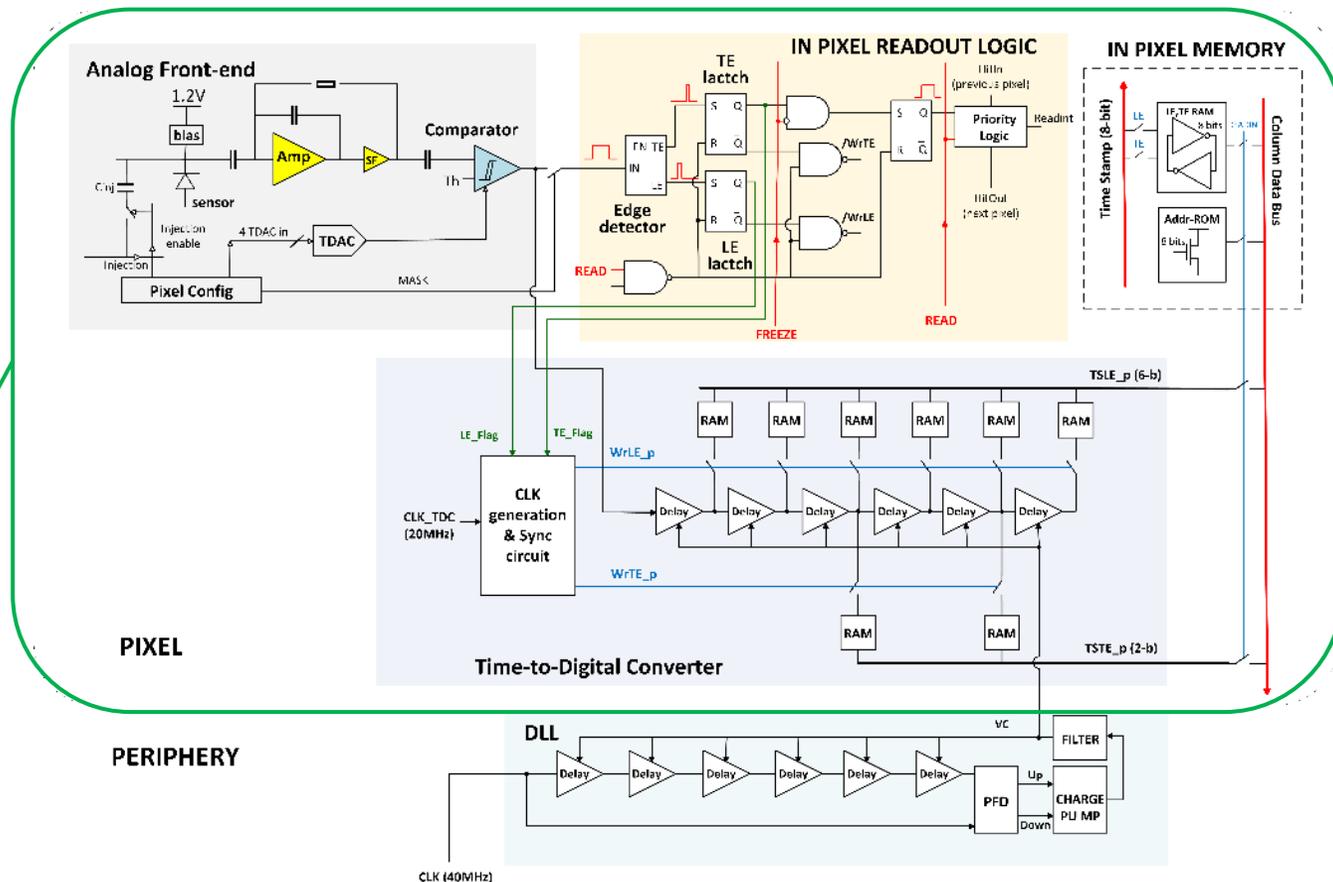
- COFFEE3 divides each column of pixels into 4 groups, which are input into 4 EoC modules. Each EoC also includes additional FSMs to handle higher hit rates. The area of the peripheral digital circuits does not significantly increase (less than 10% of the whole sensor).

# 挖掘先进工艺节点的潜力：像素内更多功能集成

## 构架2: 在每个像素内记录时间信息



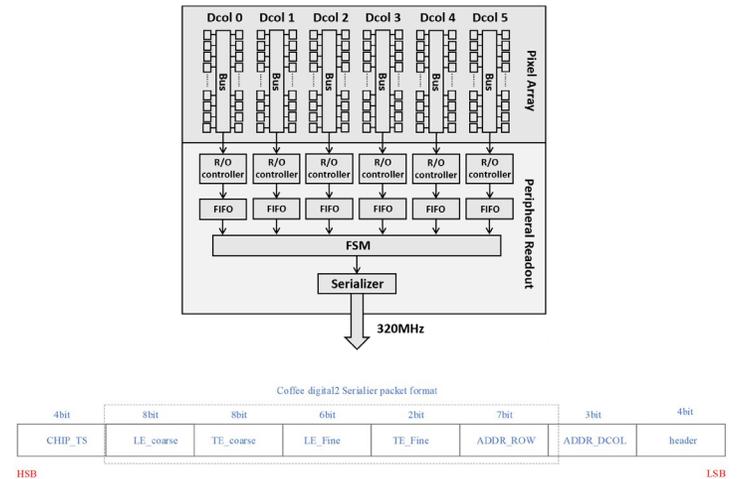
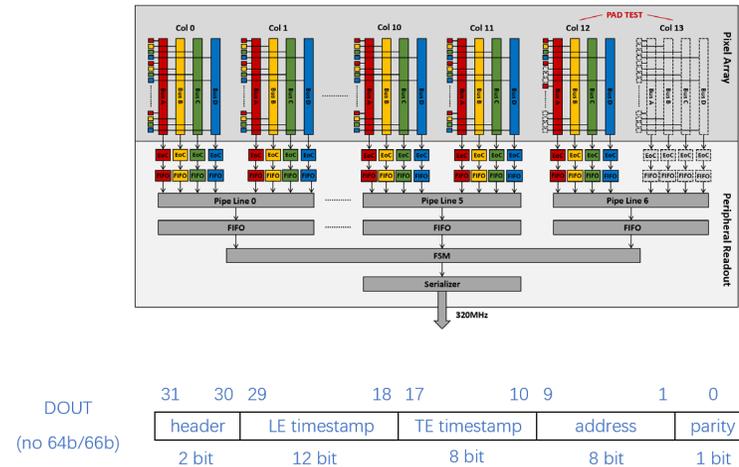
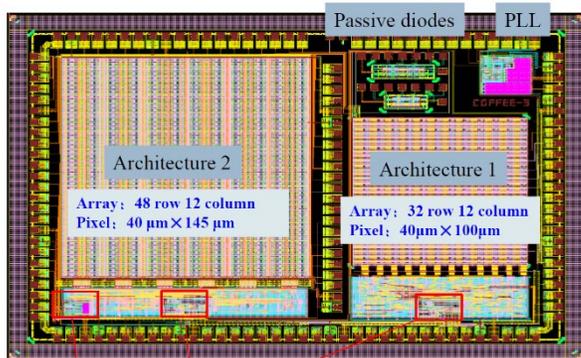
2×3像素版图，单像素尺寸40\*145 μm<sup>2</sup>



模拟前端、比较器、像素内DAC、优先级读出结构、存储器、TDC等均可集成在有限的像素面积内，进一步提升了HV-MAPS在高hit density 应用场景中提供高精度击中信息的能力。

# 总结和展望

- 完成了55nm HV-CMOS商用工艺上的第二次设计流片COFFEE3;
- 鉴于工艺的不确定性, 完成了两种不同的读出构架方案;
- 每种方案都包含了独立且相对完整的功能、关键节点单独引出 (160个I/O端口), 各模块可单独测试 (包括数字电路), 设计值满足项目关键指标的要求;
- COFFEE3的测试结果将验证设计思路和电路性能;
- 同步的工艺优化方面取得的进展将于COFFEE3测试结果一起, 指导下一版COFFEE4设计的优化



# 致谢



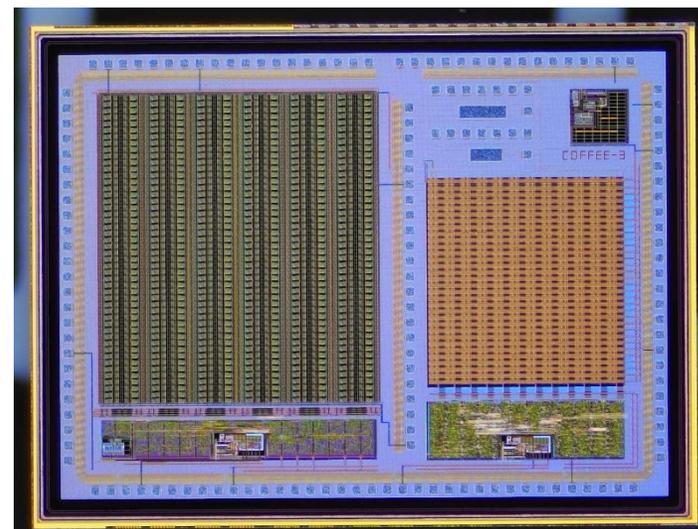
## COFFEE3设计人员:

- 高能所: 李乐怡 (山东大学/高能所)、张晓旭 (南京大学/高能所)、赵梅、陆卫国、周扬;
- 浙江大学: 邓建鹏、李鹏戎;
- 西北工业大学: 吴慧敏、赵泽焯、赵宇、魏政、魏晓敏;
- 大连民族大学: 陈洋、王雨韵、施展;

## COFFEE2的验证对下一步设计的重要输入:

陆续有更多的参与贡献...这里仅截止到COFFEE3完成设计时

- 高能所: 项志宇、曾程、陆卫国、徐子俊、李一鸣
- 浙江大学: 邓建鹏、李鹏戎、朱宏博



COFFEE3芯片在显微镜下的照片, 2025. 5. 27

# backups



# COFFEE3 读出构架2：像素阵列部分

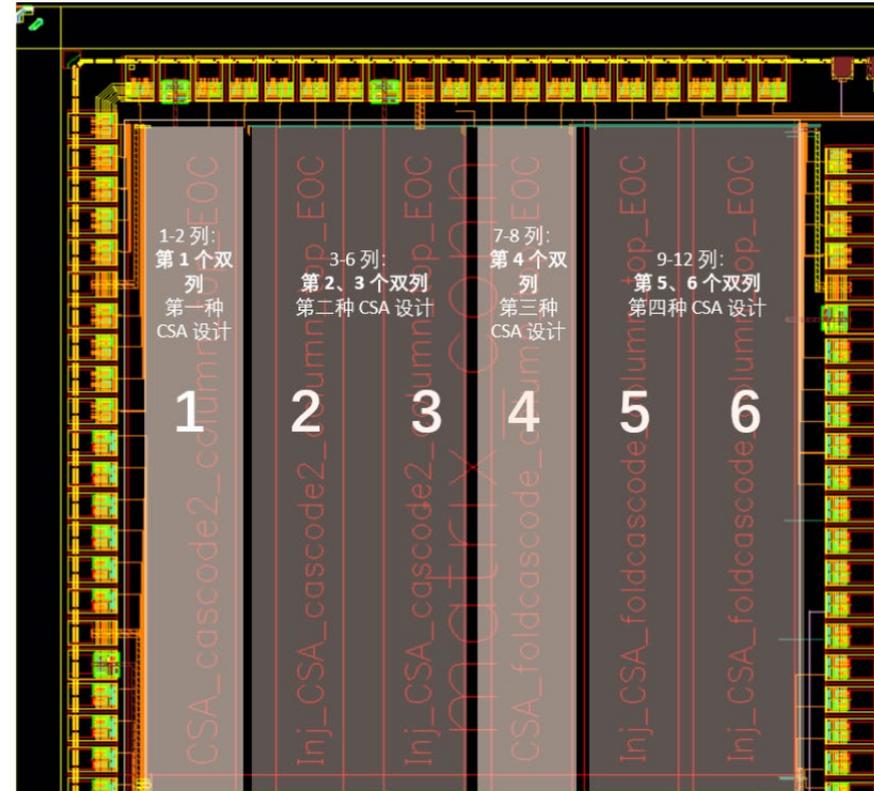
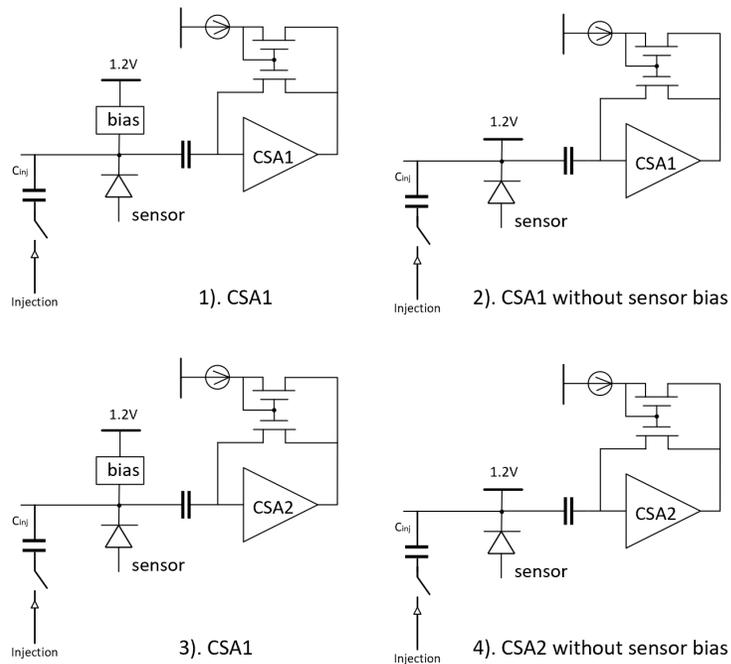
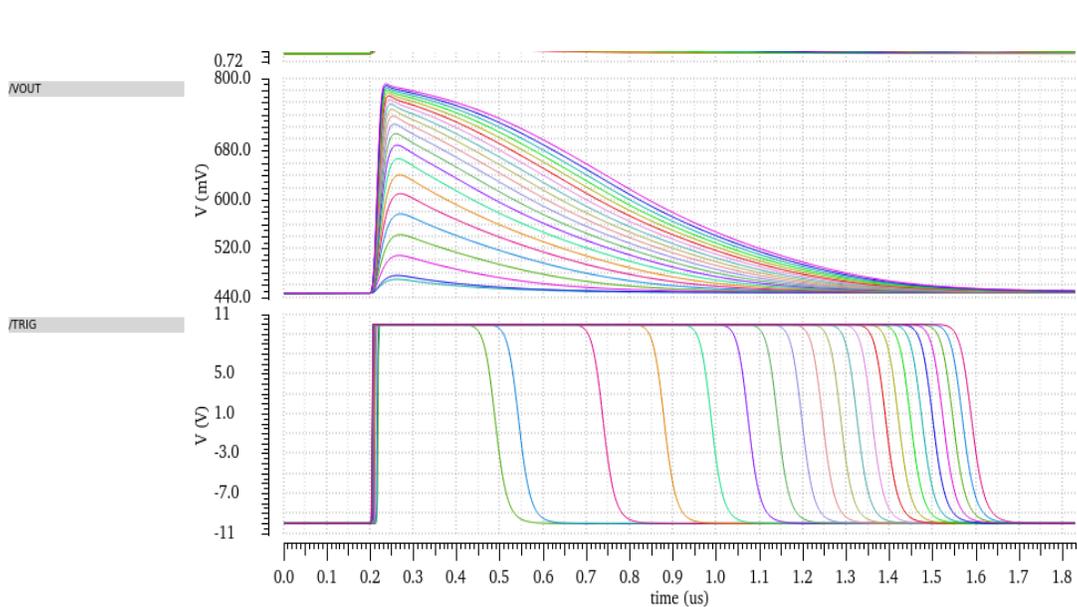


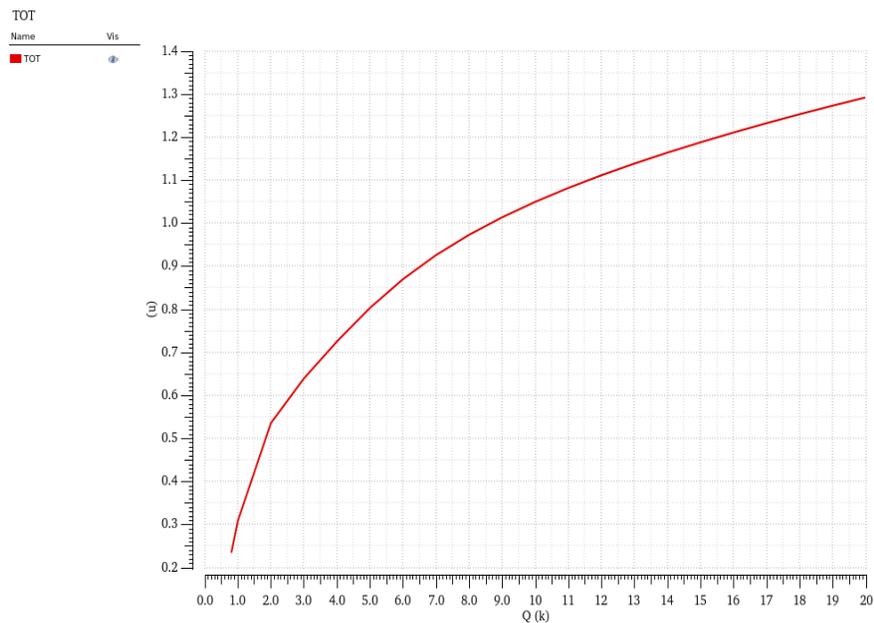
图 4种放大器结构原理图：1)、3) 中sensor可正常工作；2)、4) 中sensor直接偏置到1.2V固定电位；反馈电容结构利用“寄生”，图中未画出

# TOT时间:

## 2. TOT仿真 (Qin800-20ke<sup>-</sup>)



TOT < 1.6  $\mu$ s (7bit@ 40Mhz)



# 优先级读出结构: column-drain

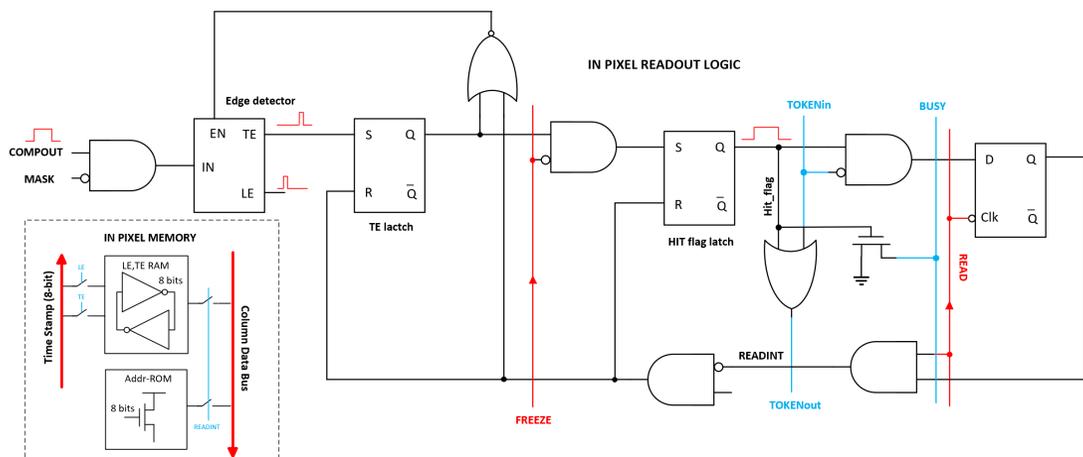


图 像素内 column-drain 优先级读出模块及像素内存储模块原理图

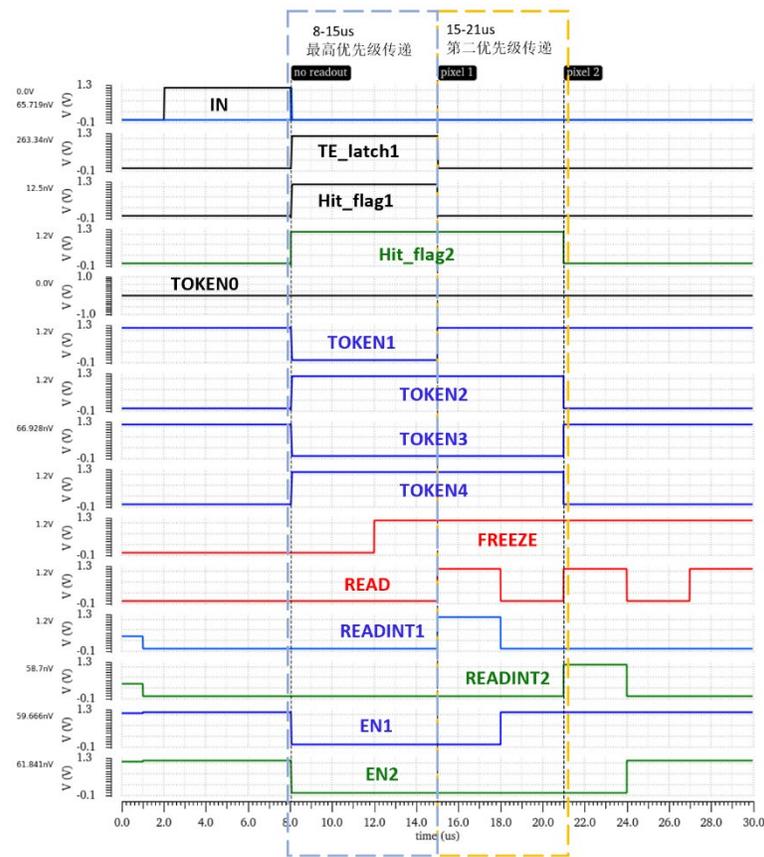


图2.3.3 2\*2像素阵列的 TOKEN 传递与优先级读出的仿真结果（信号的传递逻辑可供参考，信号的持续时间、频率为仿真值）