



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

LATRIC-LGAD联合测试

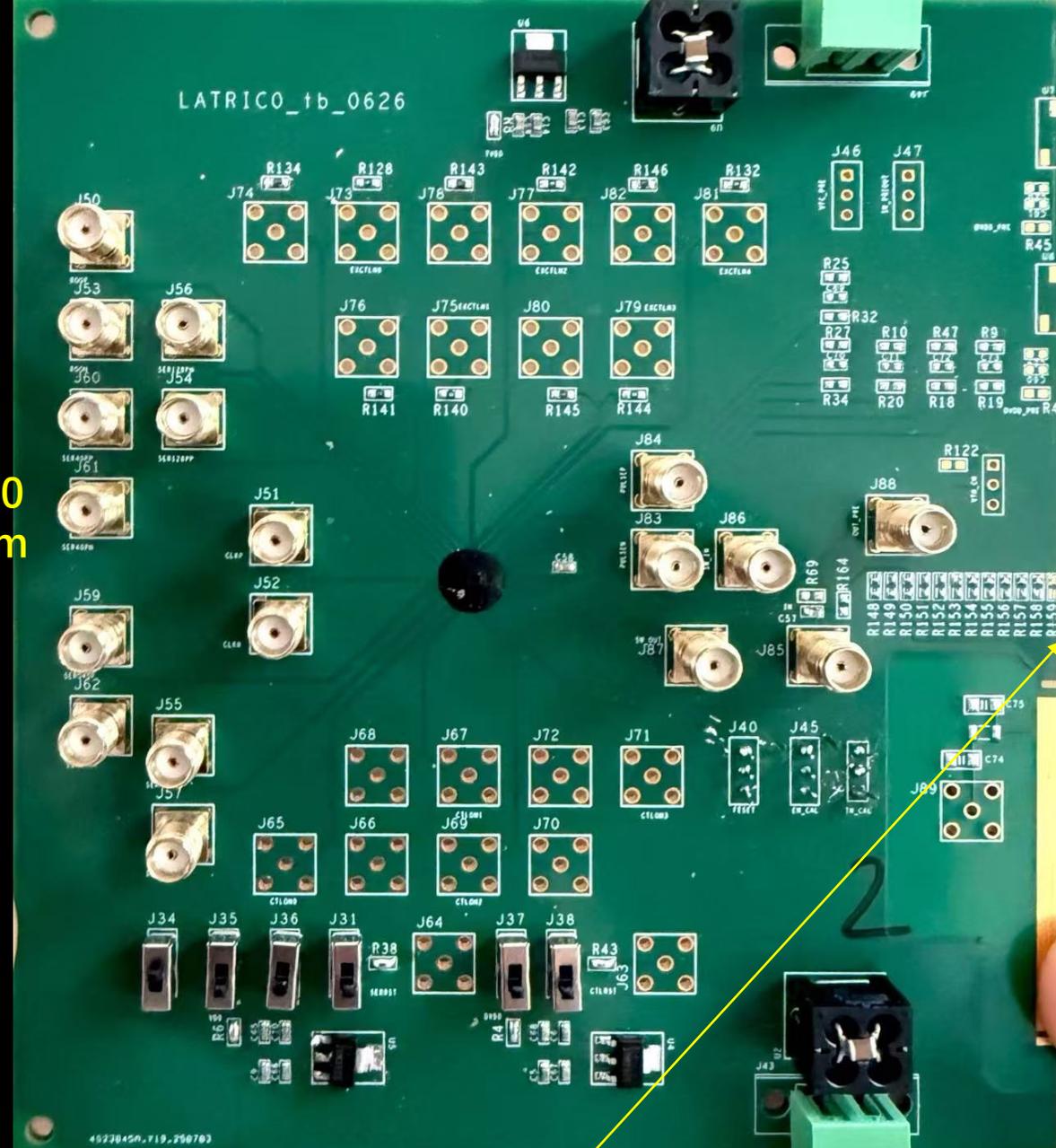
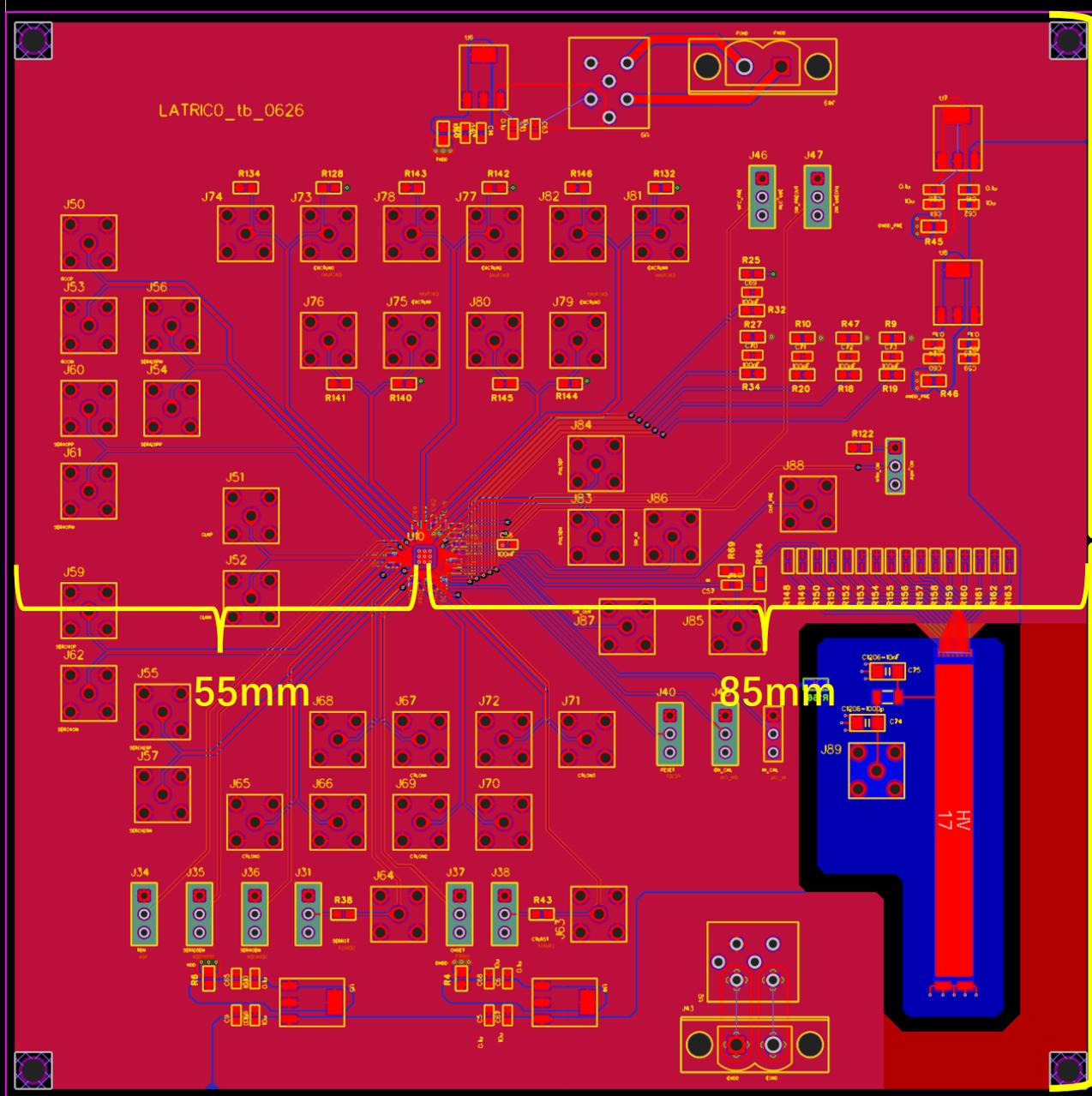
王翰文、张奕晗

2025.10.11

LATRIC-LGAD测试

- 第一版LATRIC-LGAD测试板设计遇到打线困难，无法联合LGAD测试
- 第二版测试板以双通道（双LATRIC）+ 单片LGAD + 激光测试为Baseline方案，同时尽力压缩空间来考虑实际打线要求
- 目前单片LATRIC设计为单通道（2通道选通），40分频，最好1.6GHz时钟输入（之前测试720MHz），输入时钟决定**串行输出**时钟。



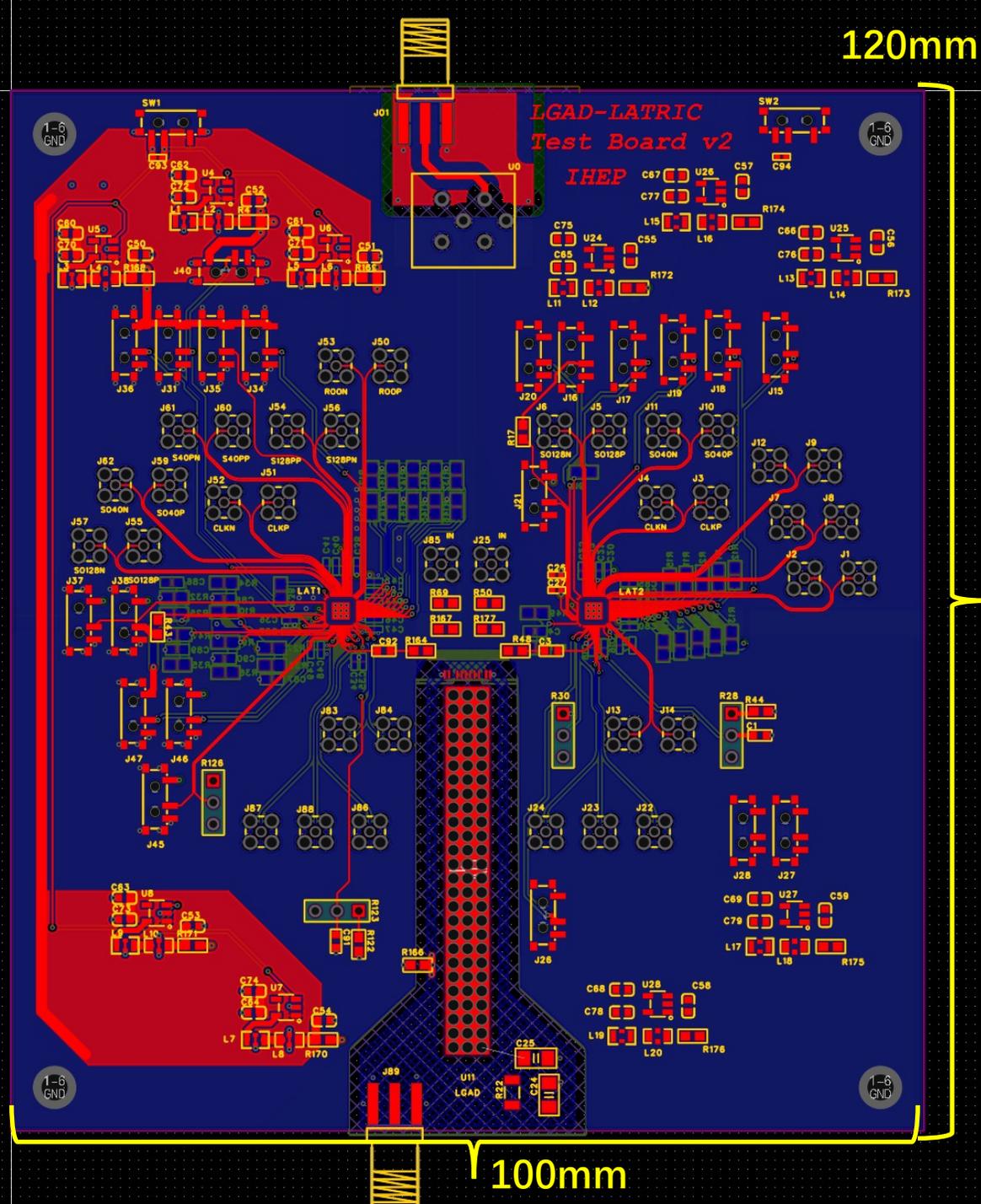


实际必须切割PCB板右侧压缩空间来实现LATRICO右侧打线

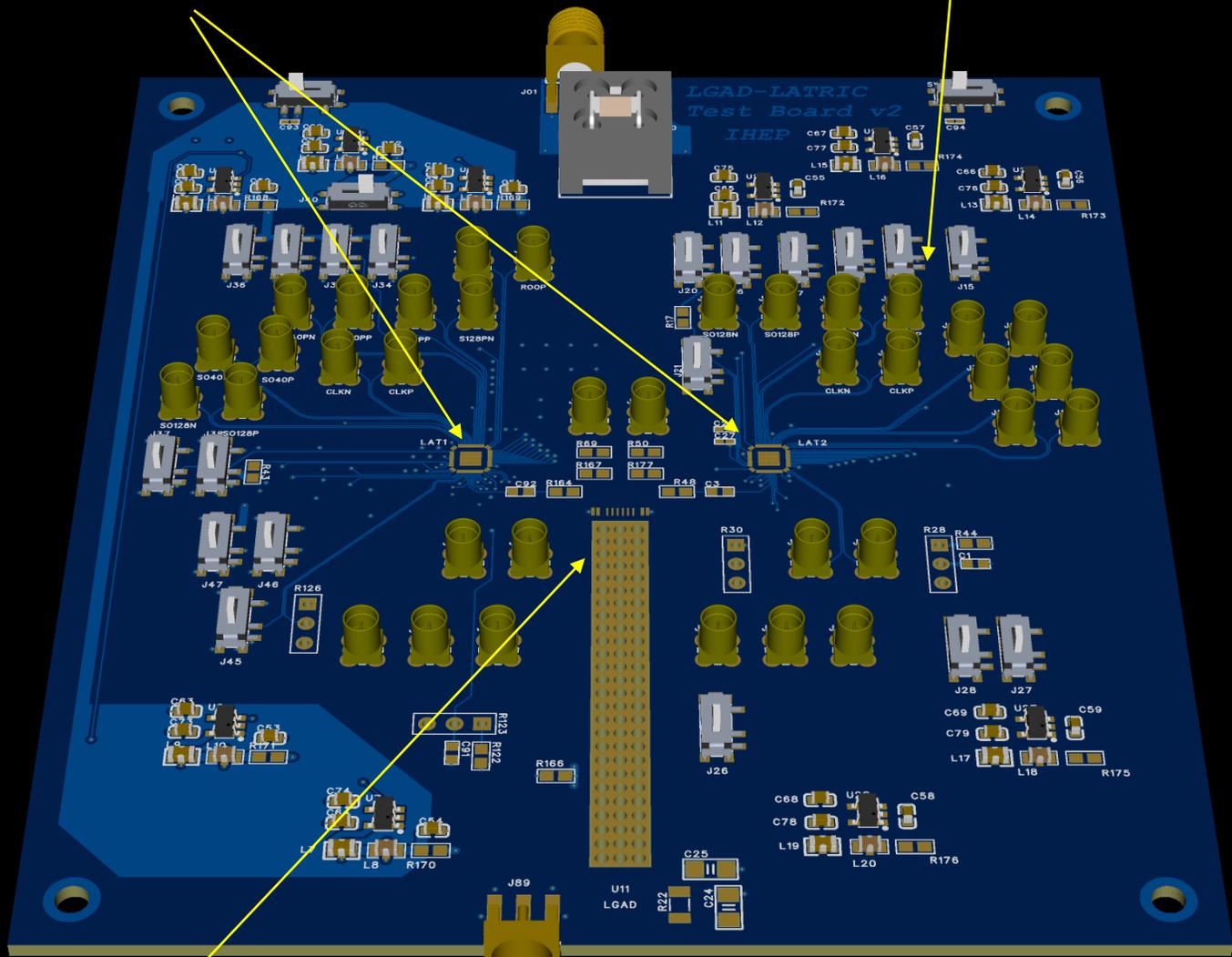
120mm

PCB尺寸更小, 同时承载两片
LATRIC

SMA替换为更小的MMCX接头



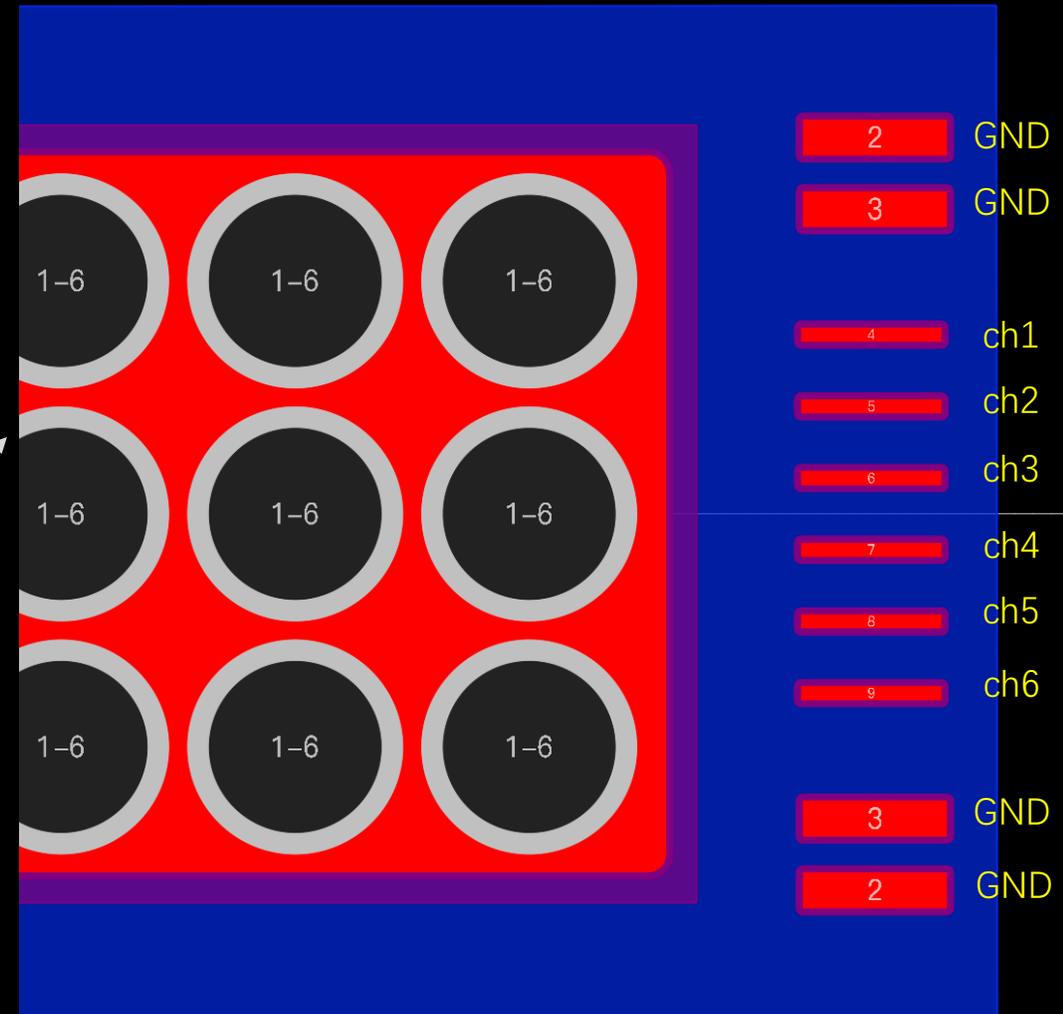
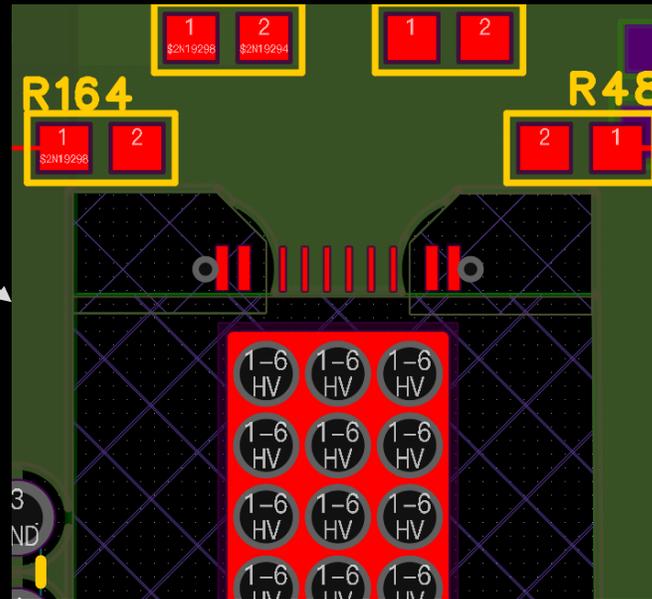
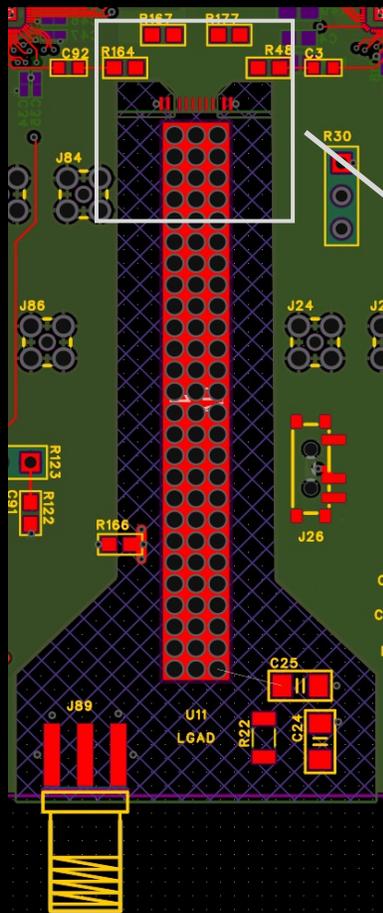
100mm



LGAD焊盘重新设计
衬底下方开孔、
GND位置优化以适应不同器件

LGAD最后打线, 打线区域已避开

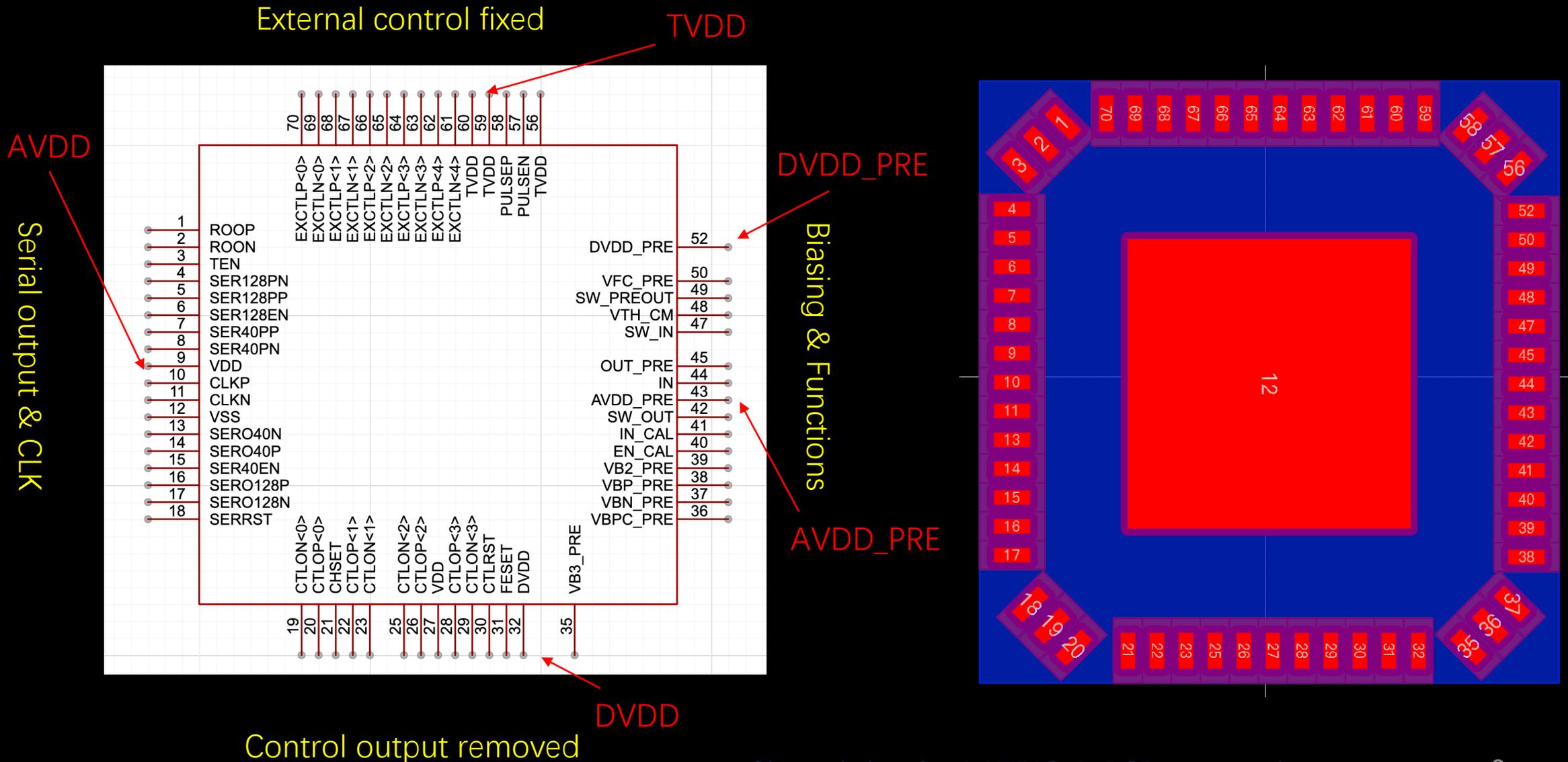
LGAD Range



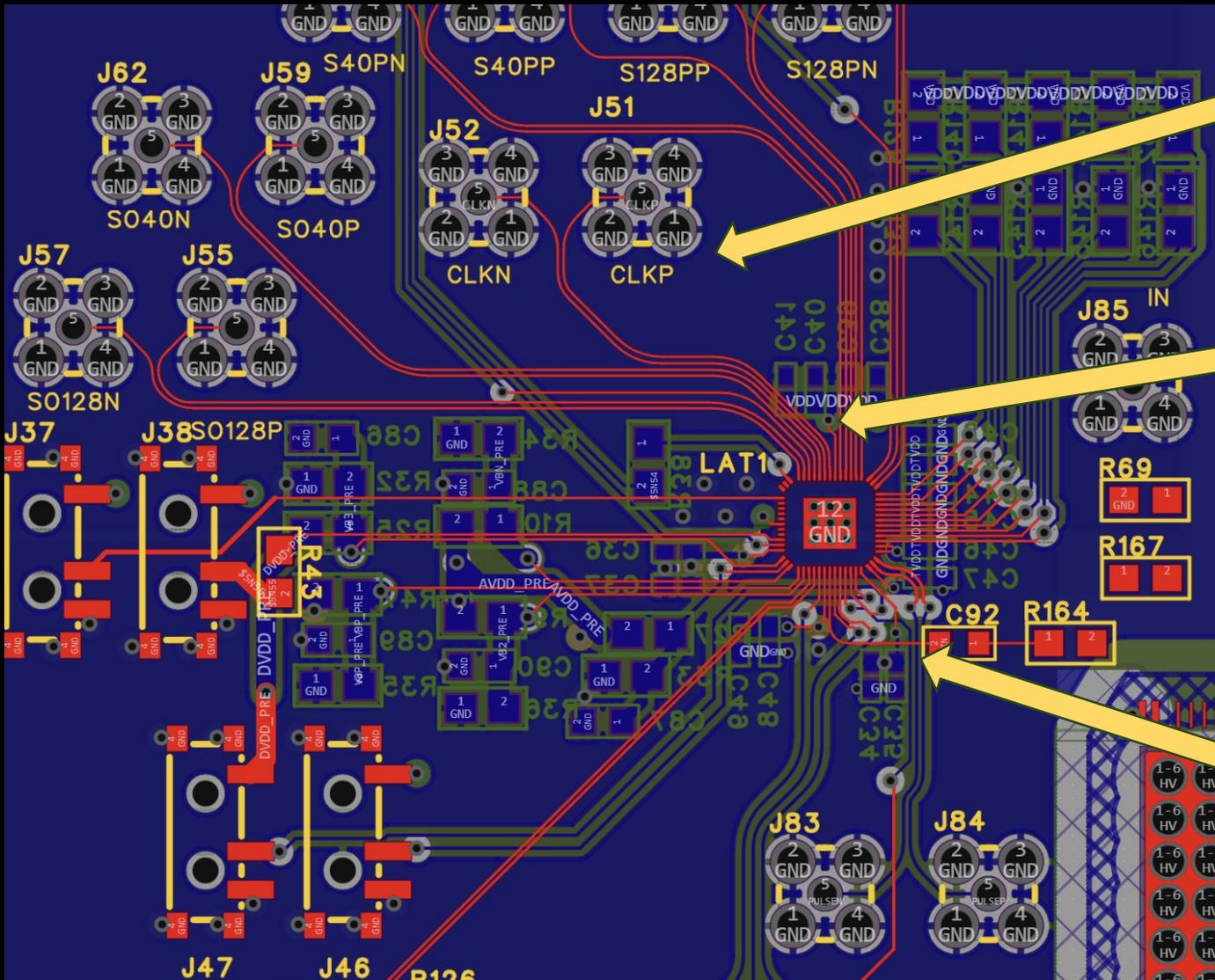
GND solder pad 40 mil * 10 mil
 Signal solder pad 39 mil * 3.9 mil
 Substrate HV holes inner diameter 48mil

1 mil = 0.0254 mm

LATRIC Packaging & Conventions



LATRIC

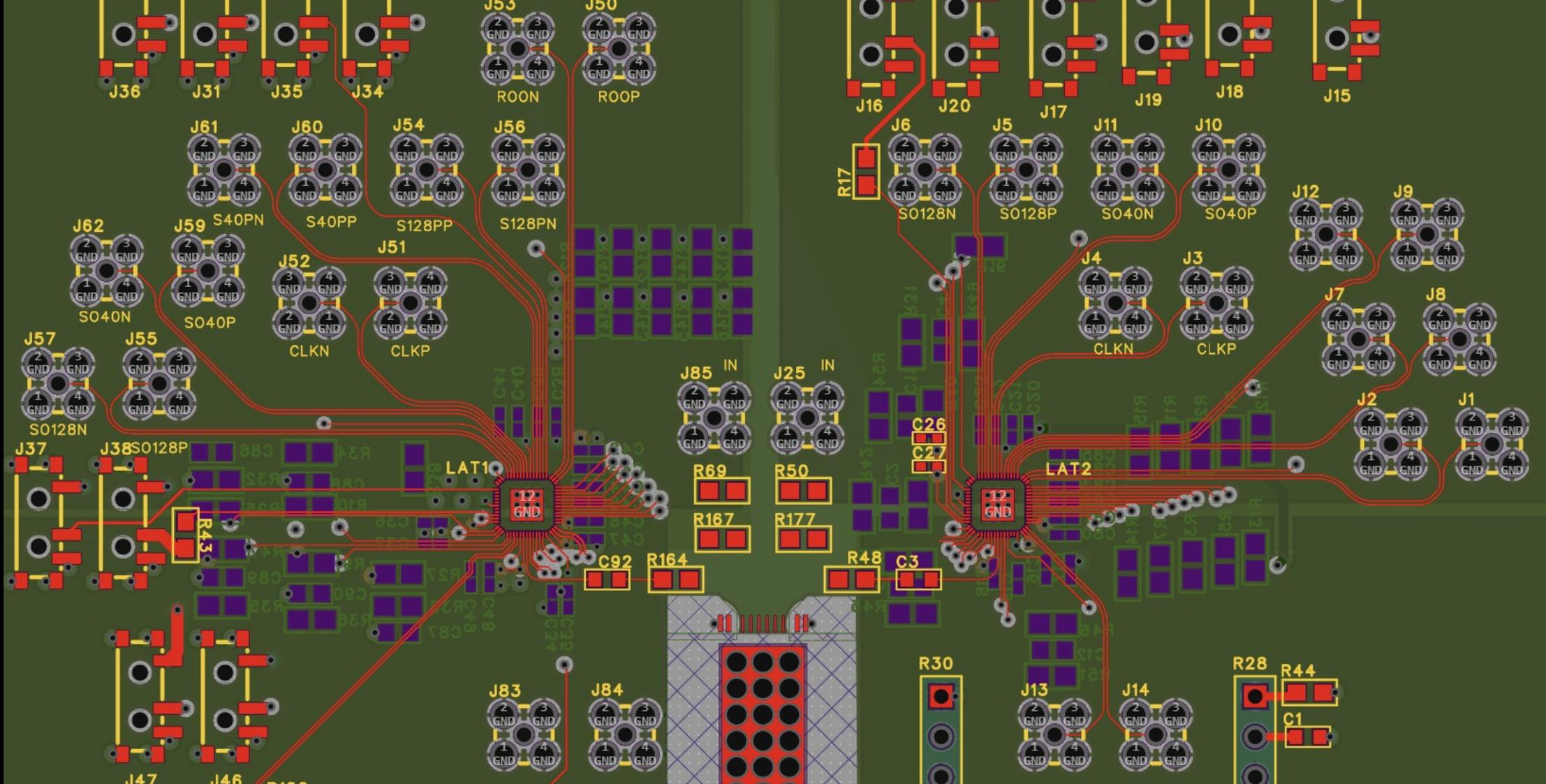


时钟信号是距离芯片最近的一对信号

引进的供电尽量靠近芯片

信号线尽量短

由于空间限制，大部分电容放置在底层



为了实现更好的布局对称性，并兼顾电源层的分割设计，图中两片功能相同的LATRIC在放置时进行了90°的旋转。这样布置可以保证两侧信号走线长度接近，优化电源与地平面的分布

工作内容和分工

- 第二版PCB改版、设计：王翰文、张奕晗
- LATRIC相关：严雄波、王传烨
- LGAD器件：赵梅、柯超逸
- FPGA读出方案：张嘉健
- 系统测试方案设计、测试：张奕晗、鲍晨涛、王翰文



总结&规划

- 第二版初版版图即将完成，将在组内过一遍细节，然后下单做PCB工艺验证
- 时间线（乐观版）：裸板投版生产（1~2周）、LATRIC打线（1~2周?）、元器件焊接（2~3天）、LATRIC测试（1周）、LGAD打线（2~3天）、测试（1~2周）
- 差分时钟输入需要的多通道同源时钟板也在走采购流程中
- 相应的信号测试读出（CLK 720M / 1.6G 串行输出）baseline方案用示波器，FPGA读出方案也在同步推进

