

2025年12月考核报告

报告人：刘 栋

导 师：刘振安

CONTENTS

01 CEPC触发通用板设计

- ◆ 电源与时钟树设计
- ◆ 原理图集成与优化
- ◆ PCB设计

02 BESIII EACC固件移植

- ◆ 固件移植进展
- ◆ TCBA相关测试

03 总结与下一步计划



CEPC触发通用板设计



■ 功能

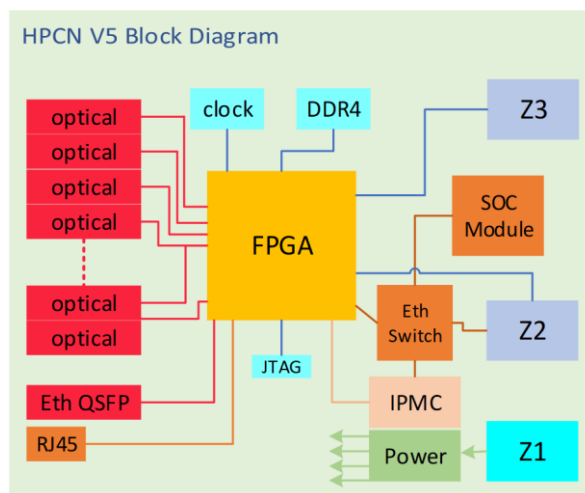
- ◆ 触发系统核心部件，算法性能测试，带宽测试的平台。

■ 需求

- ◆ 高速数据传输与处理
- ◆ 数据缓存
- ◆ 通用性及可拓展性

■ 本季度进展

- ◆ 部分器件选型
- ◆ 电源与时钟树设计与细化
- ◆ 原理图细化与集成（上季度与本季度完成）
- ◆ 布局布线（第一版进度约80%）



- FPGA
- Optical channel: 10-25 Gbps/ch
- Channel number: 36-80 channels
- Optical Ethernet port: 40-100GbE
- DDR4 for mass data buffering
- SoC module for board management
- IPMC module for Power management

图1. CEPC触发通用板硬件架构

CEPC触发通用板设计



■ 电源与时钟树设计细化

- ◆ 考虑器件对于纹波以及电流的要求
- ◆ 简化设计
- ◆ 使用可配置晶振满足DAQ, LDAQ, DDR4, 以及测试的时钟需求
- ◆ 在满足需求的前提下使用尽可能少的时钟器件

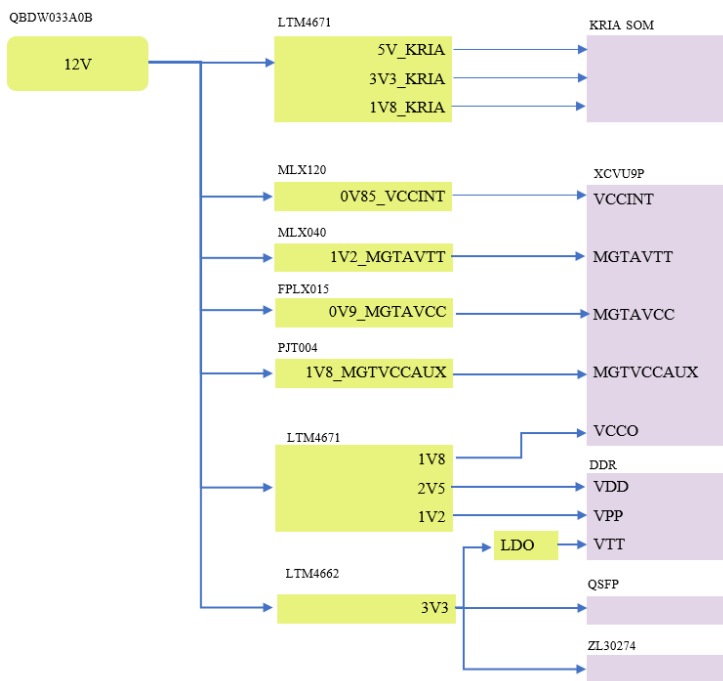


图2. 触发通用板主要电源架构

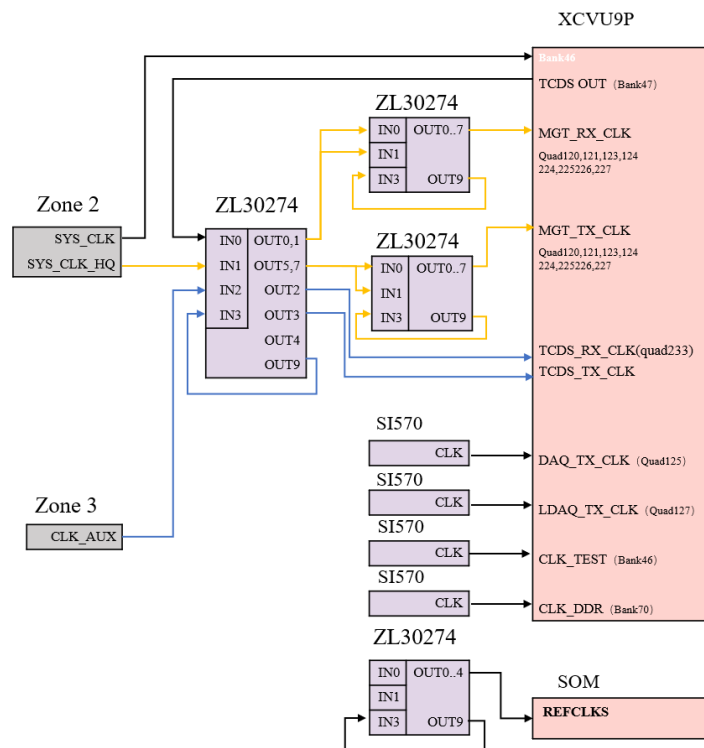


图3. 触发通用板时钟树结构

已完成原理图优化与集成

CEPC触发通用板设计



■ 原理图集成与优化

表1.触发通用板原理图设计进度

Component	Status
Power	已完成
Clock Distribution	已完成
DDR4	已完成
Ethernet Switch	已完成
Z1,Z2,Z3 Connector	已完成
IPMC	已完成
QSFP	已完成
FPGA	已完成
SOM	已完成
Test and Configuration Interface	已完成
System Integration	本季度完成

原理图结构

- ◆ ATCA_TOP
 - ATCA连接器, 电源, IPMC,以太网交互
- ◆ Management
 - SOM,板上器件配置, 状态监测
- ◆ Payload
 - FPGA,DDR4,QSFP
- ◆ Interface_connector
 - 测试点, 外部配置IIC的接口
- ◆ Front_panel
 - 关键状态指示灯, 接口

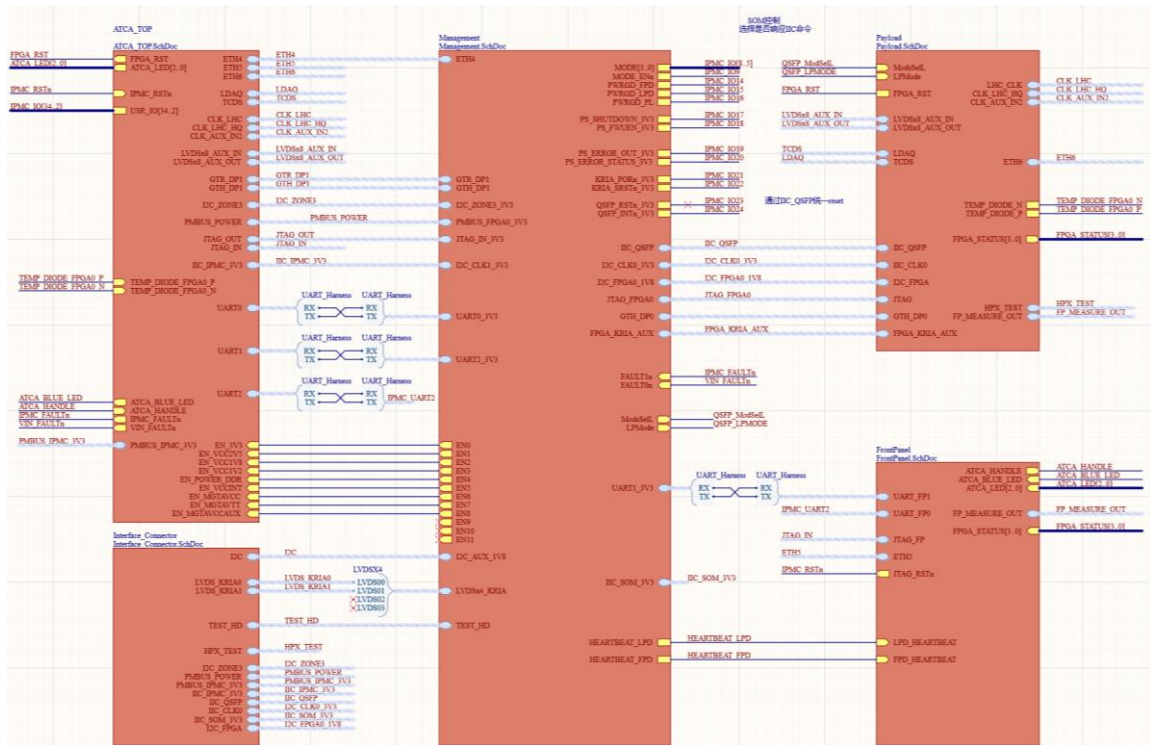


图4. CEPC触发通用板顶层原理图

已完成所有原理图设计与集成

CEPC触发通用板设计



■ PCB设计

◆ 层叠结构设计

- 18层板, 8层信号层, 5层地, 5层电源

◆ 布局布线

- FPGA居中放置
- 电源靠近供电负载
- 高速线: QSFP,DDR,ETH SWITCH, Z2,SOM,时钟

◆ 设计难点

- 板上器件密度高
- 高速线多, 其中QSFP单通道设计为需支持25Gb/s

◆ 目前进展

- 已基本完成第一版PCB布局布线

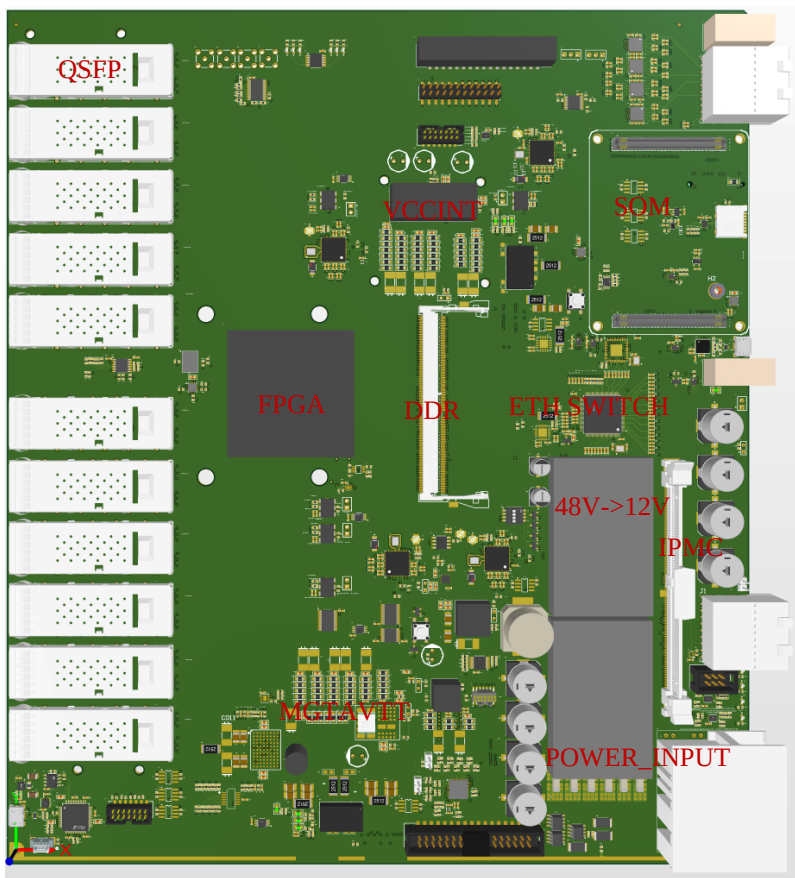


图5. 触发通用板布局示意图

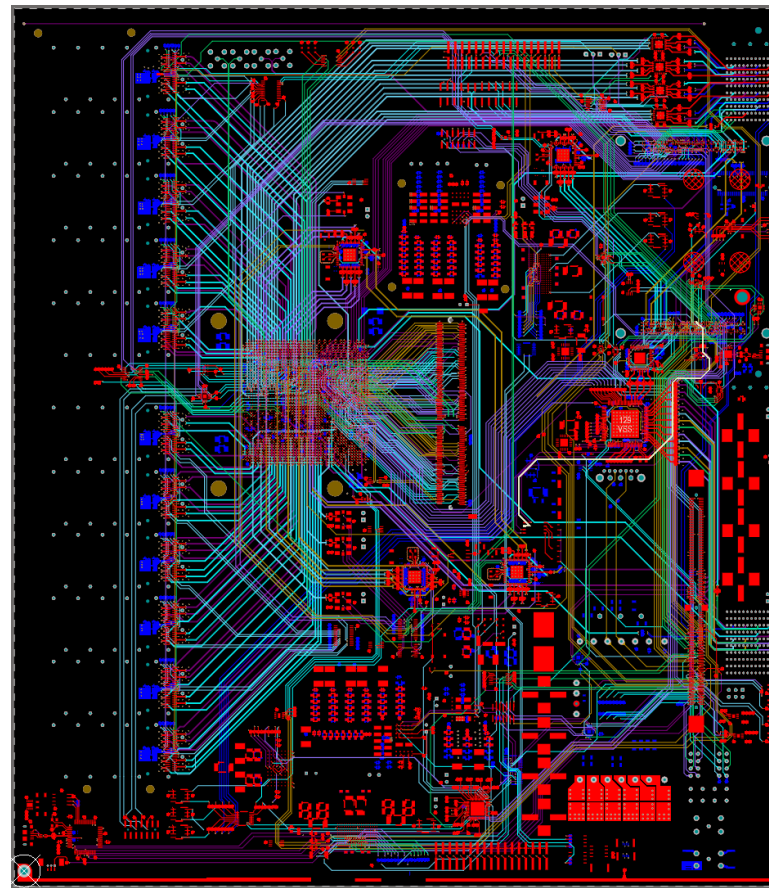


图6. 触发通用板布线示意图

BESIII EACC固件移植



■ 功能介绍

- EACC(Energy Adding and Cluster Counter)位于EMC触发子系统。
- 接收TCBA插件送来的信息，处理之后形成触发条件，成形和对齐之后送给主触发。

■ 背景和需求

- EMC触发子系统硬件升级，FPGA从VirtexII pro更换为XCKU060。
- 固件功能的增加，需增加原始数据全读出的功能。

■ 现有进展

- 基本熟悉EACC形成的触发条件逻辑和流程
- 完成FIFO，双口RAM，IP核的重新配置与例化，正在学习GTH的使用
- 正在检查和替换原语的使用

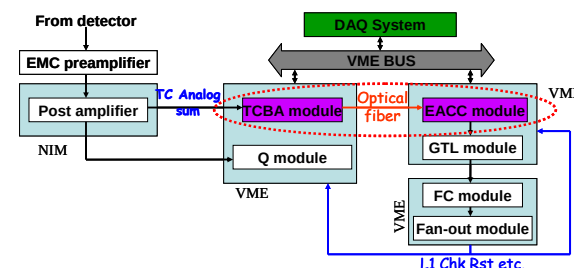


图7 EACC在BESIII系统中的位置

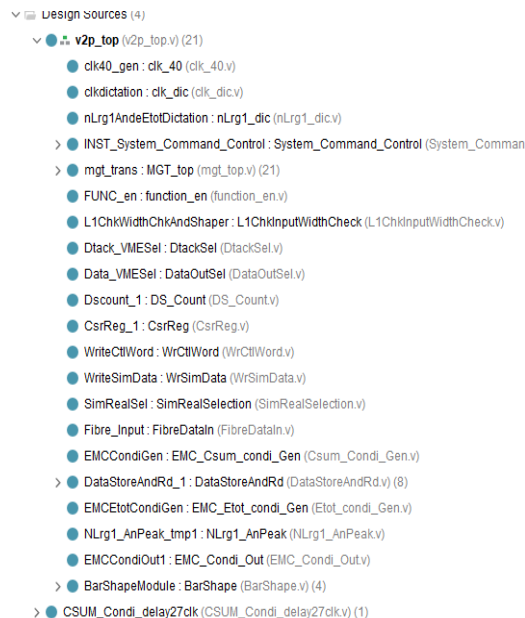


图8 新EACC固件工程的结构

BESIII EACC固件移植



■ TCBA_II 联调

- 目的：为了验证新设计的TCBA_II的硬件和固件功能。
- 测试中出现的问题：FUERR报错 ← FIFO满
- 排查思路：1. TCBA_II的延迟太小
2. TCBA发送的数据有问题
- 结论：TCBA上FIFO的写时钟太快导致无K码写入数据流，输入EACC的全是数据。

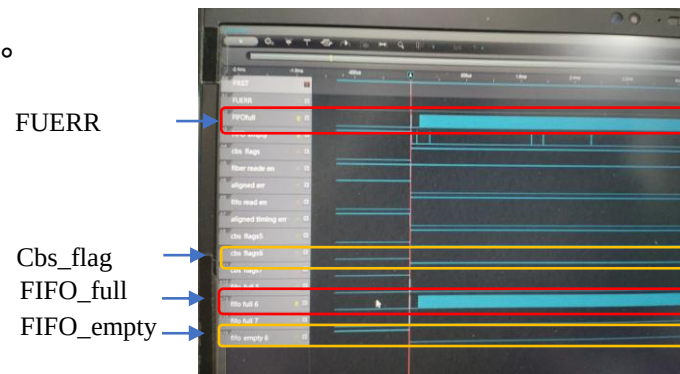


图9.FUERR报错的相关信号

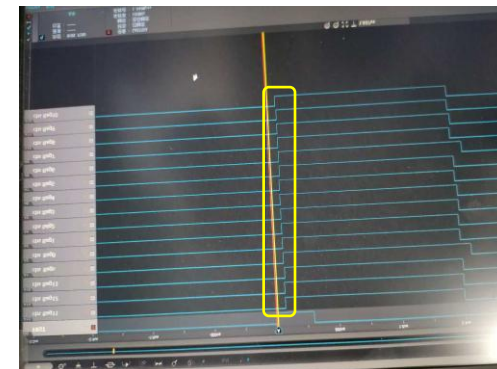


图10.16个通道的CBS_FLAG信号

■ 联调的收获

- 对于EACC处理的数据流程更加清晰
- 熟悉了测试使用工具以及测试的流程，为后续EACC以及其他固件的测试积累了宝贵的经验。

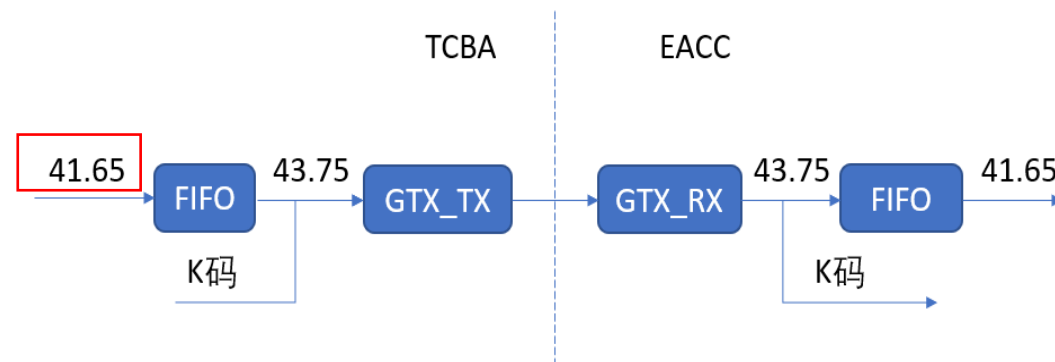
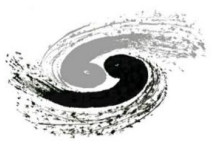


图11.TCBA往EACC发送数据的流程示意图



■ 总结

◆ CEPC触发通用板设计

- 原理图设计已完成
- 第一版布局布线已基本完成
- 信号线的等长处理，电源平面的分割正在进行中

◆ BESIII EACC固件移植

- 已完成部分IP核的配置和例化，正在学习GTH IP核的使用
- 正在检查和替换原语，完成之后可以开始考虑上板测试

请各位老师批评指正