

中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences



联合培养季度考核

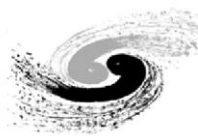
Report of Joint Training of Chinese Academy of Sciences and Nanjing University

导师：叶竞波

指导教师：李筱婷、严雄波

报告人：吴青康 2025.12.25 北京

Electronics



目录

CONTENT

- 带有多档预加重和输出阻抗可调功能的低功耗SST驱动器设计
 - 背景介绍
 - 设计架构
 - 仿真结果
- SST driver 芯片测试PCB板设计
- 下一步计划

◆带有多档预加重和输出阻抗可调功能的低功耗SST驱动器设计

➤ 背景和需求

- 博士课题：面向高能物理实验的高性能时钟系统和SERDES数据传输系统设计。
- 针对CML驱动器的大功耗问题（38mA），进行低功耗SST驱动器研发。
- 高速信号受信道低通特性的影响，会产生严重的码间干扰（图1、2），需要补偿及技术。

➤ 目标

- 以SST驱动器基本结构为基础，引入预加重技术，兼具阻抗匹配可调的设计。
- 对传统预加重技术进行改良，大幅减少功耗。

➤ 研究进展

- SST驱动器原理图及版图设计
- SST驱动器测试芯片及顶层版图设计
- 测试PCB板设计
- SSTtest 芯片测试
- SST专利撰写

√已完成

√已完成

√已投板

流片中

正在提交

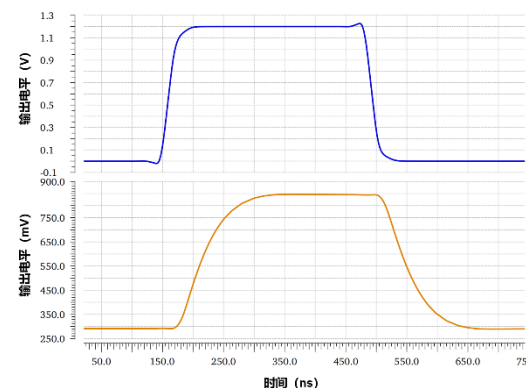


图1 高频衰减对信号边沿的影响

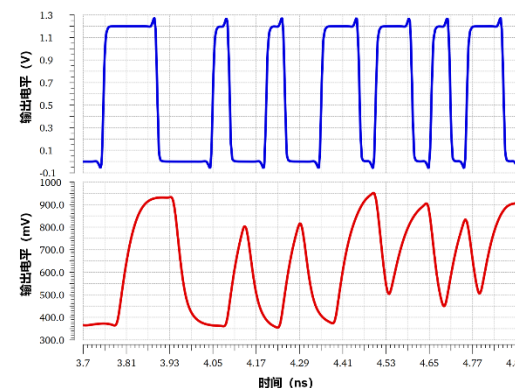


图2 码间干扰

◆带有多档预加重和输出阻抗可调功能的低功耗SST驱动器设计

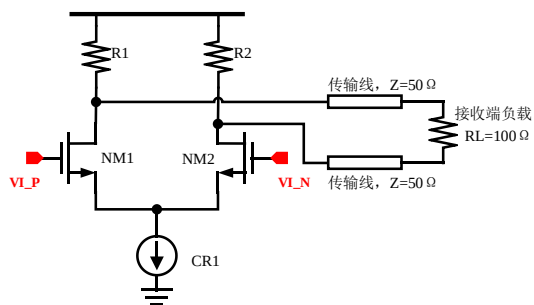


图3 CMLdriver 架构

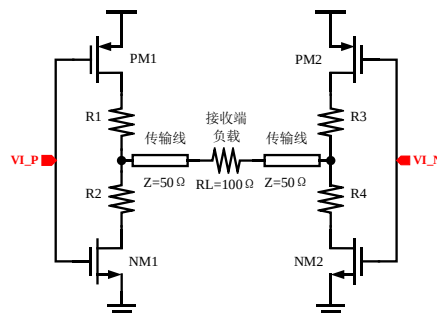


图4 SSTdriver 架构

➤ 架构选择

- CML驱动器（图3）采用差分开关控制尾电流源流经通路产生差分信号。**优点**：输出阻抗和摆幅易于控制。**缺点**：恒定电流源**功耗较大**，且电流并非完全流经信道，**能效比高**。
- SST驱动器（图4）采用电压模式驱动，电流完全流经传输线，相同信号摆幅下功耗只有前者**1/4**。**缺点**：驱动能力**弱**，阻抗设计相对复杂。

➤ 预加重补偿技术

- 信号补偿技术分为**预加重**、**去加重**和**均衡**。
- 发送端一般使用**预加重**。

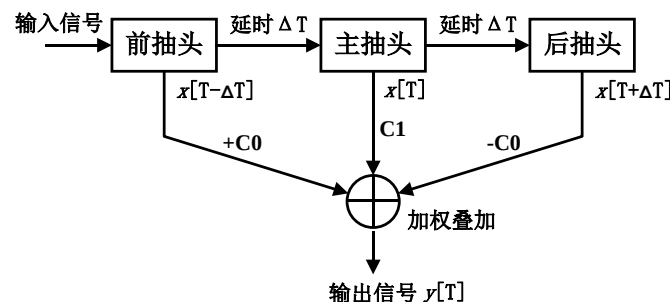


图5 传统预加重技术框图

- ◆ 预加重在原信号的基础上进行**延时**，并将多个抽头按一定系数**加权叠加**。
- ◆ 额外的抽头会**持续**产生额外的功耗。

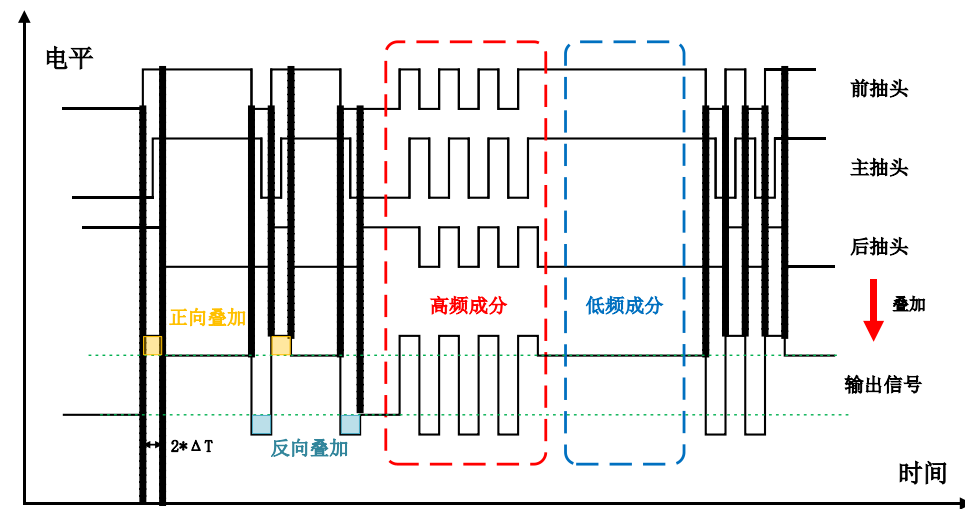


图6 预加重信号时序图

◆带有多档预加重和输出阻抗可调功能的低功耗SST驱动器设计

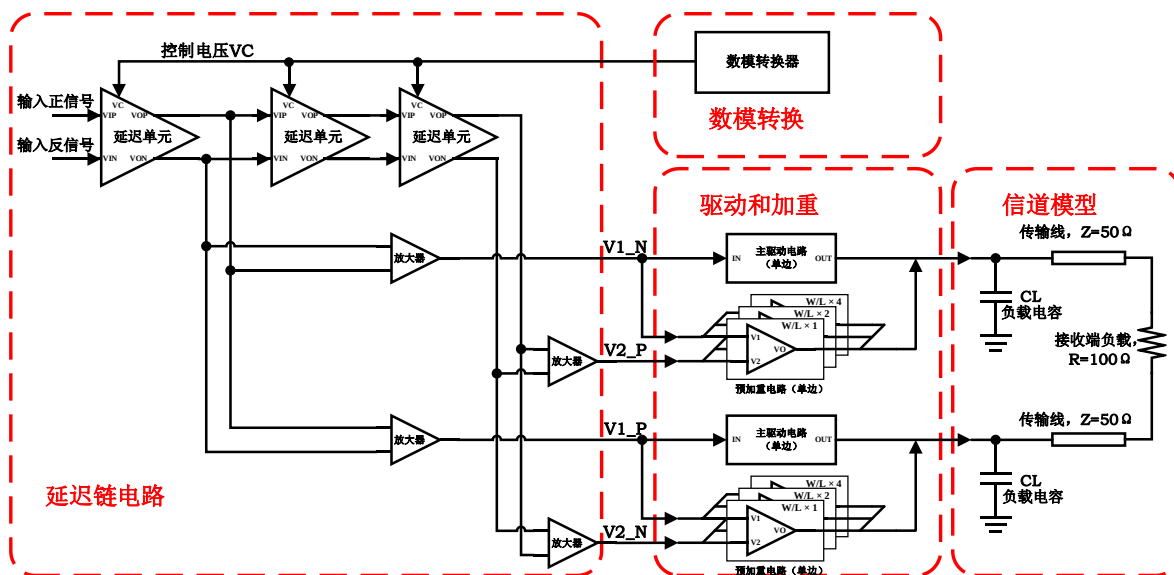


图7 SST驱动器整体框图

➤ SST驱动器和改进版预加重整体介绍

- 保留信号延时设计，改传统预加重三抽头为两个抽头，主抽头满足**阻抗匹配**以及用于维持**信号摆幅**。
- 预加重功能设计成独立电路，信号并非简单叠加，而是通过组合逻辑控制预加重开关。预加重仅作用于信号边沿，在非边沿处保持关断从而**大幅节省功耗**。

◆ 主驱动级输出阻抗等于上拉/下拉MOS导通电阻与其对应的端接电阻串联，可通过并联更多上下拉MOS调节输出阻抗。

◆ 预加重与主驱动级类似，通过并联多个不同尺寸的预加重电路实现加重档位调节。

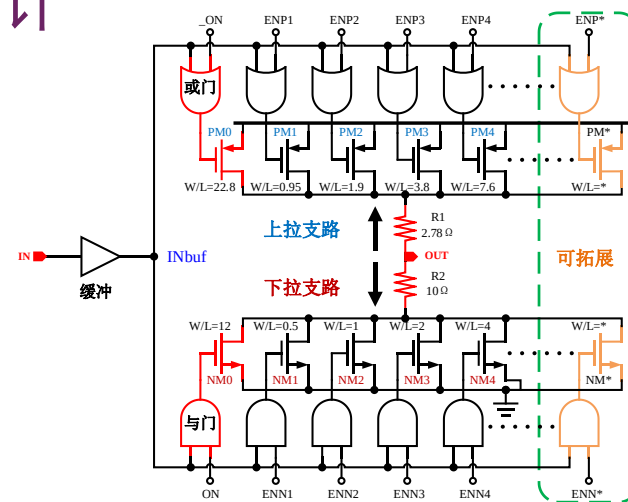


图8 主驱动级（单边）

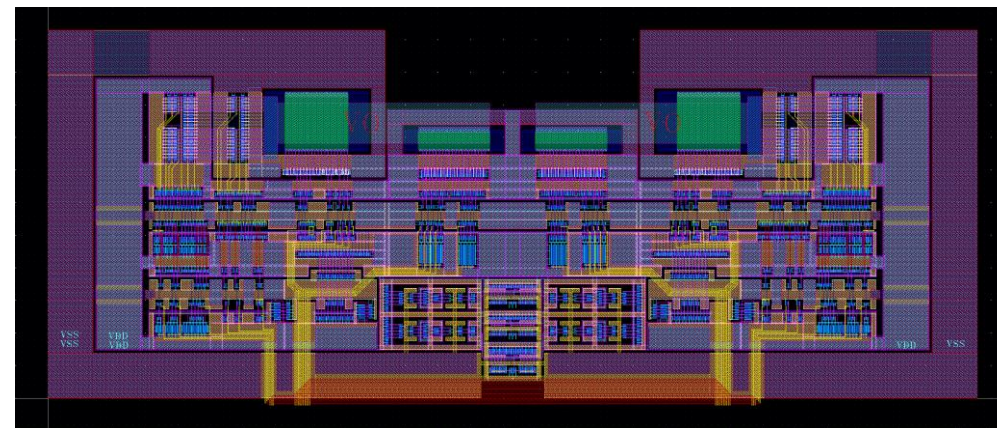
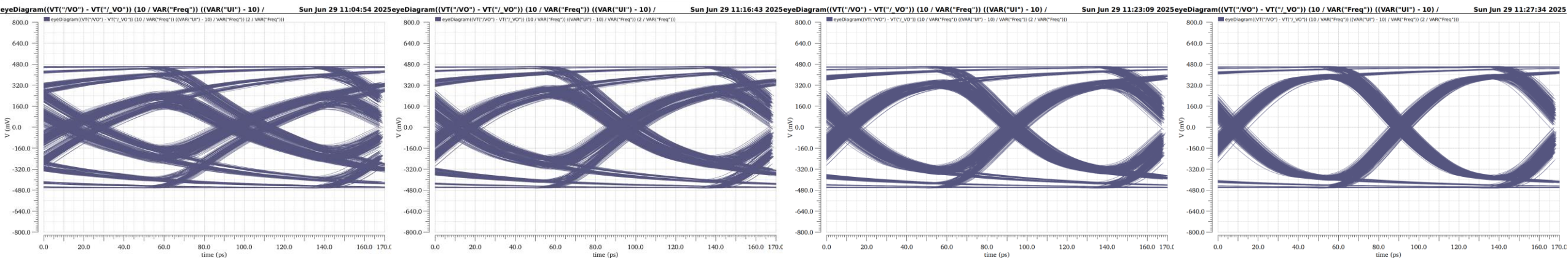


图9 SST驱动器版图

◆ 不同加重档位的加重仿真效果（ 12Gbps，输入端1.5pF电容和1nH电感，接收端完全阻抗匹配，延迟时间

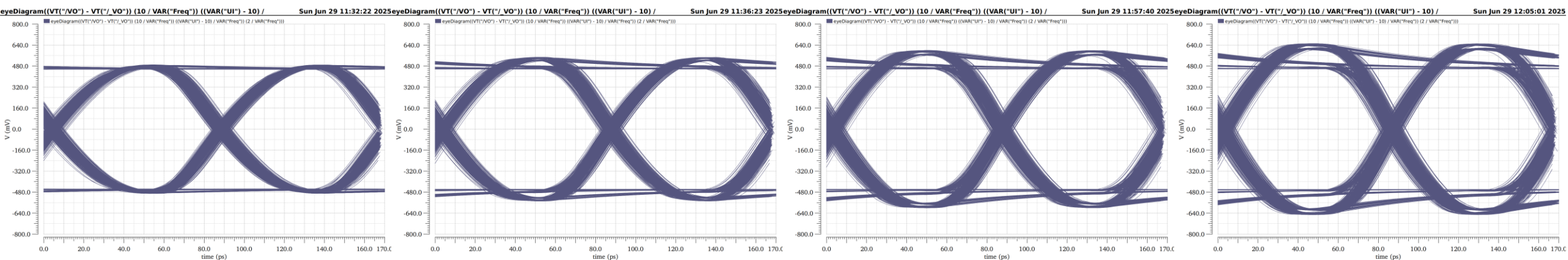


000

001

010

011



100

101

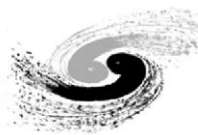
110

111

2025/12/25

图10

6



◆ 功耗仿真

average(clip((IT("/I62/VDD") + IT("/I89/VDD")) (10 / VAR("Freq")) ((VAR("UI") - 10) / Sun Jun 29 15:39:31 2025

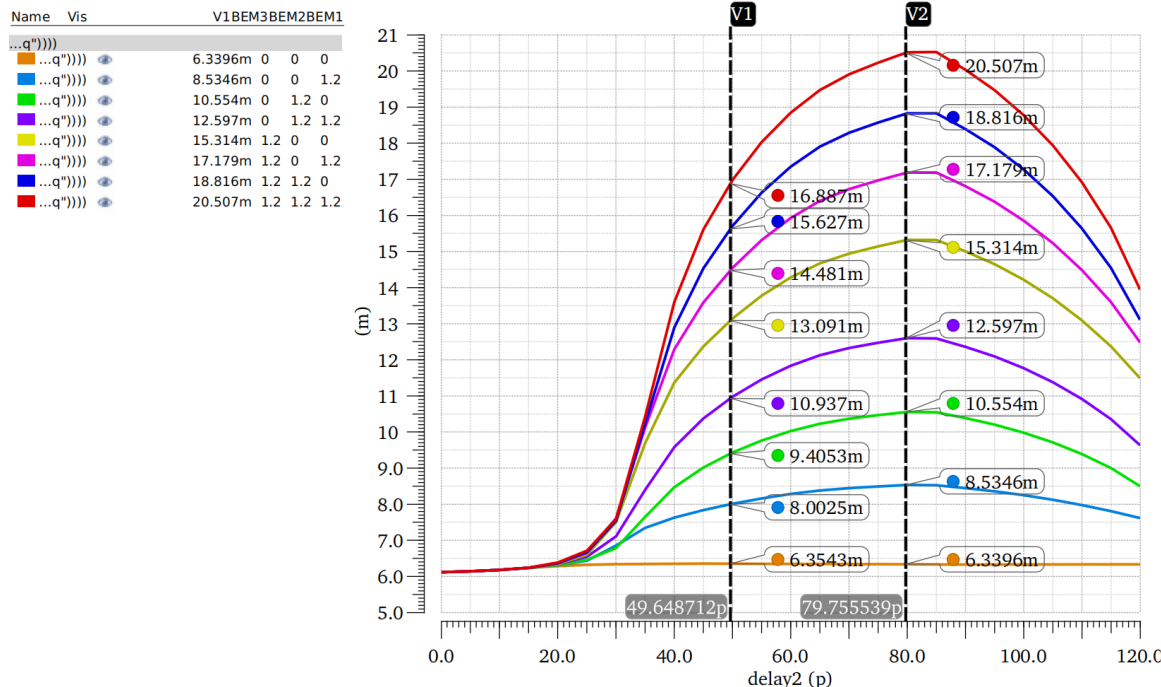


图11 6GHz时钟信号不同加重档位下功耗随延迟时间变化

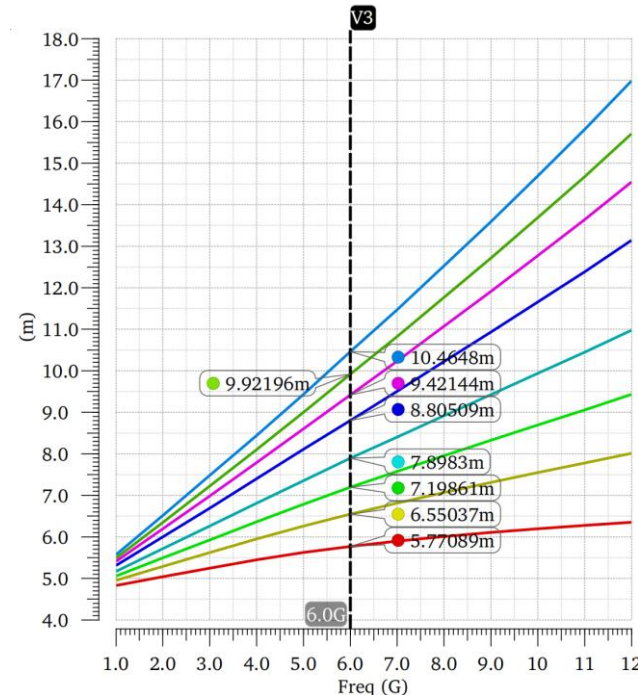
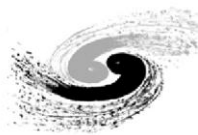


图12 50ps延迟时间功耗随信号频率变化

- ◆ 加重效果越强功耗越高。延迟时间在一个码元时长内，时间越长，功耗越大。超过一个码元则预加重无意义。信号中频率成分越高，功耗越大。
- ◆ 极端情况下，功耗最高不超过**21mA**（**1.2V**供电），对比CMLdriver（**38mA**）下降约**45%**。



◆ SSTdriver 测试芯片

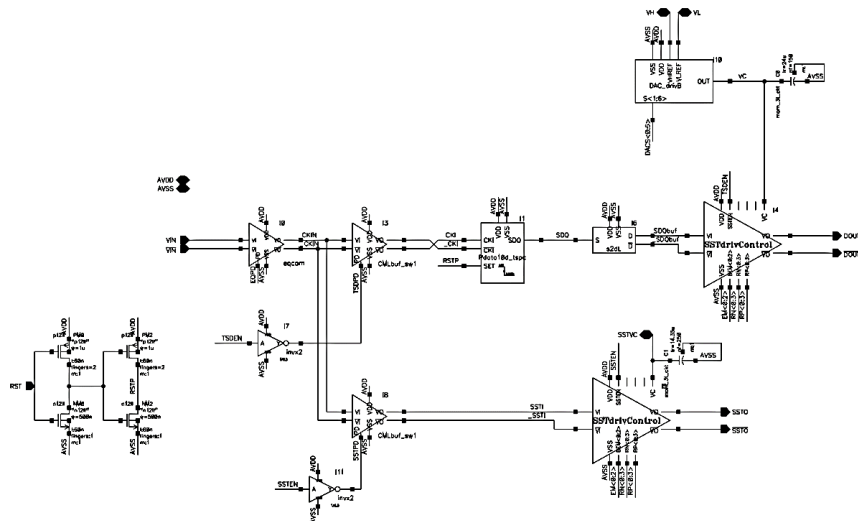


图13 SSTdriver 独立测试芯片

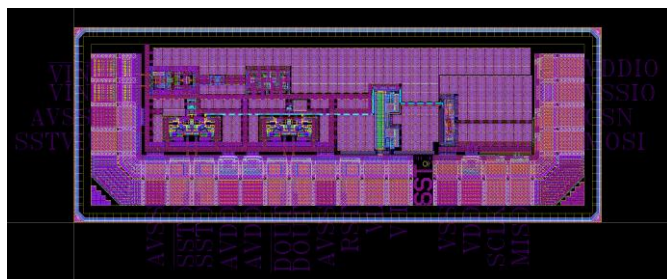


图14 SSTdriver 独立测试芯片版图

➤ SSTdriver 独立测试芯片介绍

- 内含两个SSTdriver，一路由外部直接给输入信号，一路由外部时钟驱动内置伪二进制随机数产生器（PRBS7）给输入信号。
- 一路由外部直接给延迟链控制电压，一路由专门定制的DAC给控制电压。
- 在验证SST驱动器的同时也验证PRBS7信号源，其可作为计划于明年4月流片的PAM4-TX芯片信号源。

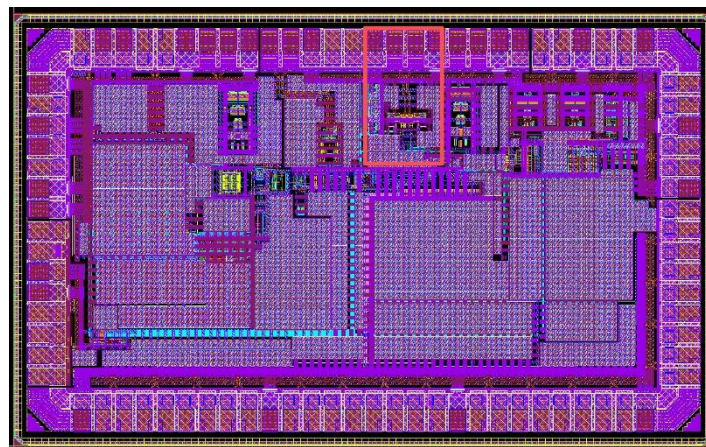
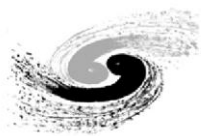


图15 55nm SERDES验证芯片

➤ 初版SERDES验证芯片

- 采取55nm工艺，集成SSTdriver，将用于和CMLdriver实测对照。

已于10月
提交流片



◆SSTtest 芯片测试PCB板设计

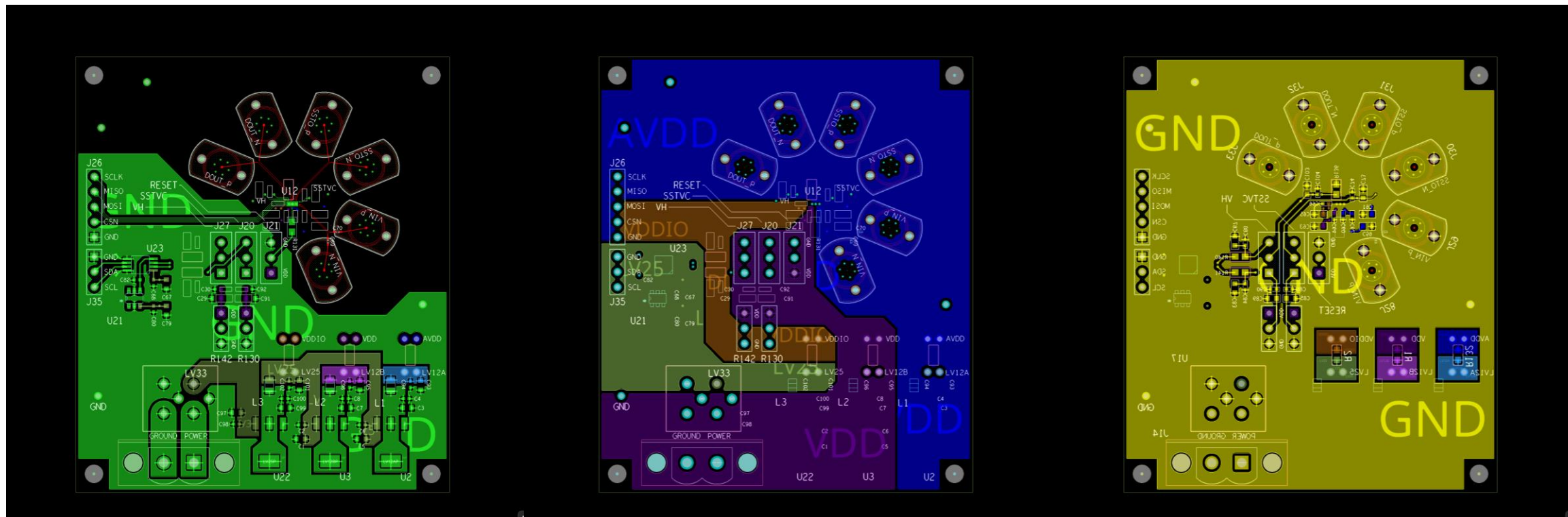
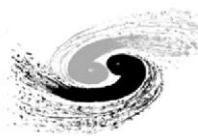


图16 SSTdriver测试芯片专用测试板设计

◆其他工作

- 李筱婷, 吴青康, 严雄波, 叶竞波, 一种延迟单元及宽频多子带环形振荡器电路, CN202510833765. 1, 实质审查中;
- 第二作者: An 11-Gbps CMOS-logic serializer core for high-energy physics experiments, JINST, 小修中;



◆ 下一步计划

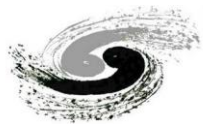
➤ 近期计划

- ROPLL论文撰写，2月底前提交。
- 数字IC设计工具学习，并进行编码器解码器设计，增加PRBS7、11、15、31等常用码型校验功能。预计于明年四月份前，集成已有芯片（PLL、CDR、SSTdriver、SER、DES等），完成第二版SERDES。

➤ 长远规划

- 宽频LCPLL设计（低噪声优势）。
- 研发基于CML的**20Gbps** SER核心和**10Gbps**的CDR设计，可用于PAM4数据传输接收端的定制化设计。

ASIC — PLL



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences



谢谢指正

Thank you!