

中国科学院高能物理研究所

Institute of High Energy Physics, CAS

20Gbps PAM4数据传输ASIC设计

中国科学院高能物理研究所

报告人：张国锐

导师：严雄波

指导老师：李筱婷、叶竞波、李怀申

日期：2025-12-25

目录

CONTENTS

01

研究背景

02

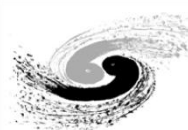
研究计划

03

研究进展

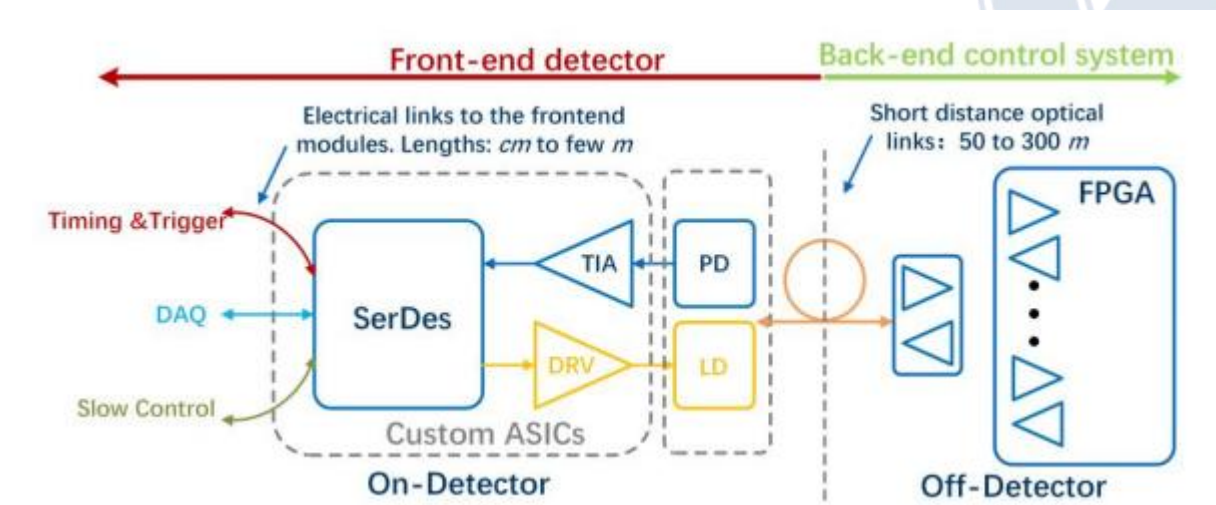
04

总结



中国科学院高能物理研究所
Institute of High Energy Physics, CAS

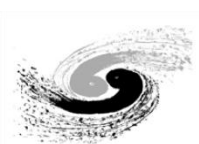
- 典型的高能物理实验光通信系统包括探测器前端和后端两部分。
- 前端的TX芯片包含SerDes电路和Driver电路两部分，前者负责将接收的并行信号转换为高速的串行信号，后者则负责将信号驱动至后端。
- 随着高能物理实验中探测器输出的数据量越来越大，拥有两倍比特速率的PAM4信号展现出其优势。同时均衡技术可以更加有效的为信号在信道中受到的高频损耗进行补偿，保证信号的完整性。



芯片	工艺	速率	信号类型
GBTX	130nm	5Gbps	NRZ
IpGBT	65nm	10.24Gbps	NRZ
GBS20	65nm	20.48Gbps	PAM4
高能所	55nm	11Gbps	NRZ

典型的高能物理实验中的光通信系统

高能物理实验数据传输芯片比较

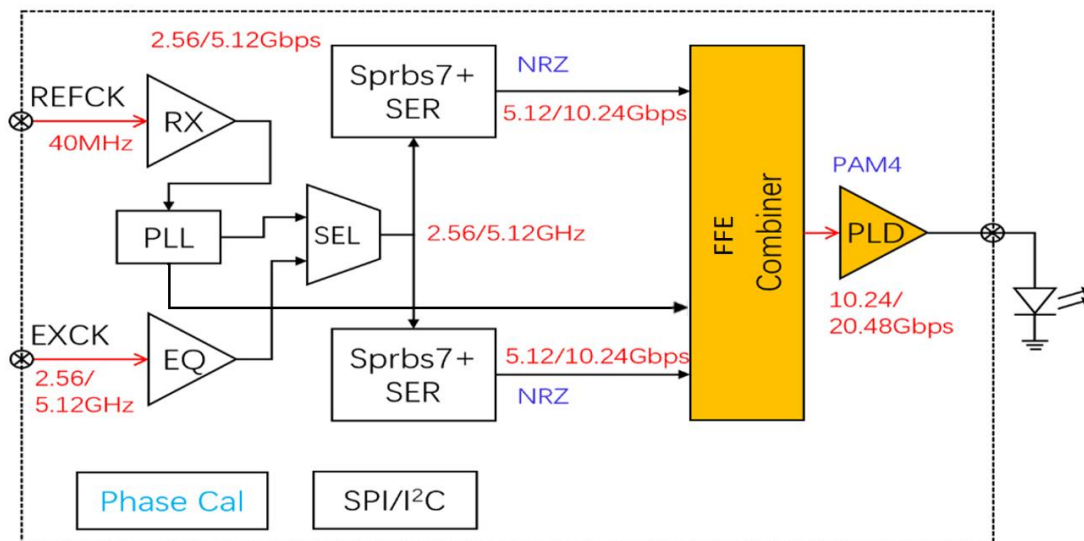


➤ 研发背景

- 28nm工艺研发成本高，但55nm工艺下10Gbps的NRZ码型数据输出已接近带宽上限。
- PAM4通过电平调制，在同一模拟带宽下，可以提升单通道数据率，降低探测器数据传输通道数。

➤ 芯片研发计划

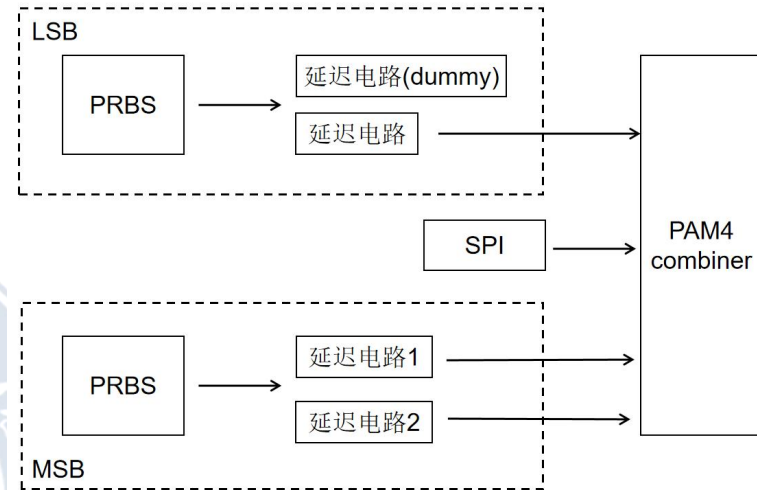
- CML结构PAM4 TX芯片(P4TXc)。
- SST结构PAM4 TX芯片。
- 设计两种结构的芯片测试板，完成芯片功能测试。



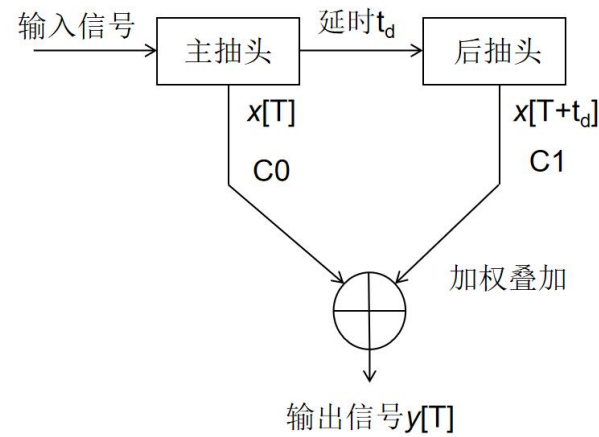
P4TXc芯片结构图

P4TXc电路设计

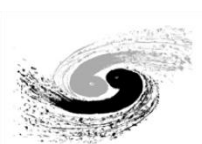
- PAM4 combiner电路作为芯片的输出级，负责驱动激光器将信号传输至后端，其包含MSB和LSB两通道可以将两路NRZ信号合并为一路PAM4信号。
- 前馈均衡(FFE)通过对输入信号进行延迟和加权，可以为信道引起的高频损耗进行补偿。PAM4 combiner电路采用两抽头结构，后抽头电流源采用4位DAC电路，实现16档的调节。
- 延迟电路由压控延迟单元和输出缓冲器组成，延迟电路会输出一路延迟和一路未延迟的差分信号，两路信号分别输入PAM4 combiner电路的主抽头和后抽头。
- P4TXc芯片会集成两路10Gbps的串行器核心和PLL等模块。(初步验证流片时，会集成两路面积更小的10Gbps PRBS7信号源)



PAM4 combiner初步验证结构图



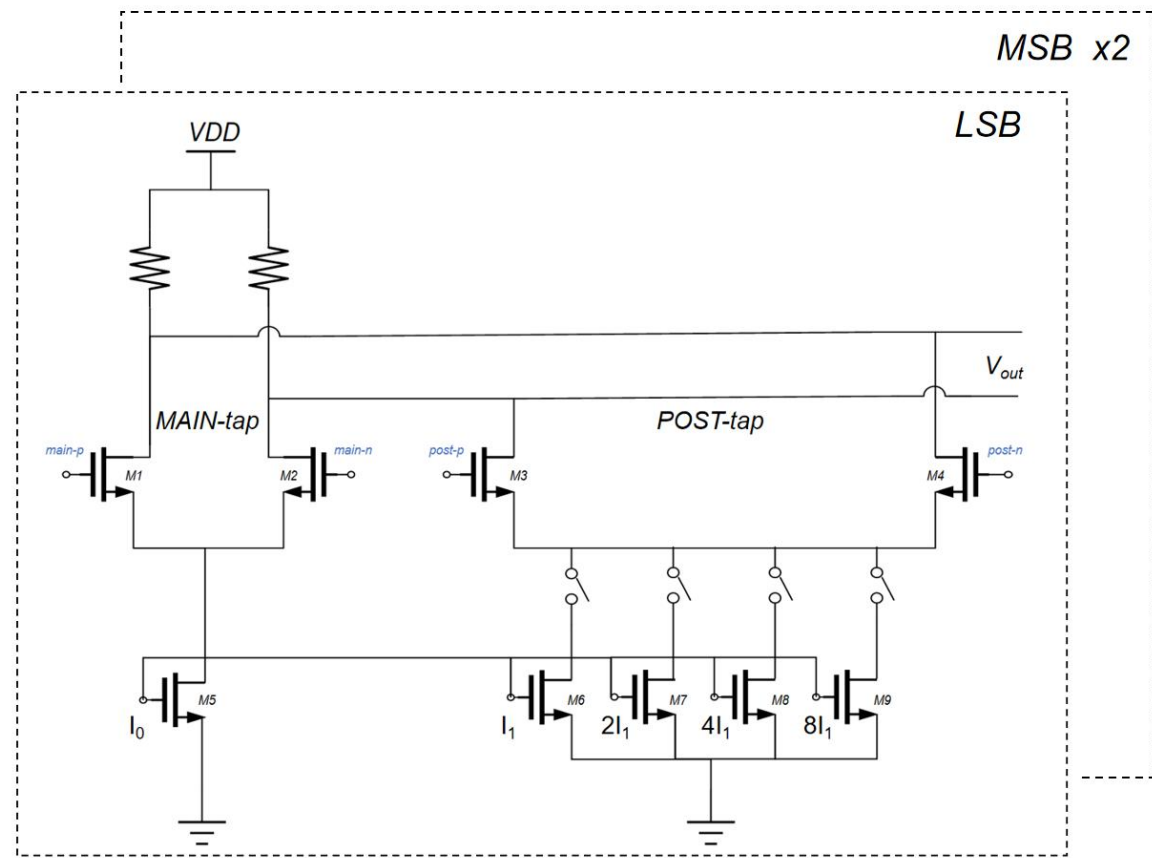
前馈均衡(FFE)示意图



P4TXc电路设计

➤ PAM4 combiner 电路设计

- combiner电路由MSB和LSB两路信号通道组成。MSB由两个相同的LSB通道单元构成，保证其输出电流为LSB通道单元两倍，输出信号能够合路为PAM4信号。
- LSB通道电路为两个CML电路并联，主抽头电流源电流 $I_0=6\text{mA}$ ，未均衡时总电流18mA。后抽头电流源采用4-bit DAC结构，共设置16个档位，电流导通通过传输门控制，电流 $I_1=100\mu\text{A}$ ，后抽头电流从0-1.5mA均匀可调，配合延迟单元实现信号的均衡调节，最大档位下总电流为22.5mA。
- 电源电压 $V_{DD}=1.8\text{V}$ ，保证晶体管工作在饱和区。上拉电阻为50欧姆，保证与传输线之间的阻抗匹配。

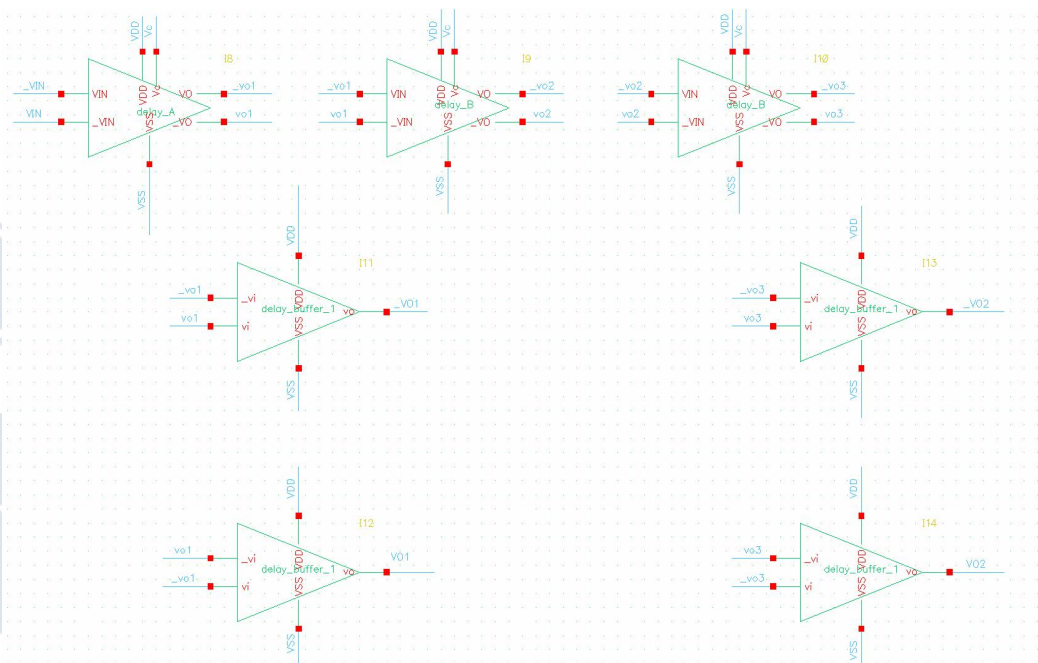


P4TXc combiner中LSB通道电路图

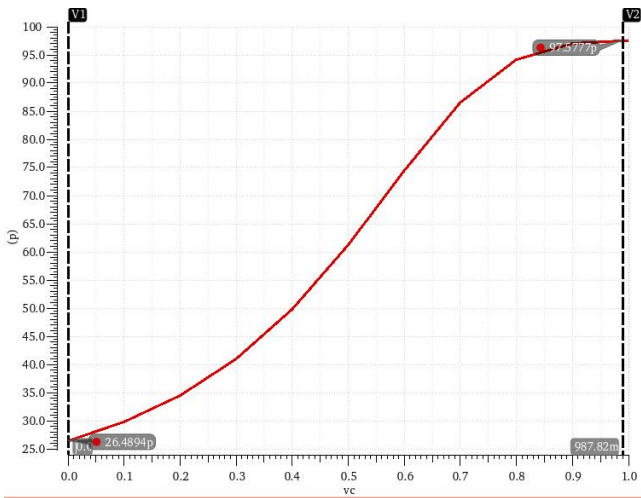
P4TXc电路设计

➤ 延迟电路设计

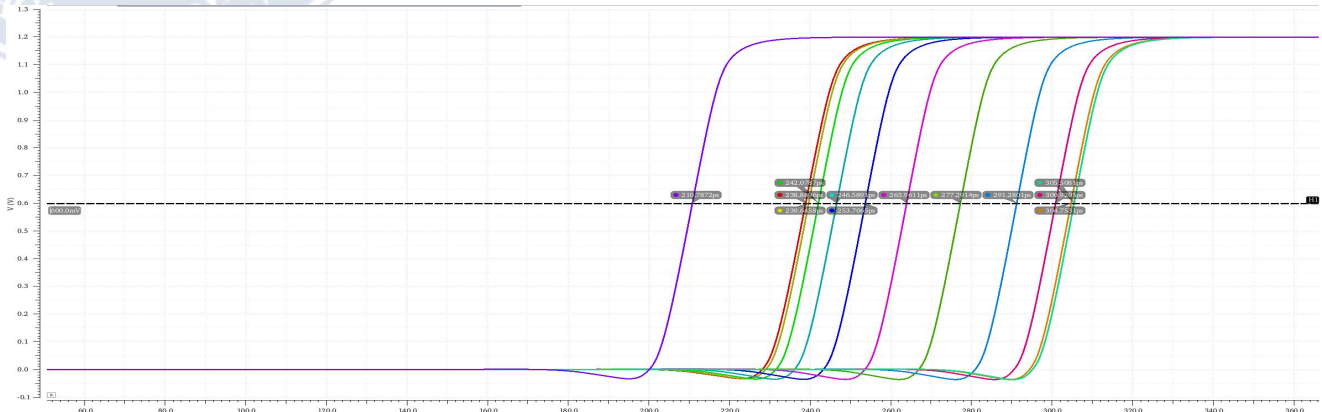
- 延迟电路由delay_A、两个delay_B和四个delay_buffer组成。
- delay_A电路负责接收前一级输出的信号，两级delay_B电路则是为输入的信号进行延迟，其中延迟时间 t_d 则是由控制电压 V_c 决定。
- 由delay_A和第二级delay_B输出的信号都会进入buffer，以保证给下一级电路足够的驱动能力。延迟电路电流6.8mA。



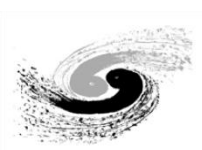
延迟电路结构图



延迟电路时间和控制电压关系图



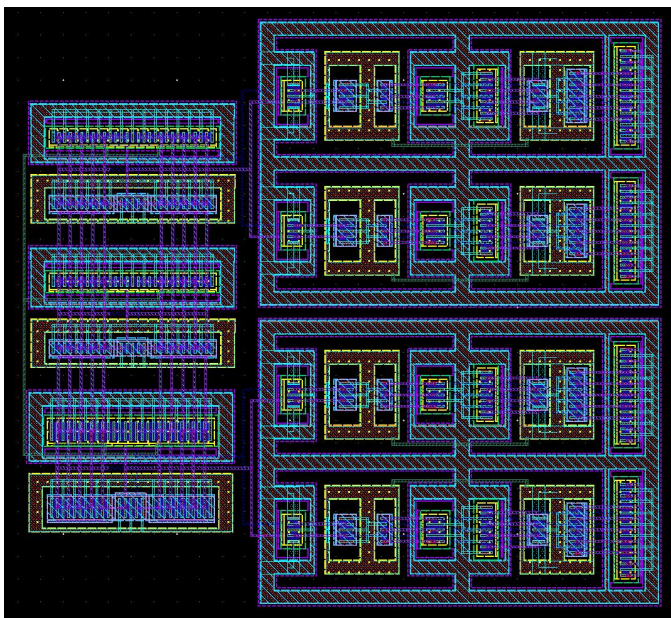
延迟电路瞬态仿真图



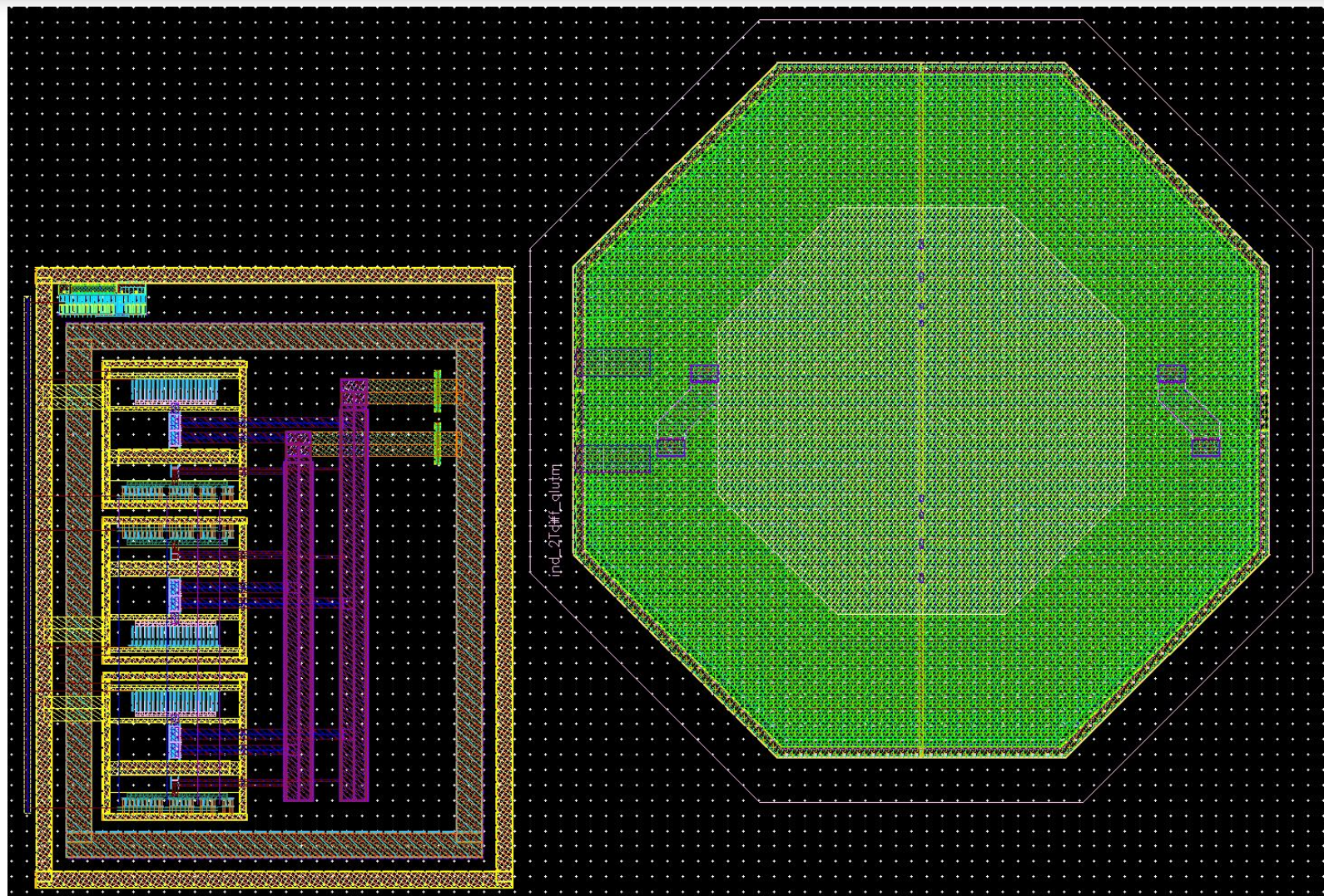
研发进展

➤ 版图设计

- 已完成PAM4 combiner版图
- 已完成延迟电路版图
- 完善PRBS码源版图
- 完成P4TXc芯片整体版图



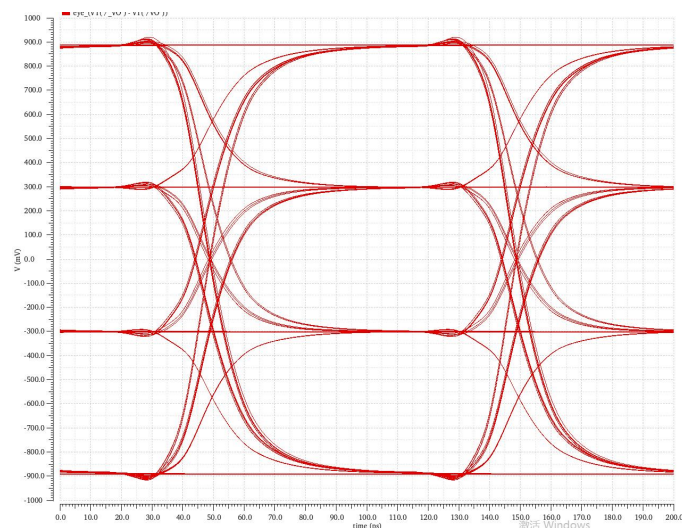
延迟电路版图



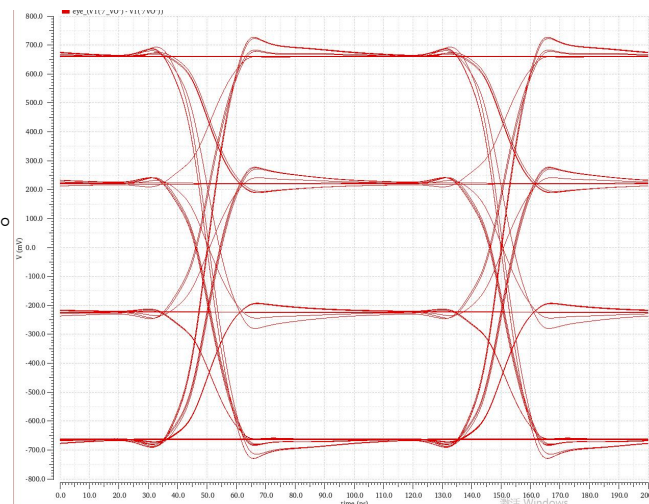
P4TXc combiner电路版图

后仿真验证

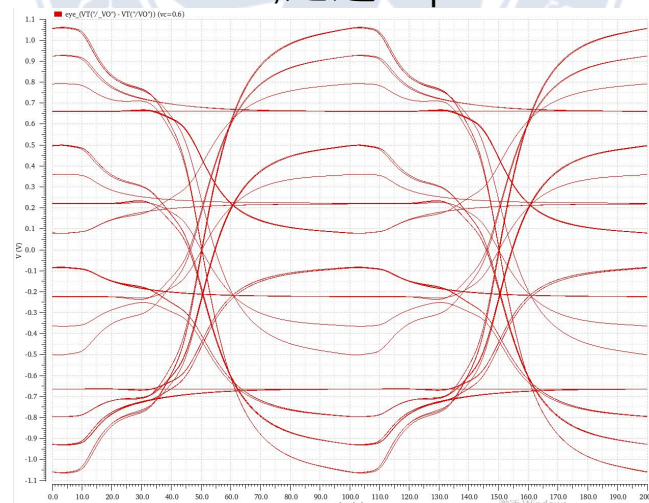
- 10Gbps速率下，不同延迟信号信号输入到 combiner，加重1.5mA，无输出负载下的仿真眼图。在相应的延迟时间内都有信号的叠加。



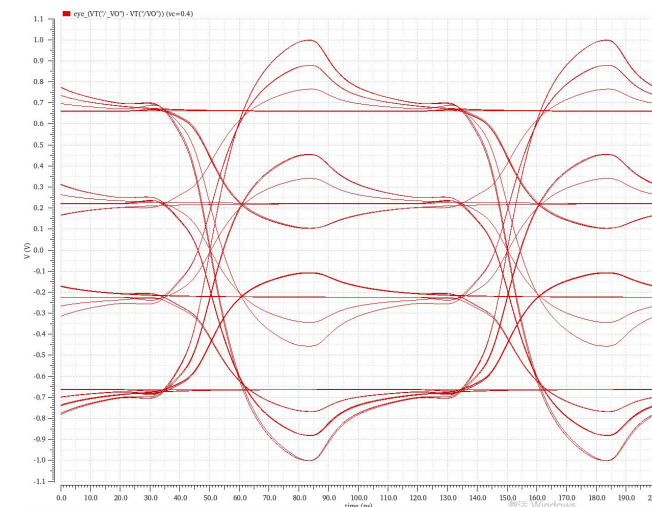
未均衡输出眼图



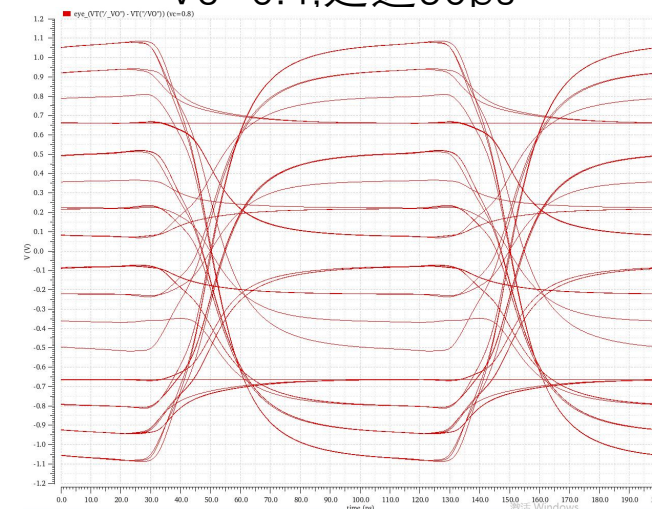
$V_c=0$, 延迟27ps



$V_c=0.6$, 延迟75ps

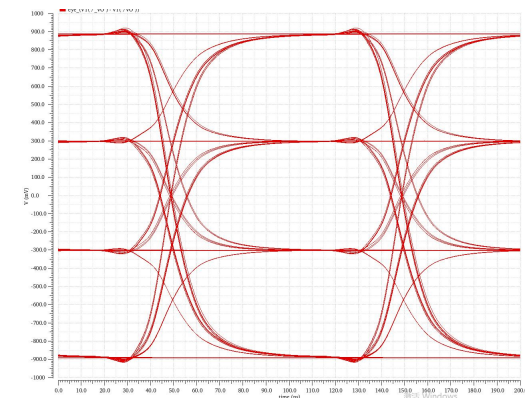


$V_c=0.4$, 延迟50ps

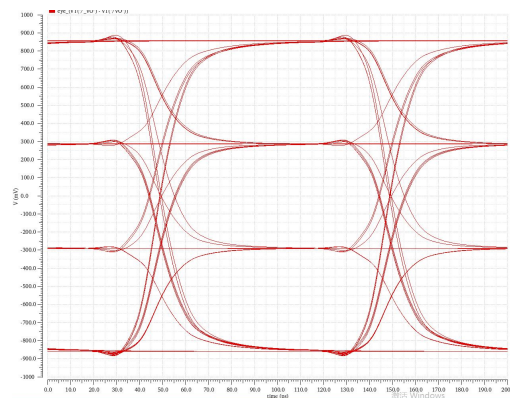


$V_c=0.8$, 延迟95ps

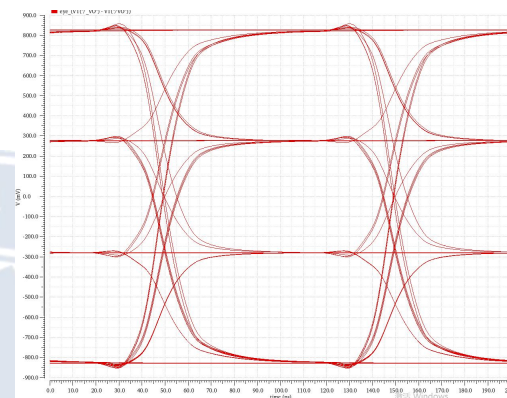
后仿真验证



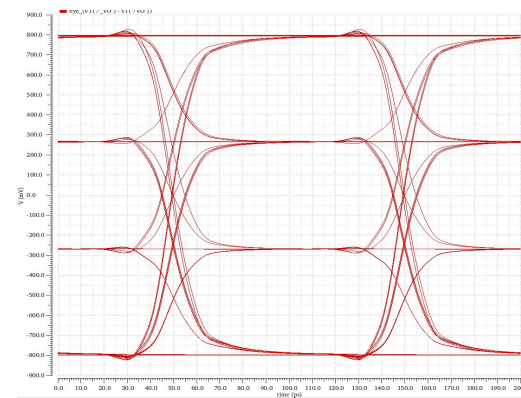
0000



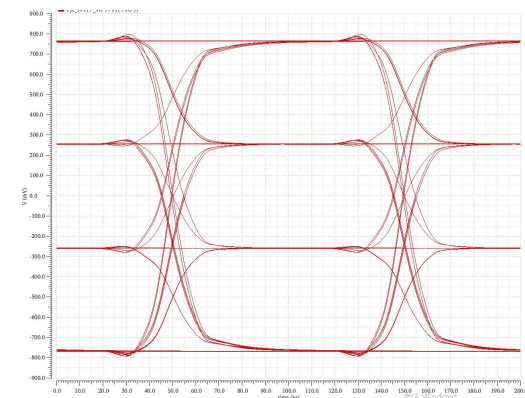
0010



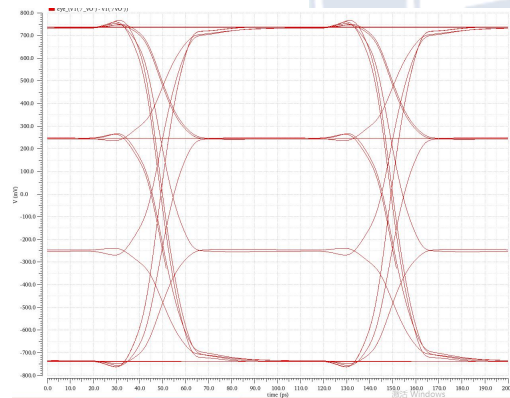
0100



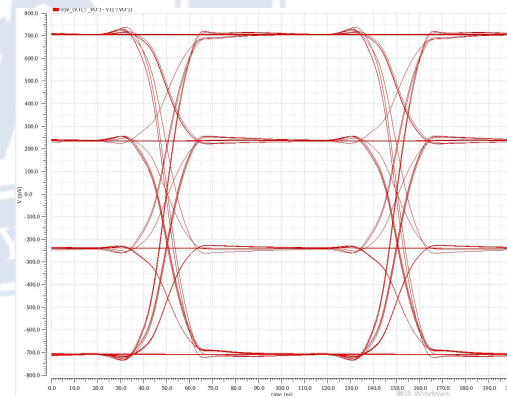
0110



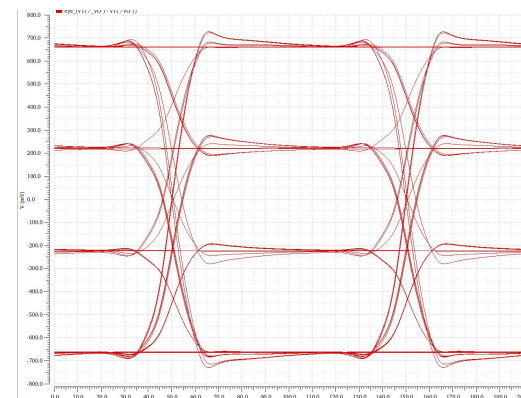
1000



1010



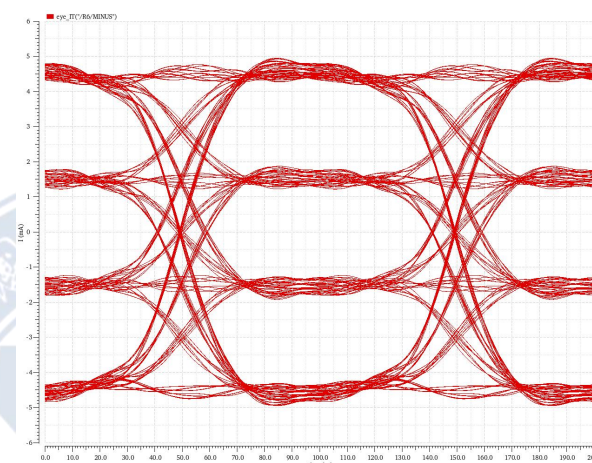
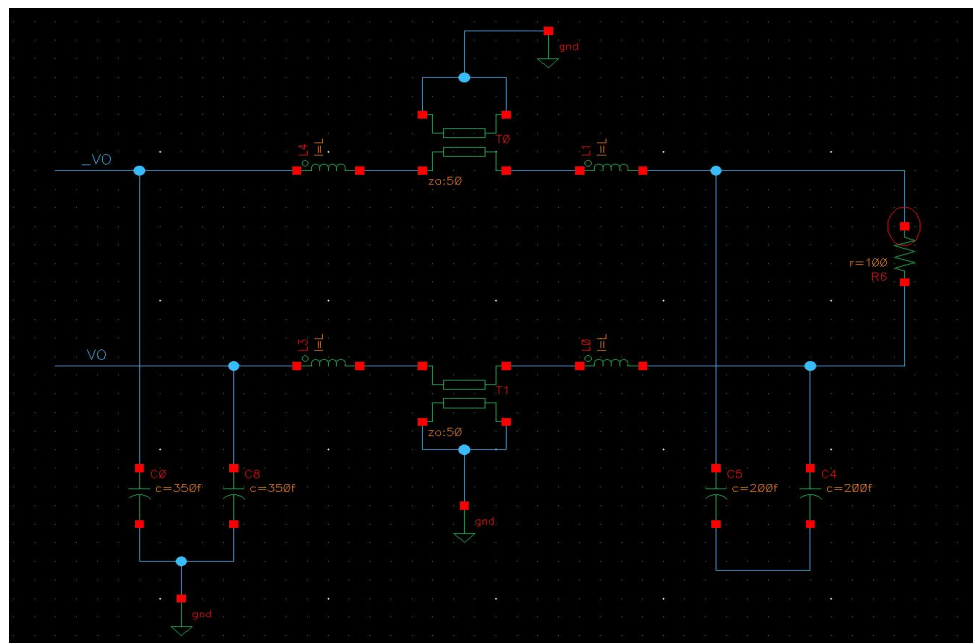
1100



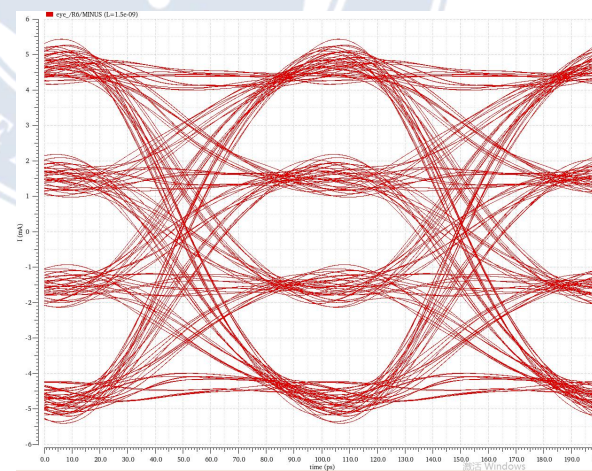
1110

- 在延迟26ps ($V_c=0$) 下的各级均衡仿真输出眼图, 前五级对前沿的影响还不是很大, 从1010开始, 加重效果开始显著。

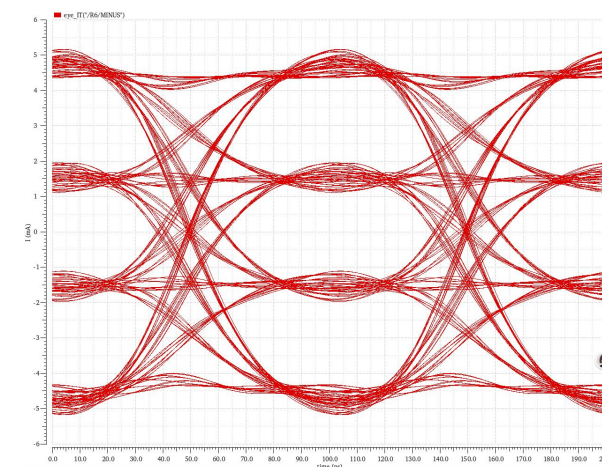
后仿真验证



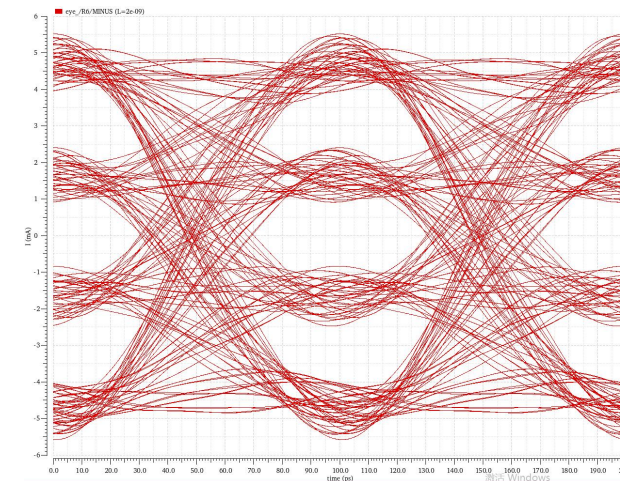
0.5nH



1.5nH



1nH



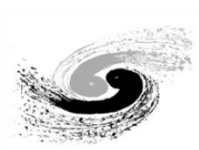
2nH

信道模型

- 负载电阻差分100欧姆
- 寄生电容芯片端350fF负载端200fF
- 寄生电感0.5-2nH

眼图分析

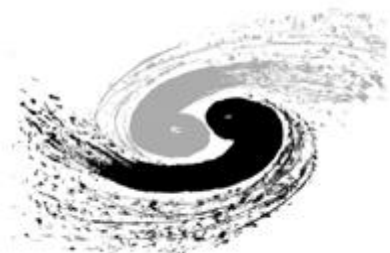
- 随着电感增加，信道带宽减小，信号失真更严重
- 电感增加引起阻抗不匹配加剧，反射对信号的影响加强



➤ 后续计划:

- 完善P4TXc芯片版图、集成、后仿工作
- 完成SST结构调研和相关PAM4 combiner电路设计
- 完成两款芯片的测试工作与PAM4 TX芯片集成工作





中国科学院高能物理研究所
Institute of High Energy Physics, CAS

请各位老师指正