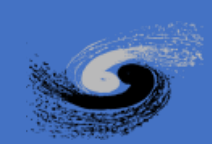


SIPAC: 一款为CEPC设计的SiPM读出ASIC

陈娇龙¹, 邓云起², 李怀申^{1,3}, 常劲帆^{1,3}, 李筱婷^{1,3}, 严雄波^{1,3}, 杨苹², 叶竞波^{1,3}

1.中国科学院高能物理研究所, 2.华中师范大学, 3.中国科学院大学

2026-08-12



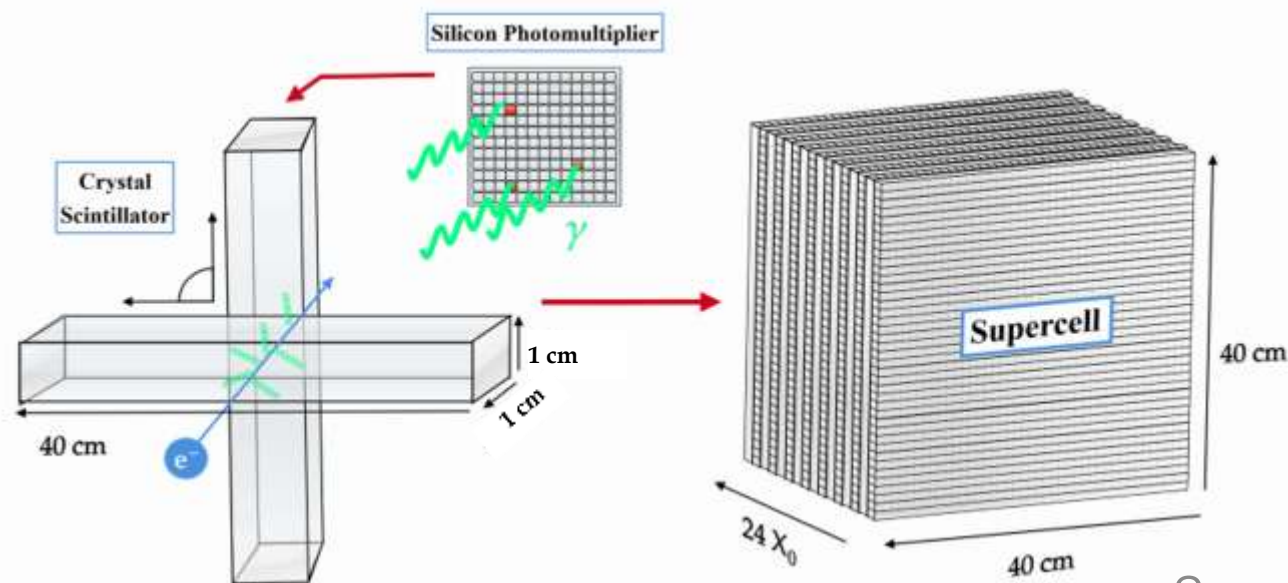
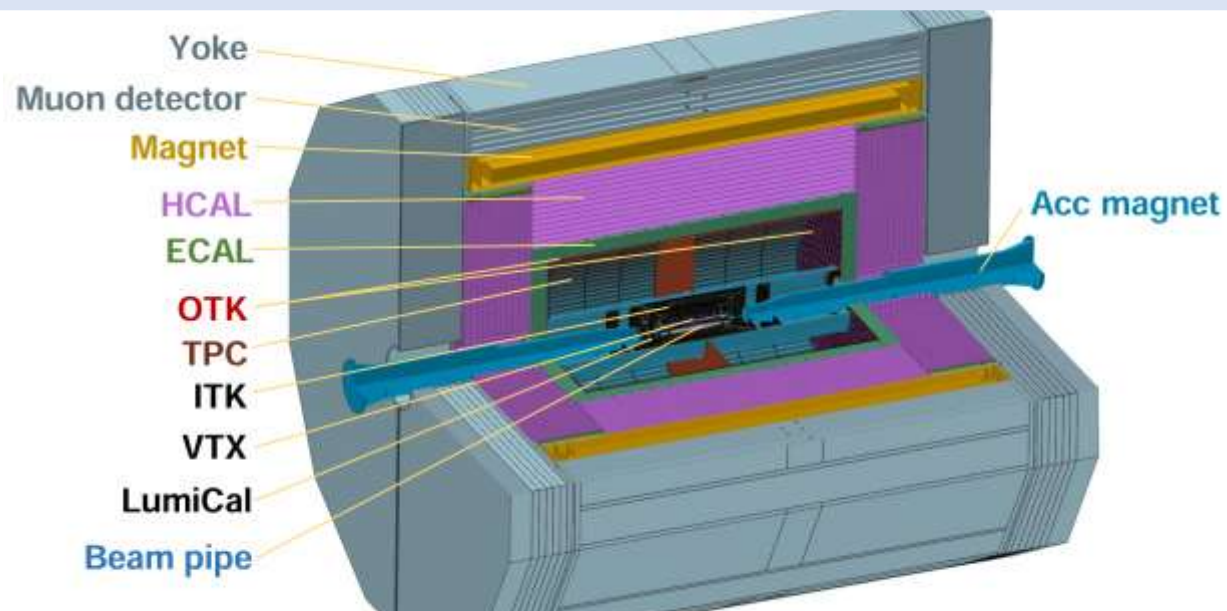
- 一、芯片背景
- 二、芯片设计
- 三、芯片测试
- 四、总结

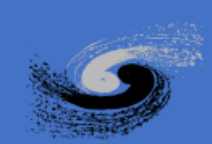
➤ CEPC: 环形正负电子对撞机

- 是我国提出建设的下一代大型高能物理对撞机，其主要科学目标是作为高亮度“希格斯工厂”，对希格斯粒子的性质开展高精度测量

➤ ECAL: 电磁量能器

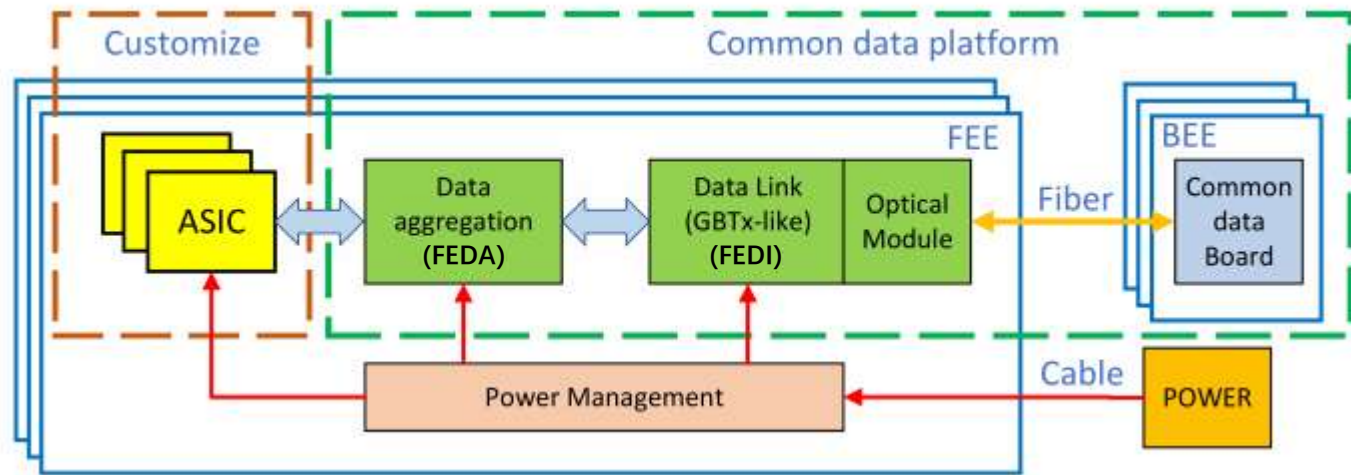
- 由正交排列的长条形闪烁晶体 (BGO) 组成，两端各接硅光电倍增管 (SiPM) 读出
- 构建三维网络，同时实现位置分辨与能量分辨





➤ ECAL读出电子学示意图

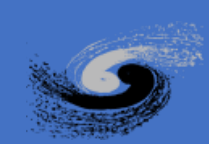
- 分为前端电子学 (FEE) 和后端电子学 (BEE)，两者用光纤交互
- 前端ASIC：提取SiPM输出信号的时间信息与幅度信息



➤ ECAL前端电子学性能指标

- 难点一：30000倍大动态范围
- 难点二：SiPM的输出波形脉宽差异较大，窄波形脉宽~200ns，宽波形脉宽~1 μ s

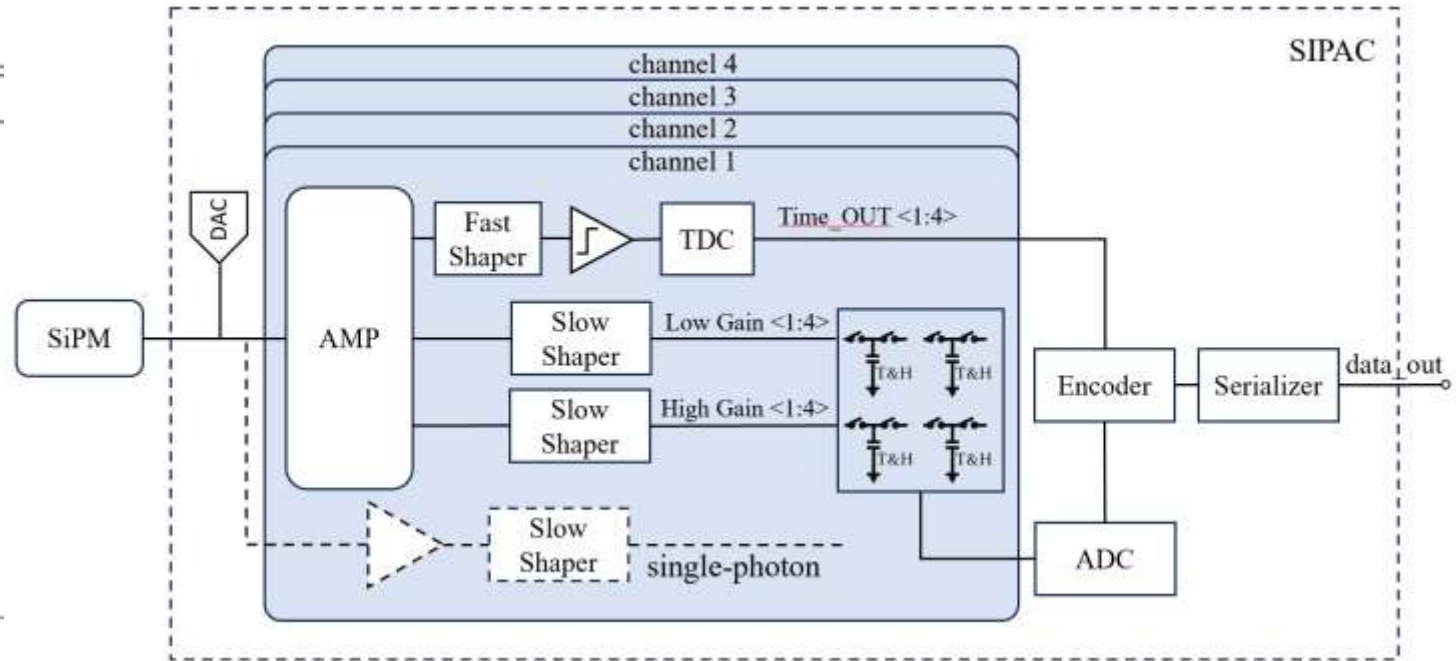
Parameters	Requirements
Charge Range	0.128 pC ~ 3.84 nC (0.1~3000 MIP)
Charge Resolution	10 % (1.0 MIP), 1 % (100 MIP)
Timing Resolution	200 ps (1 MIP), 100 ps (12 MIP)
Integral Non-linearity	< 1 %
Average Event Rate/channel	13 kHz
Max Event Rate/channel	230 kHz
Typical Signal Rising Edge	40 ns
Typical Signal Width	~ 1 μ s

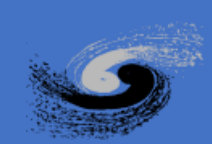


➤ SIPAC——SiPM readout ASIC for the CEPC detector

- 分为三个增益通路，共同实现30000倍（10倍×50倍×60倍）输入动态范围
- 用开关电容采样阵列 (SCA) + 低速ADC获取幅度信息 (每增益各9个采样点)，由此适应不同的脉宽波形
- 用TDC获取时间信息
- 用DAC调整不同SiPM增益的一致性

Characteristics	Value
Charge Dynamic Range	1.28 pC~3.84 nC
Charge resolution	10%@1.28pC, 1%@128pC 1%@100 MIPS
Time resolution(RMS)	200 ps @1.28pC, 100 ps @12.8pC
Detector Capacitance	≤ 100 pF
Max signal rate/channel	500 kHz/ch
ADC	10-bit
TDC resolution	8-bit
TDC bin width	100 ps
Power consumption	15mW/channel
Num. of channels	4



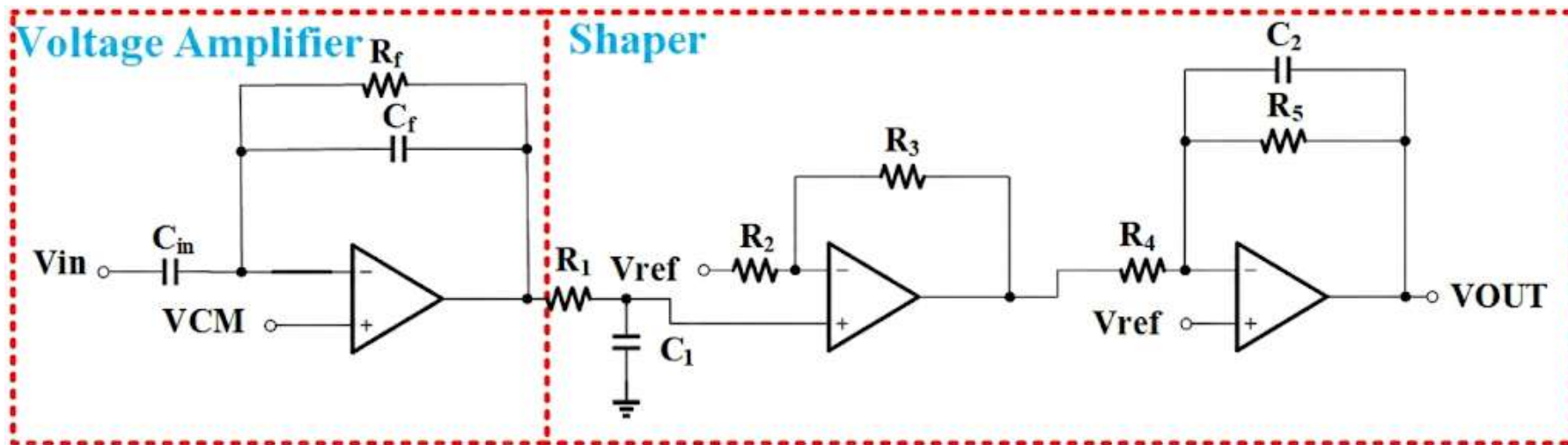


➤ 前放：电压放大器

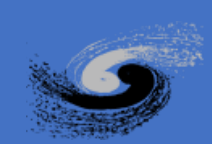
- 初步放大信号
- 通过AC耦合来隔离DAC电压

➤ 慢成形：二级RC成形

- 进一步放大信号
- 提升信噪比

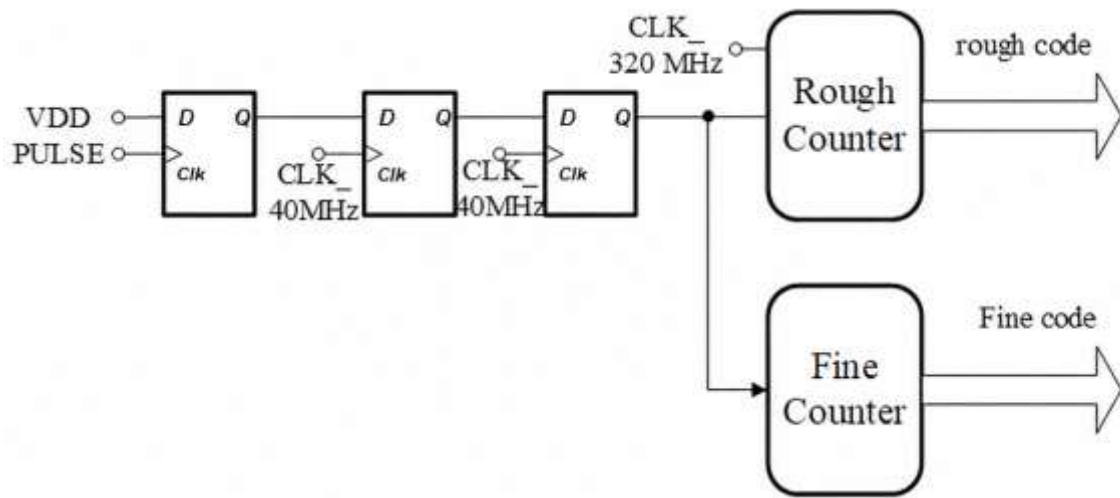


前放和慢成形电路设计

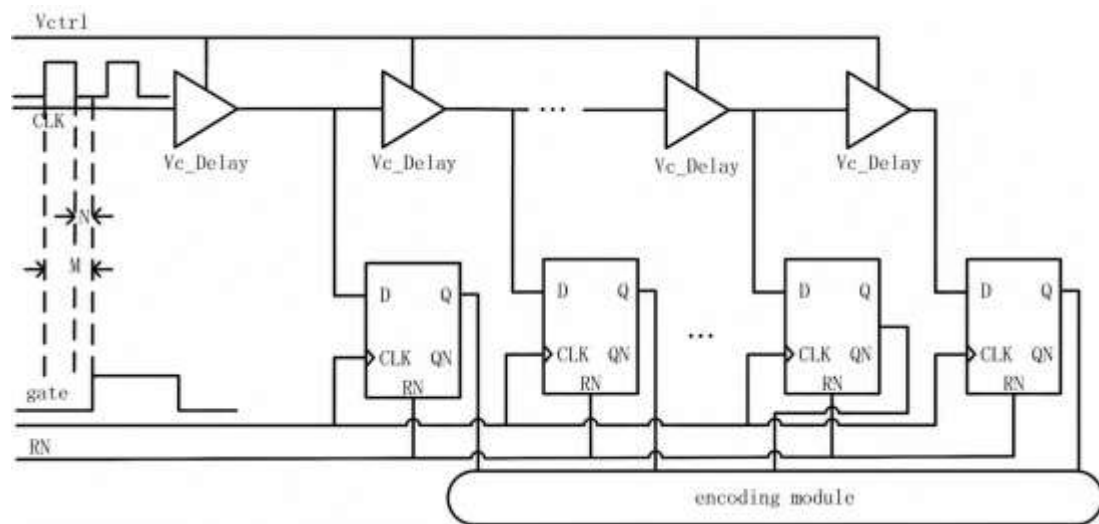


➤ TDC

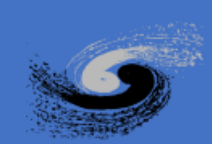
- 两步式TDC架构，即将时间测量拆分为粗计数与细计数两个部分实现
- 通过计数器实现粗技术，时钟为320MHz
- 通过延迟链实现细计数，测量信号与参考时钟沿之间的时间差



TDC架构示意图

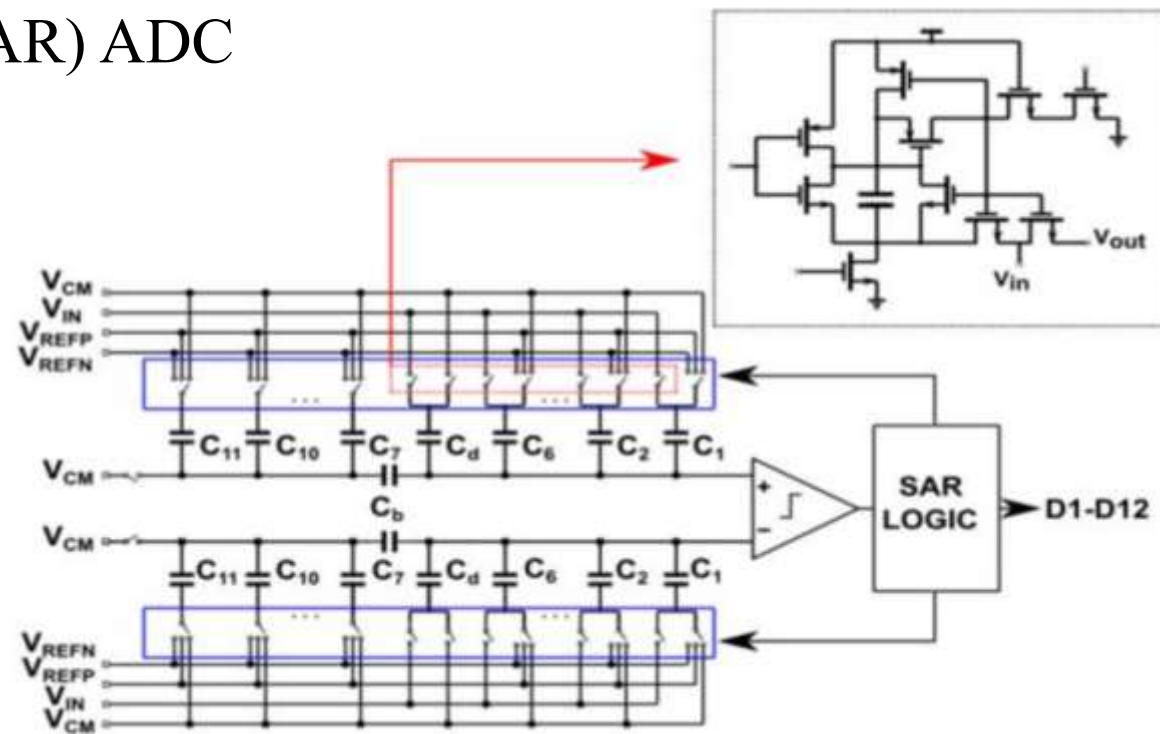


延迟链电路示意图

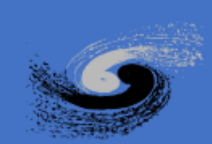


➤ ADC

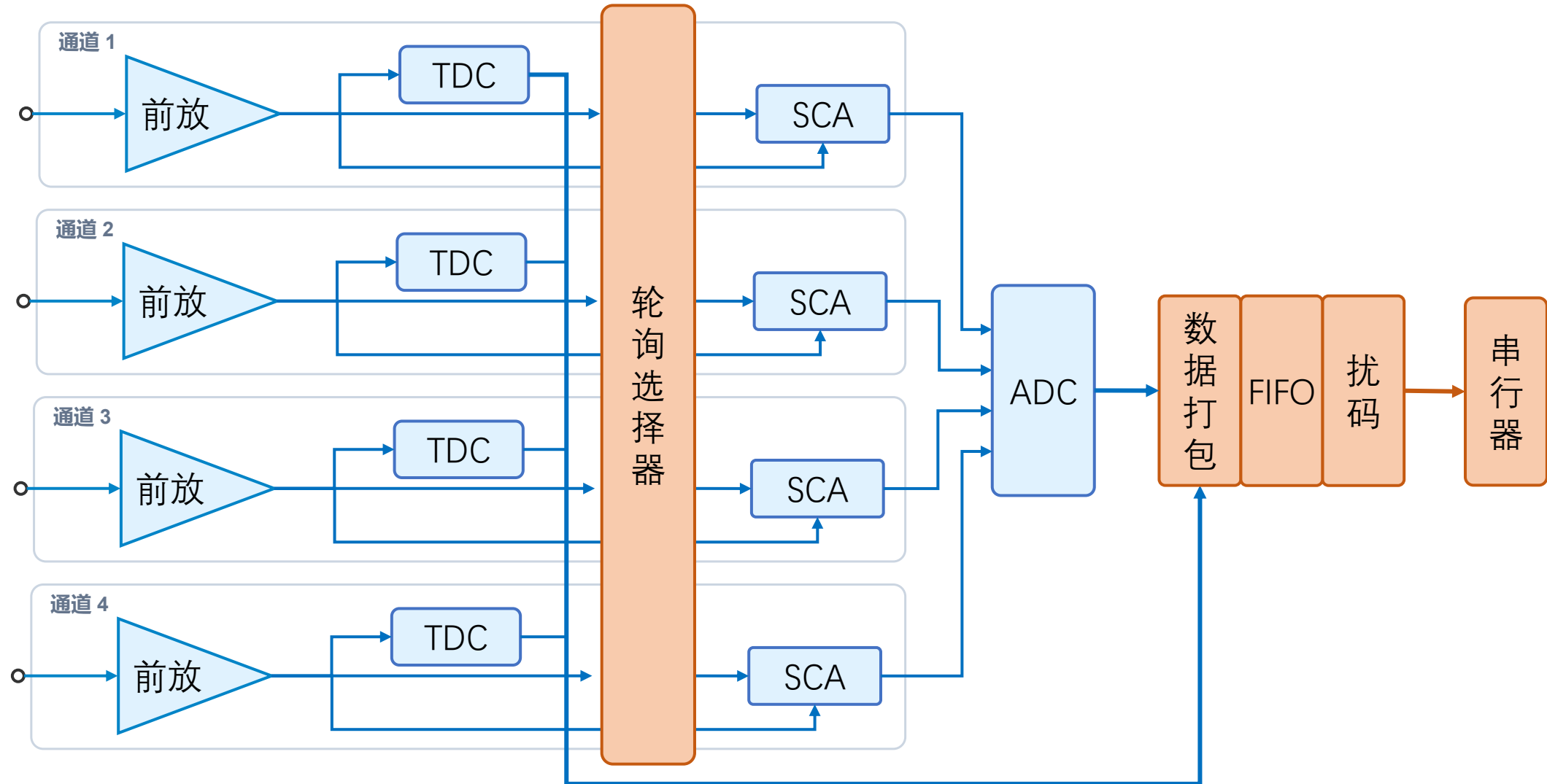
- 12位，等效有效位10位
- 内含单转差放大器，将单端的输入信号转为差分
- 采用分段电容和失调自动插值计数技术
- 逐次逼近采样型 (SAR) ADC

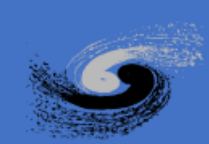


SAR ADC示意图



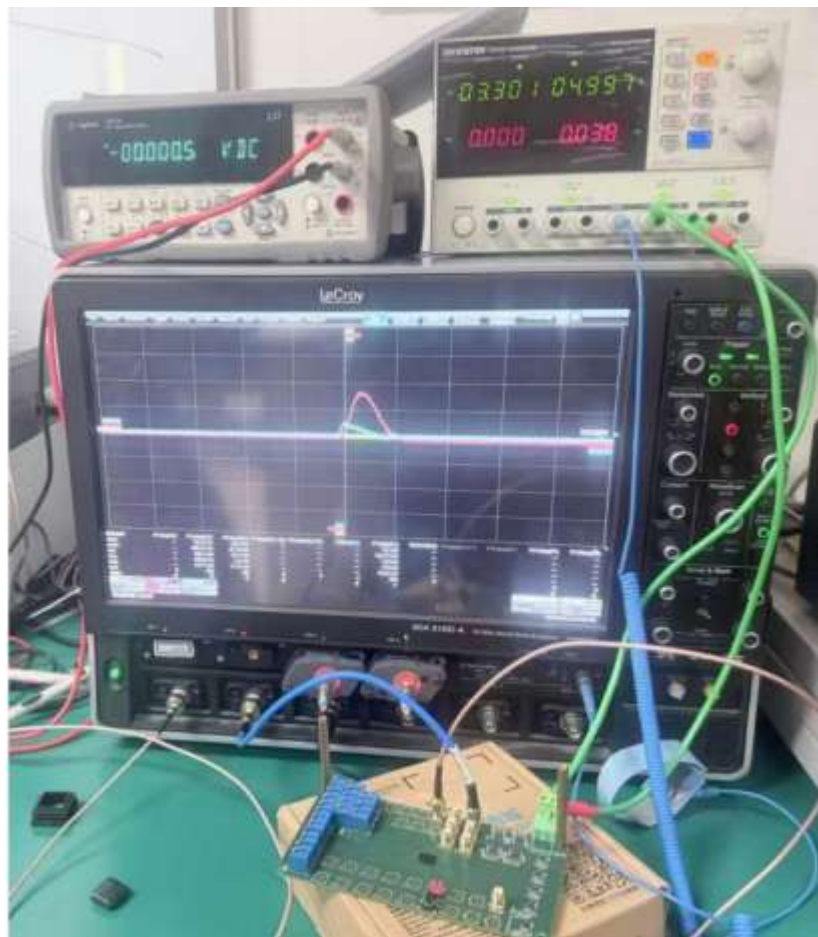
➤ 数字逻辑流程示意图





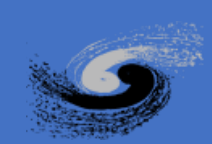
芯片测试

- 2025年4月提交流片SIPAC0
- 2025年10月提交流片SIPAC1

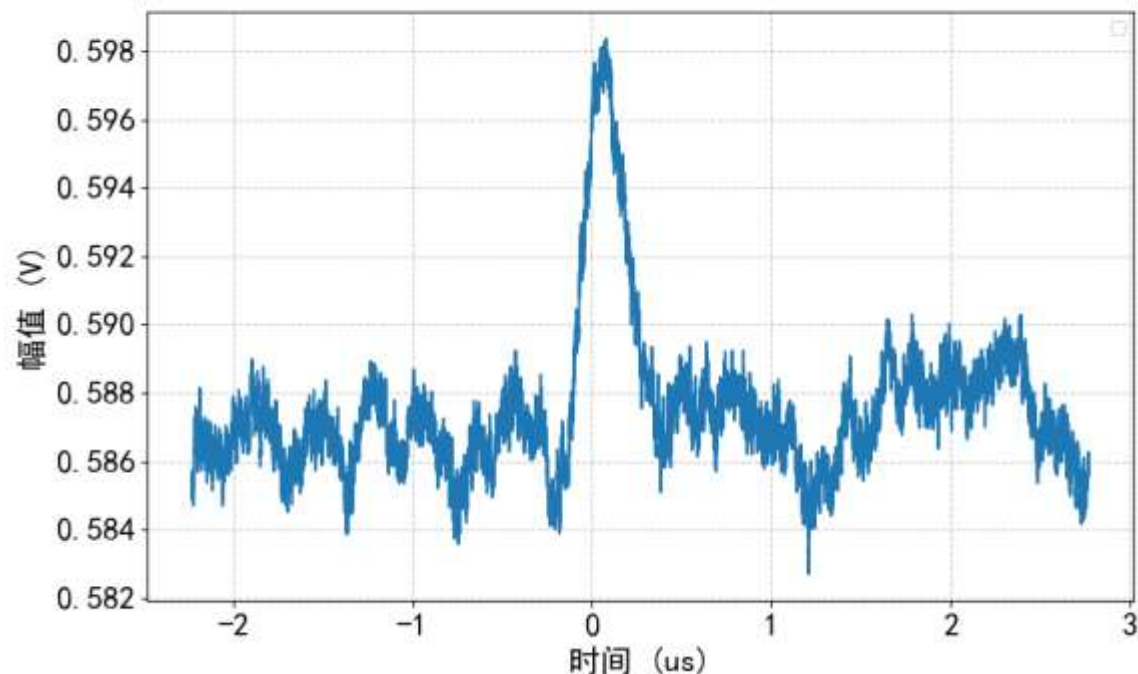


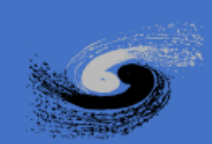
- SiPM (NDL-EQR06) 的增益为 8×10^4 ，典型输出脉冲上升沿40ns，下降沿280ns
- 幅度测量：用任意波形发生器生成上升沿40ns、下降沿280ns的三角波
- 时间测量：用脉冲发生器生成500kHz的方波信号作为输入

SiPM Type	NDL EQR06
Pixel Pitch μm	6
Pixel Quantity in $3 \times 3 \text{ mm}^2$	244,719
Pixel Gain	8×10^4
Typical peak PDE	30 % (at 420 nm)
Typical DCR (20 °C)	2.5 MHz
Inter-pixel Crosstalk	12 %
Terminal Capacitance (pF)	45.9 pF



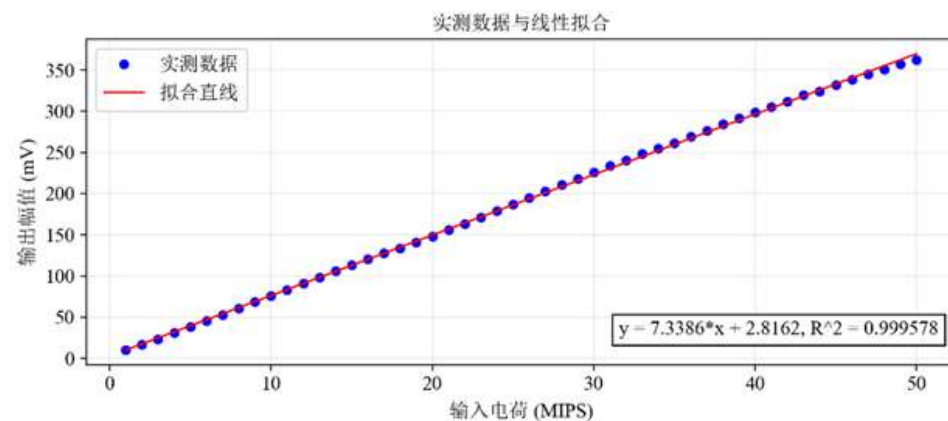
- 模拟前端测试（放大器+成形器）—— 信噪比测试
- 1 MIP（等效于峰值为0.3mV的三角波）输入时，信号大小11.8mV，基线RMS噪声0.9mV，信噪比为13.3



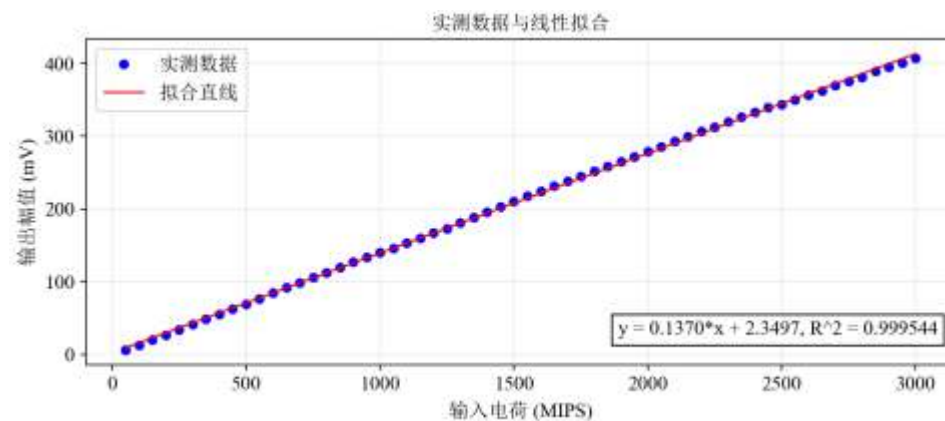


➤ 模拟前端测试（放大器+成形器）—— 积分非线性测试

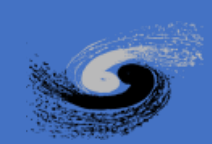
- 高增益档位的增益为24.45，最大非线性误差为2%
 - 低增益档位增益为0.46，最大非线性误差为1.5%
- 输入信号幅度接近上限时，INL明显增大



高增益



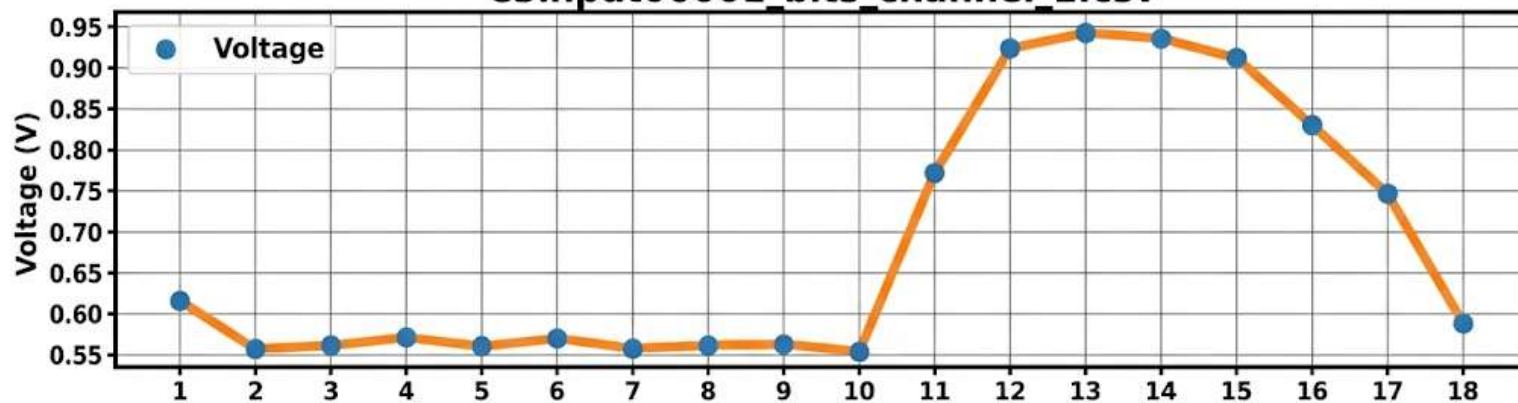
低增益



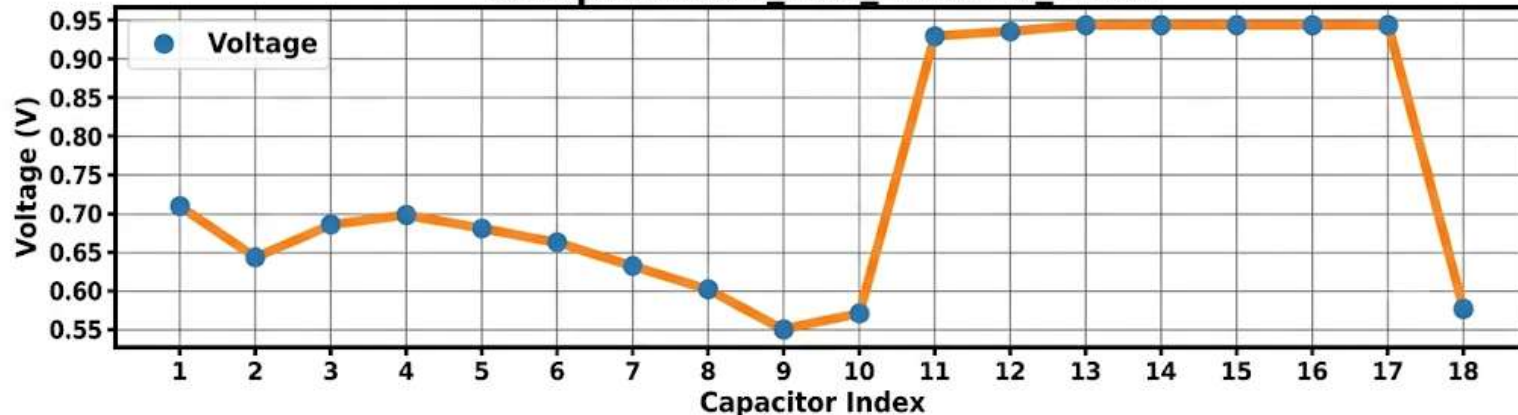
➤ 模拟前端+SCA+ADC测试

- 前9个点为低增益，后9个点为高增益

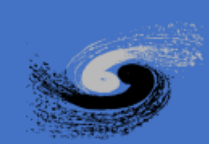
C3input00001_bits_channel_1.csv



C3input00001_bits_channel_1.csv

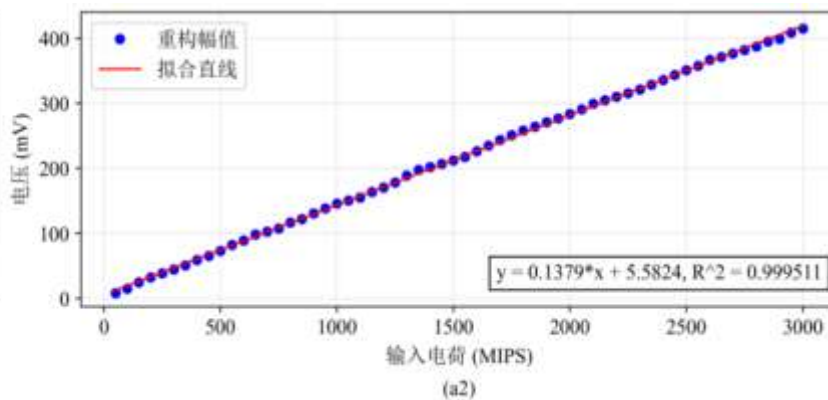
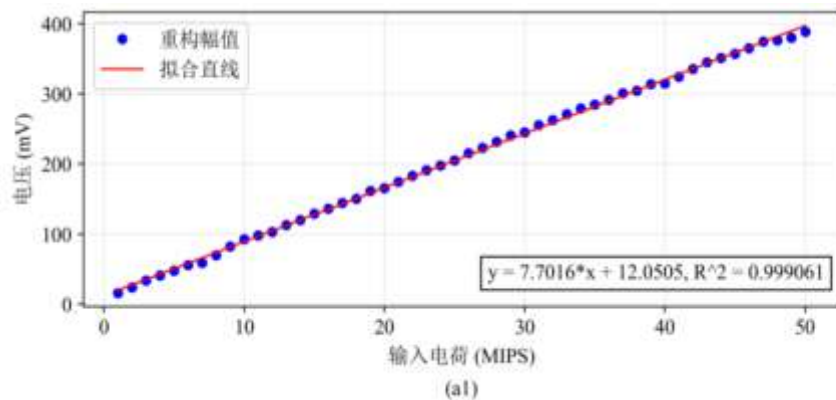


- 第一个采样点有问题，在后续处理时舍弃，低增益波形的上升沿不完整，但仍能获取峰值信息
- 能完整采样高增益波形

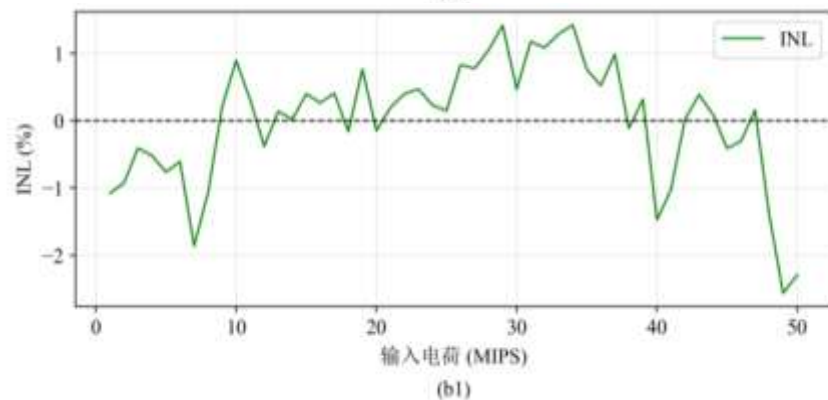


➤ 模拟前端+SCA+ADC测试——线性测试

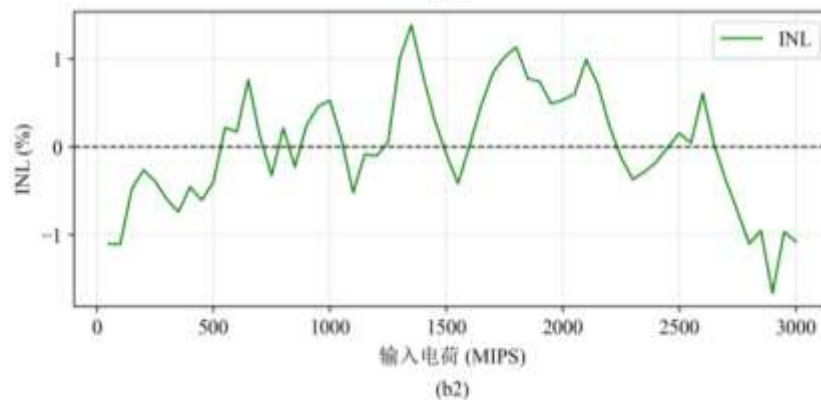
- 将波形进行拟合，拟合峰值作为信号输出赋值
- 高增益档位的最大非线性误差为2.5%，低增益档位的最大非线性误差为1.6%



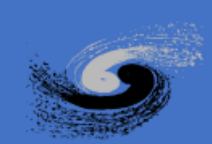
SCA+ADC:
2% → 2.5%
1.5% → 1.6%



高增益

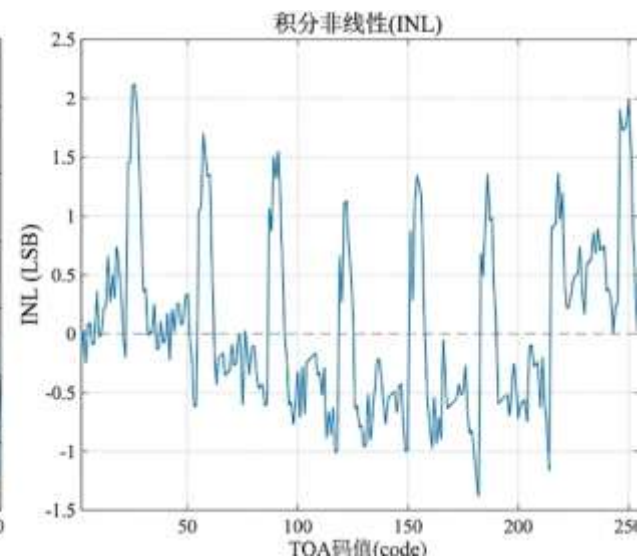
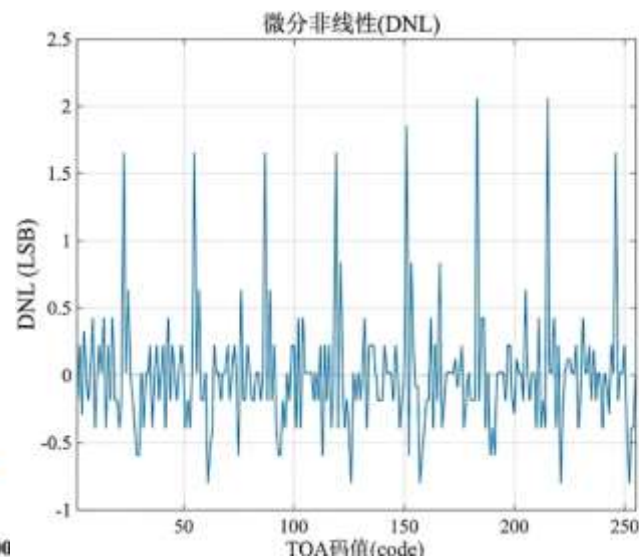
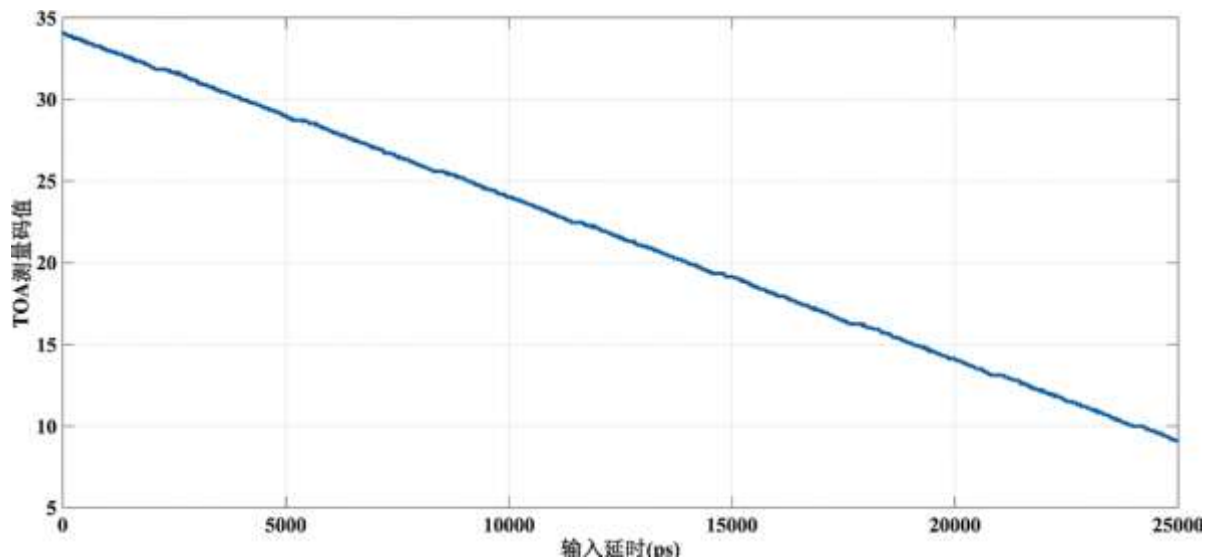


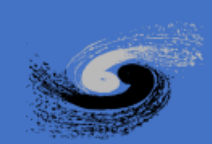
低增益



➤ TDC测试

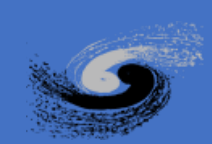
- 输入脉冲相对于参考时钟的延时在0-25ns内以20ps为步长逐步扫描
- 无跳码, $1\text{LSB} = 98\text{ps}$
- DNL与INL出现周期性峰值, 间隔为一个粗计数周期——mismatch





- 设计了一款SiPM读出ASIC，能同时实现时间与幅度测量
 - 信号输入动态范围为0.3mV~900mV，通过高低两路增益实现
 - 通过SCA与40M ADC实现波形采样，积分非线性优于2.5%
 - 内含TDC，时间测量精度优于100ps
- 整体满足设计需求，仍需优化
- 后续结合SiPM进一步测量电荷分辨等

	芯片设计指标	芯片测试结果
输入动态范围	1~3000 MIP	1~3000 MIP
积分非线性	1%	高增益2.5%，低增益1.6%
信噪比	10	13.3@1MIP
TDC精度	100ps	98ps
功耗	15 mW/channel	14 mW/channel
最大事例率	230 kHz	500 kHz



感谢聆听， 欢迎交流讨论！