



10.24-Gbps SST串行发送器ASIC设计

The 23rd National Conference on Nuclear Electronics and Nuclear Detection Technology (NED2026)

报告人：吴青康^{1,2}、李筱婷¹、叶竞波¹、严雄波¹

1. 中国科学院高能物理研究所, 2. 南京大学·物理学院

2026.8.11 河南-登封



目录

CONTENT

- 研究背景
- 研发进展
- 测试结果
- 总结与后续工作

研究背景

◆数据传输在核物理中的应用

➤ 简介

数据传输的应用十分广泛，随着数字化设计的不断推进，如ADC、TDC等数字信号转换器和多通道高密度的集成使用越来越多，对于数据传输接口的速率要求也水涨船高。在核物理领域，数字化设计在探测器前端逐步前移，以至于探测器的前端数据传输速率也有了更高的需求；

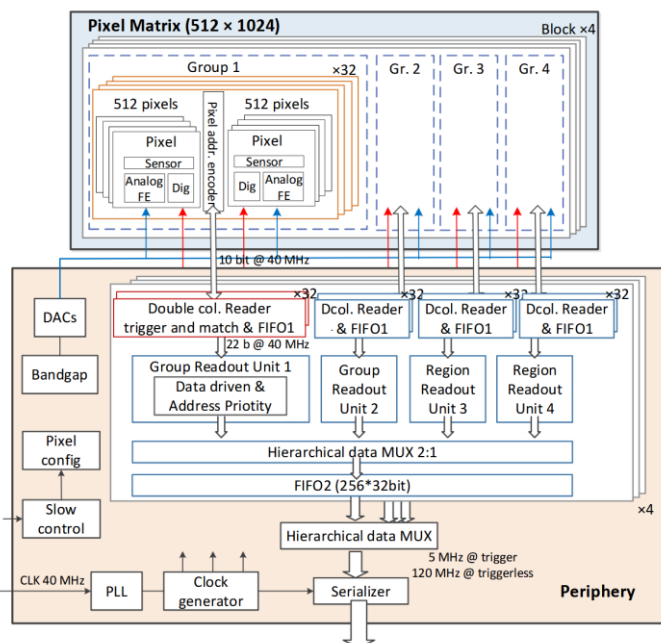


图2. TaichuPix传感器架构

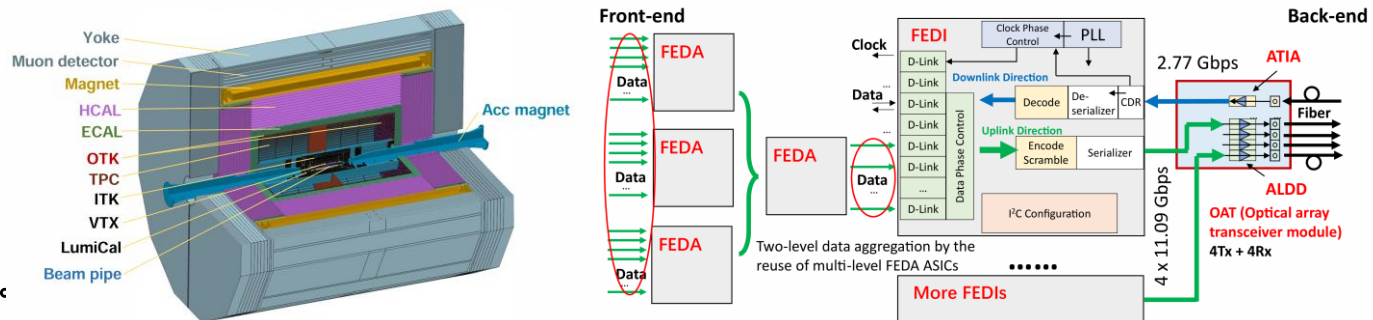


图1. CEPC各探测器（左）及前端通用数据接口框图（右）
(摘自CEPC Reference Detector Technical Design Report)

➤ 通用型

- 独立于探测器读出芯片，负责多路数据汇聚、编码和远距离光纤传输
- 可复用于不同子探测器系统
- 举例：LHC实验中的**lpGBT**芯片；CEPC参考设计报告中提出的**FEDA**、**FEDI**、**ALDD**和**ATIA**等芯片；正在预研的**FCC**实验

➤ 集成型

- 直接嵌入探测器读出芯片
- 举例：**TaichuPix**等芯片

研发进展

◆研发版本

- 24年7月：CML串行数据发送器，包含LCPLL、16:1 MUX和CML驱动器
 - 测量性能：11.09Gbps, $T_j=30ps$, 97.4mW
 - 降低功耗、增强驱动 → 优化CML驱动器
- 25年10月：SST串行数据发送器，包含ROPLL、16:1 MUX和SST驱动器
 - 宽速率范围测试：ROPLL，调频范围0.58~5.58GHz
 - 低功耗：SST驱动器及预加重技术
 - 对比测试：同时提交了独立的驱动器验证芯片
- 后续：完整功能的SST串行数据发送器，包含LCPLL、MUX、编码器和SST驱动器

- 64B66B编码

◆SST串行发送器电路设计

- MUX和ROPLL

<https://doi.org/10.1088/1748-0221/21/02/C02013>

<https://doi.org/10.1016/j.nima.2026.171707>

2026/8/11

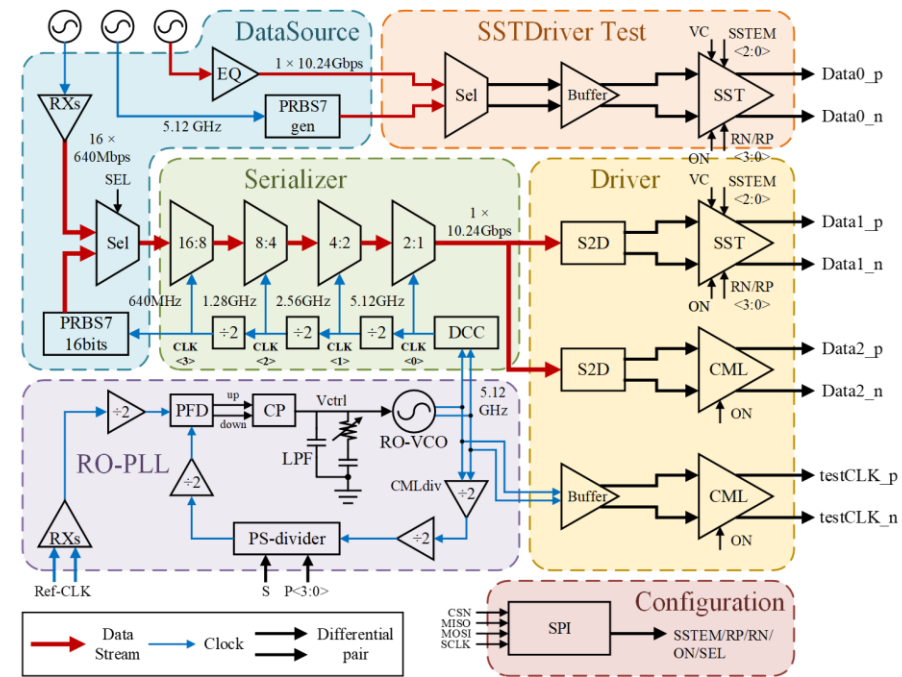


图3. SST驱动器验证及串行发送器测试整体框图

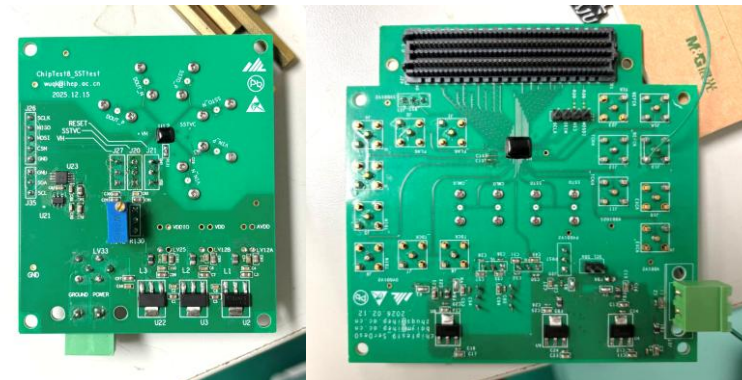


图4. SST驱动器验证测试板和SST串行发送器测试板

55-nm
CMOS



研发进展

◆ SST驱动器电路设计

➤ 驱动器结构

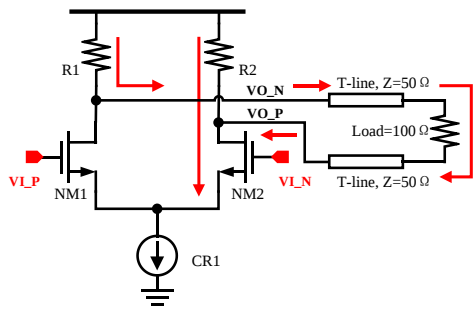


图5. CML架构

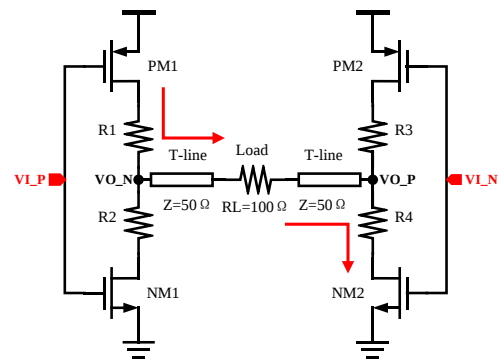


图6. SST架构

➤ SST驱动器阻抗可调设计

- 4 bit上下拉支路使能。
- 输出阻抗 40~60 Ω (仿真)。
- 通过扩展上下拉支路可提供更精细输出阻抗控制。

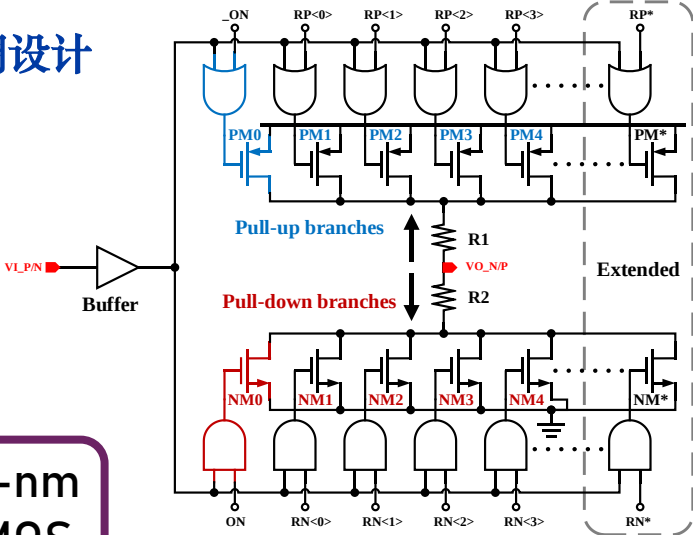


图7. SST驱动器主驱动级 (MDS)

55-nm
CMOS

➤ 码间干扰以及预加重补偿技术简介

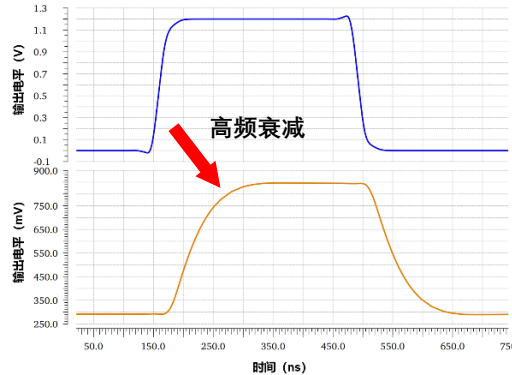


图8. 信道高频衰减对信号边沿的影响

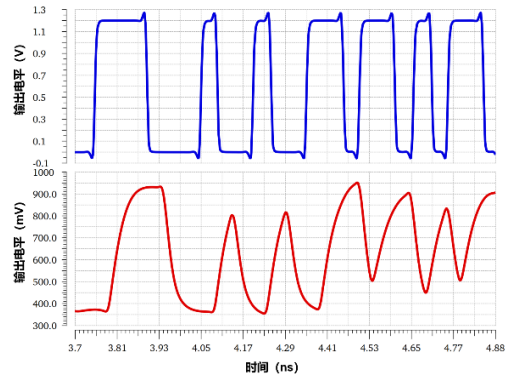


图9. 码间干扰

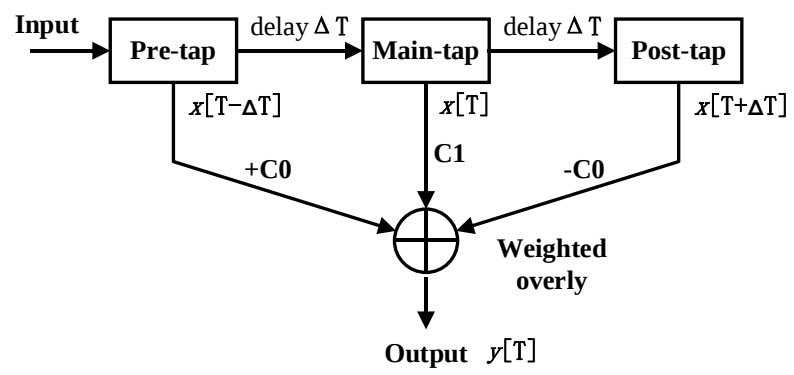


图10. 经典三抽头预加重技术示意 (FIR滤波器)



研发进展

◆整体框架和电路设计

➤ 预加重技术的时域分析

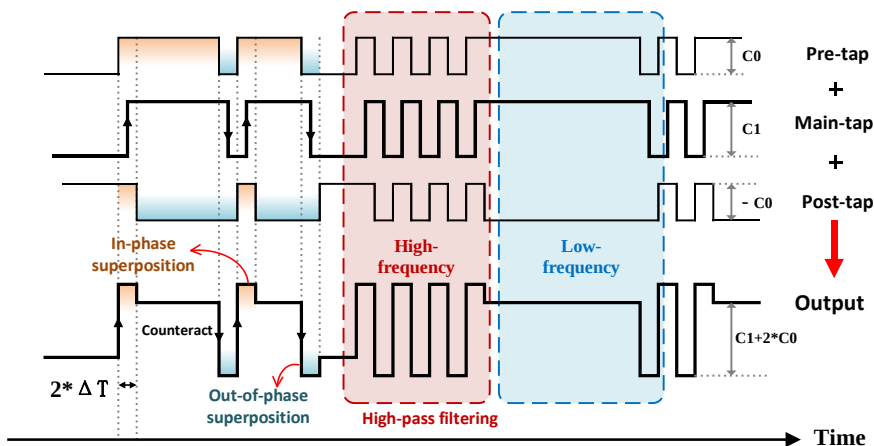


图11. 三抽头预加重的时域波形

- 输出： $y[t] = C0 \cdot x[t-\Delta t] + C1 \cdot x[t] - C0 \cdot x[t+\Delta t]$
- NRZ信号的**高频成分**集中在信号**跳变沿**，预加重只会作用于信号跳变沿。
- 经典预加重在非信号边沿部分仍持续工作

➤ 优化后的边沿预加重电路设计

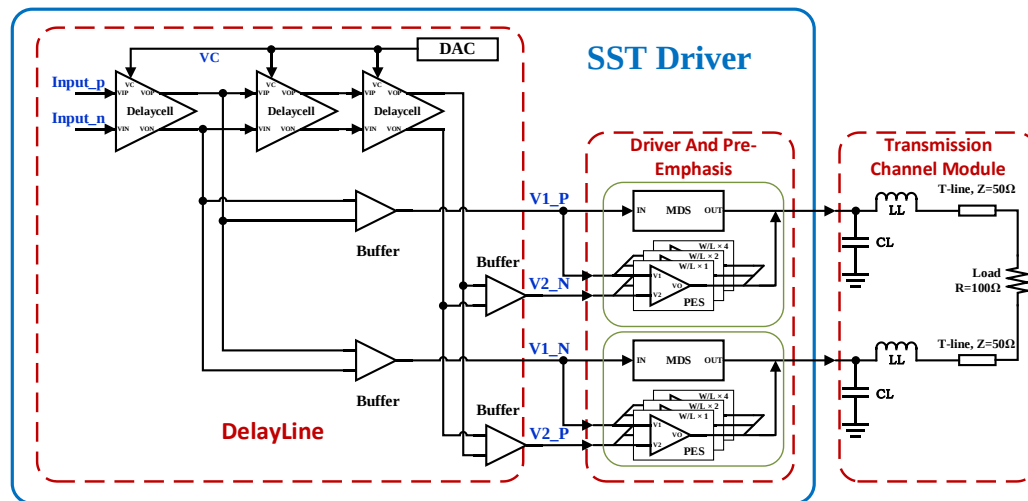


图12. SST驱动器整体结构框图

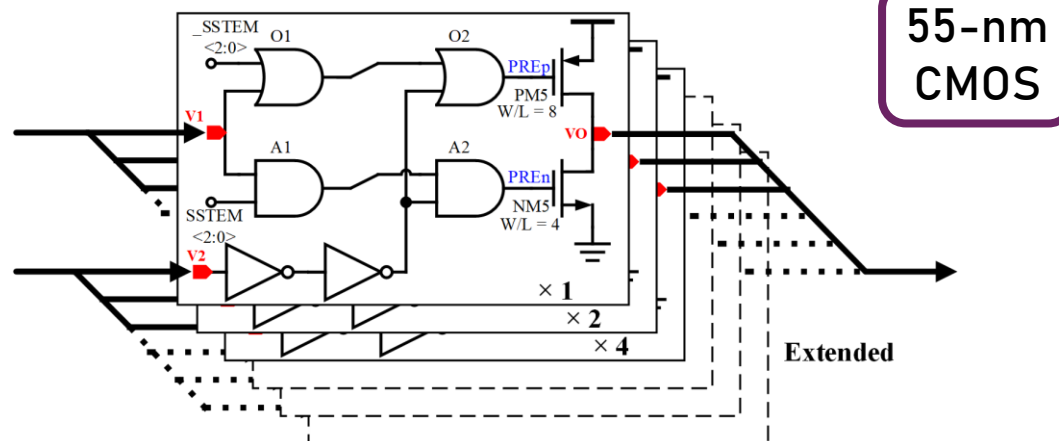


图13. 预加重级 (PES)



测试结果

◆测试平台

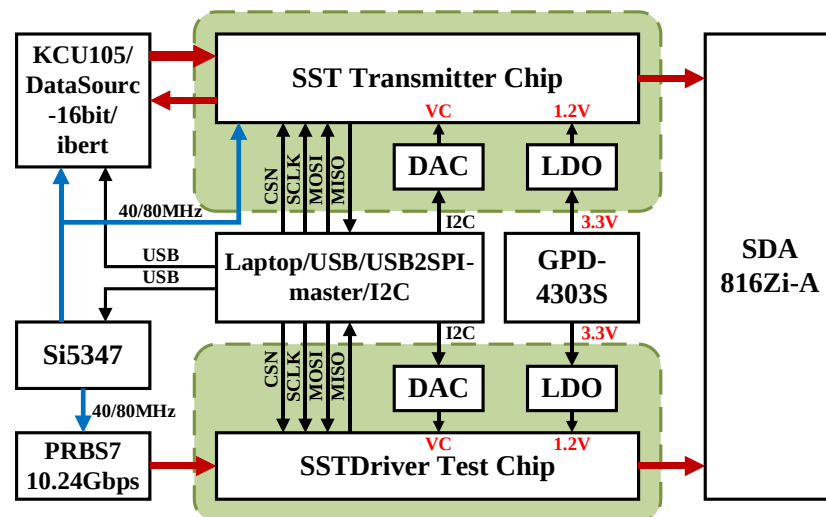


图14. 测试方案框图

- 通过Laptop和USB-SPI master接口对芯片进行配置
- 通过Si5347时钟板提供高质量参考时钟
- 通过GPD-4303电源和板载LDO给芯片供电

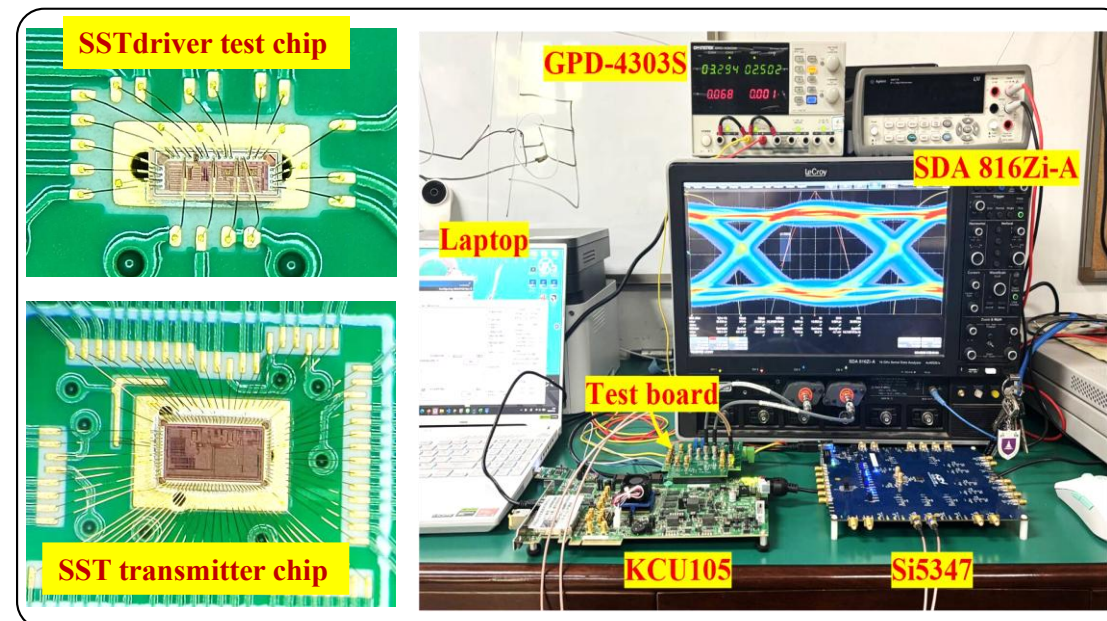
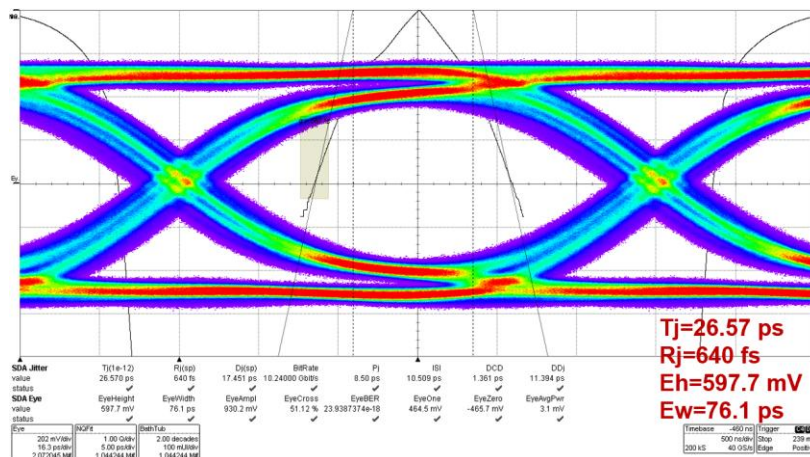


图15. 芯片打线图以及测试平台

- 通过40-GHz采样率的示波器观察信号波形和眼图测试
- 数据源可由片内提供，也可由FPGA提供
- 通过FPGA开发板进行误码率测试





测试结果

◆SST驱动器各加重档位及其最优延迟设置



0档



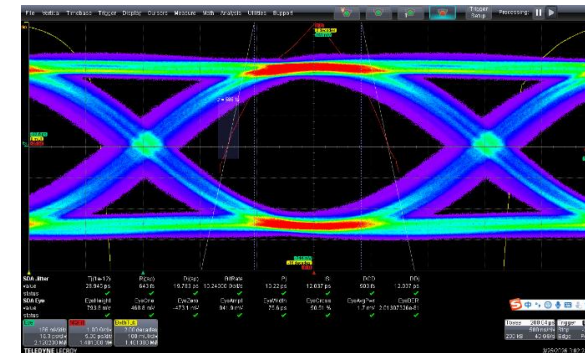
1档, VC=645mV (83ps)

T_j=34.1ps, Eh=456.7mV, Ew=72.1ps



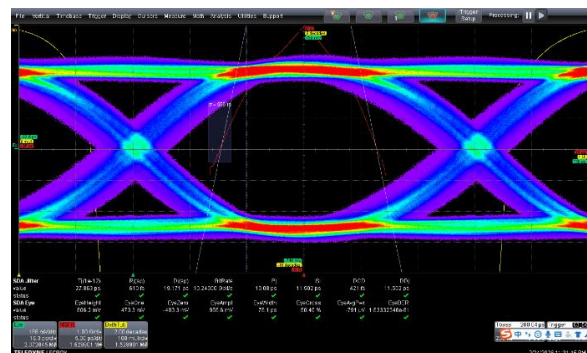
2档, VC=520mV (67ps)

T_j=29.4ps, Eh=703.9mV, Ew=75.3ps



3档, VC=450mV (60ps)

T_j=28.9ps, Eh=793.8mV, Ew=75.6ps



4档, VC=400mV (53ps)

T_j=27.8ps, Eh=806.2mV, Ew=76.1ps



5档, VC=345mV (48ps)

T_j=29.6ps, Eh=803.0mV, Ew=74.8ps



6档, VC=300mV (44ps)

T_j=26.7ps, Eh=808.6mV, Ew=76.5ps



7档, VC=280mV (42ps)

T_j=27.8ps, Eh=794.5mV, Ew=76.5ps



测试结果

◆SST串行发送器测试

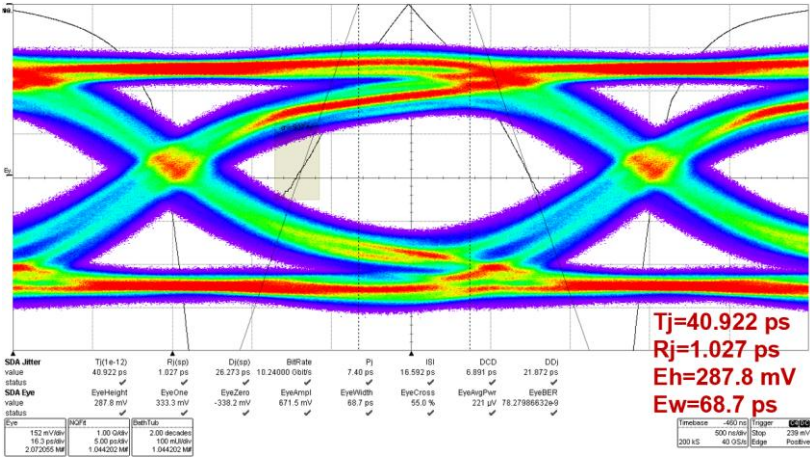


图19. 预加重关，功耗：**20.4mW**（串行器）
+ **6mW**（SST驱动器）

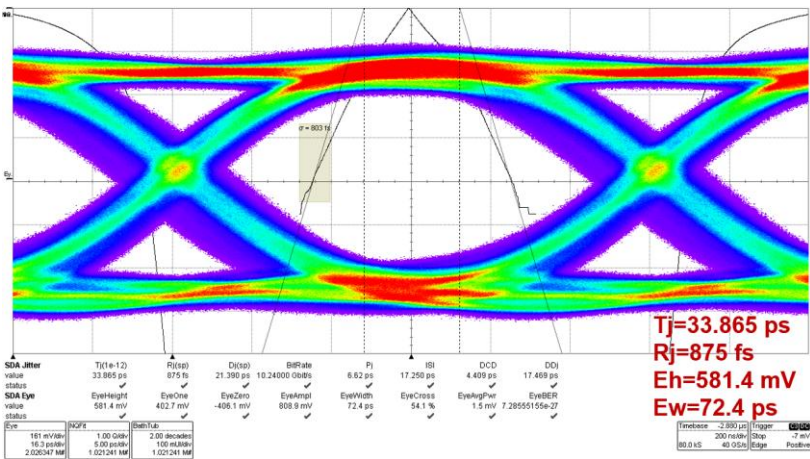


图20. 预加重等级3，功耗：**20.4mW**（串行器）
+ **9.6mW**（SST驱动器）

- 测试板到示波器采用**1.3m**信号线
- 加重后能效比为**6.56pJ/bit**（全部）
和**2.93pJ/bit**（不含ROPLL）。

➤ 误码率测试

- 运行超过50小时，共传输了超过 **2×10^{15}** bits，未出现误码。
- $BER < 1 \times 10^{-15}$** （置信区间**86.47%**）， **$BER < 1 \times 10^{-12}$** （置信区间**99.99%**）。

表2. 不同速率下输出眼图数据（加重等级3）

Eye Diagram (Gbps)	1.28	2.56	5.12	10.24
Tj (ps)	88.74	52.98	37.48	35.06
Rj (ps)	5.39	2.49	1.04	0.78
Eye Height (mV)	732.9	750.9	657.1	600.6
Eye Width (ps)	739	359.8	165.4	73.4
Vertical Opening	86.4%	89.2%	71.3%	65.2%
Horizontal Opening (UI)	0.95	0.92	0.85	0.75



总结与后续工作

◆总结

- 设计一种可仅在NRZ信号跳变沿工作的预加重方案，可大幅节省功耗。
- 采用55-nm工艺设计并流片了一款SST架构驱动器，可实现**10.24Gbps**信号输出，同时功耗仅有**10.8mW**。
- 采用55-nm工艺设计并流片了一款SST串行数据发送器，可将16路640Mbps信号，串行为一路10.24Gpbs高速信号。同时能效比可达到**2.93pJ/bit**。

◆后续工作

- 增加编码电路，完善功能，辐照测试
- 宽范围SST发送器：当前版本做细节上的完善和优化
- 低功耗SST发送器：LCPLL+MUX+编码+SST

ASIC — SERDES



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences



感谢聆听

2026.8.11 河南-登封
