面向高能物理领域的RISC-V片上系统芯片(HERIS)研发

(HERIS：High-Energy RISC-V Instrumentation SoC)

报告人： 崔宇鑫 中国科学院高能物理研究所(yxcui@ihep.ac.cn)

团队成员： 陈娇龙、崔宇鑫、贾文韬、李亮、骆首栋、史欣、严琪、严雄波、张嘉健、张理凯、张希媛、张奕晗

时　间： 2026-08-11

第二十三届全国核电子学与核探测技术学术年会·登封

中国科学院高能物理研究所
Institute of High Energy Physics, Chinese Academy of Sciences

目录

研究背景

➢ 传统前端电子学架构

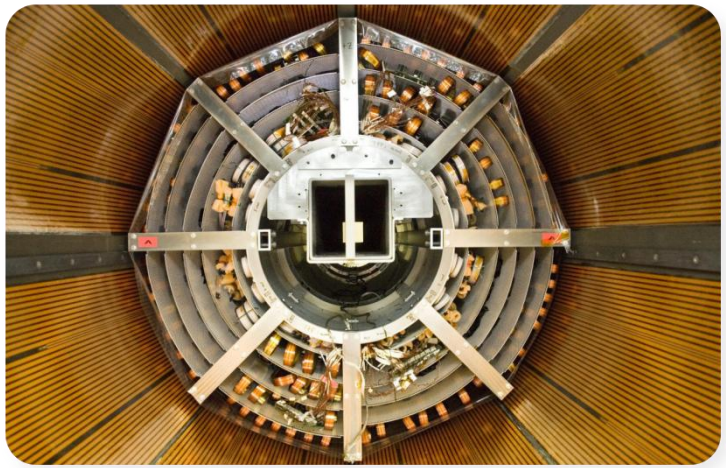
Detector
信号产生源

Front-end ASIC
信号放大与数字化

DAQ System
数据采集与初步汇总

Offline Computing
后端大规模数据重建与分析

➢ 以HL-LHC为例



➢ 亮度指数级跃升

7.5×10^{34} $cm^{-2}s^{-1}$

峰值亮度提升5-7倍，单束团交叉内相互作用次数超过200次，碰撞密度达到前所未有的水平。

➢ 通道数量激增

50亿+ 电子学通道

ATLAS ITk探测器通道数突破50亿，覆盖面积从1.7m²增至13m²，实现对粒子轨迹的微米级捕捉。

➢ 数据吞吐爆发

100倍+ 数据量增长

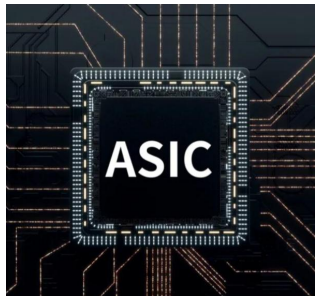
TB/s级原始数据流，数据率预计增长百倍，倒逼计算架构与传输技术革新。

通道规模扩大、单位时间数据量激增以及在线处理日益复杂，这些需求正推动前端电子学从单纯的读出接口，逐渐向兼具读出、控制和计算能力的智能节点方向发展。

引自：TheATLAS ITk detector system for the Phase-II LHC upgrade

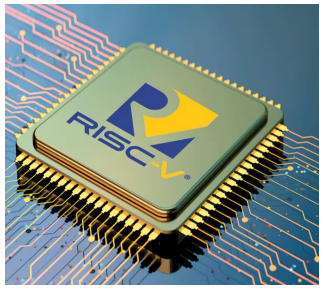
传统ASIC与RISC-V

➢ 传统ASIC架构：固化与极致



- **极致能效：** 针对特定任务深度优化，功耗极低。
- **超高速度：** 电路路径最短化，处理延迟极低。
- **极高可靠：** 设计经流片验证，运行极其稳定。

➢ 新一代实验需求：灵活与智能



- **实时计算：** 在线压缩、特征提取与信号筛选。
- **动态控制：** 参数自适应调整与全系统状态监测。
- **演进适配：** 支持算法迭代与实验条件灵活升级。

传统ASIC擅长固定任务的高效执行，但面对长期运行实验中的算法演进和复杂控制需求，需要引入可编程计算能力。

- RISC-V:是一个基于精简指令集原则的开源指令集架构

➢ 开放生态 · 自主可控

传统商业架构（如ARM）
受限于商业IP授权，架构固定，存在供应链与技术壁垒，难以深度定制。

RISC-V 开放架构
开源ISA标准，无授权费用，支持从内核到系统的全流程自主设计，实现技术完全自主。

➢ 极致轻量 · 高能效比

极小面积占用
微架构极度精简，整数指令集仅有47条，远低于x86的上千条，抗辐照性能更好

超低功耗运行
优异的能效比，大幅降低前端电路功耗，满足探测器严苛的低功耗设计要求。

前端ASIC深度融合
专为数据采集前端设计，减少传输延迟，提升系统响应速度与集成度。

➢ 灵活扩展 · 场景定制

自定义指令集扩展
针对高能物理算法（如触发、重建）定制专属指令，计算效率提升数倍。

专用硬件加速集成
灵活集成DSP或神经网络加速器，加速信号处理与数据解析，释放算力潜能。

辐照加固架构优化
支持针对强辐射环境的架构级容错设计，保障芯片在极端环境下的稳定运行。

目录

HERIS简介

HERIS (High-Energy RISC-V Instrumentation SoC) 计划将 RISC-V 与前端探测器融合，实现探测器系统的

- 前端动态配置与工作状态监控
- 复杂片上算法处理，
- 多核级联，搭载预训练的专用模型用于触发、数据过滤等。

提升半导体探测器系统的智能化水平、数据处理效率。

HERIS计划首先应用于高精度读出芯片LATRIC(一款具备优于30 ps时间分辨，兼具10 um位置测量精度、高集成、低功耗的半导体探测器读出芯片，https://doi.org/10.1088/1748-0221/21/04/C04028)，后续可集成于其他各类型ASIC读出芯片(传统ASIC->SoC)

HERIS-V1：技术验证与原型开发

2024.11

项目启动与设计

完成需求分析与技术选型，确立架构设计与核心指标

2025.10

芯片提交流片

完成RTL设计、仿真验证及物理设计全流程，正式交付晶圆厂进行制造生产。

2026.02

回片与封装打线

接收制造完成的晶圆，完成芯片封装、与测试板绑定

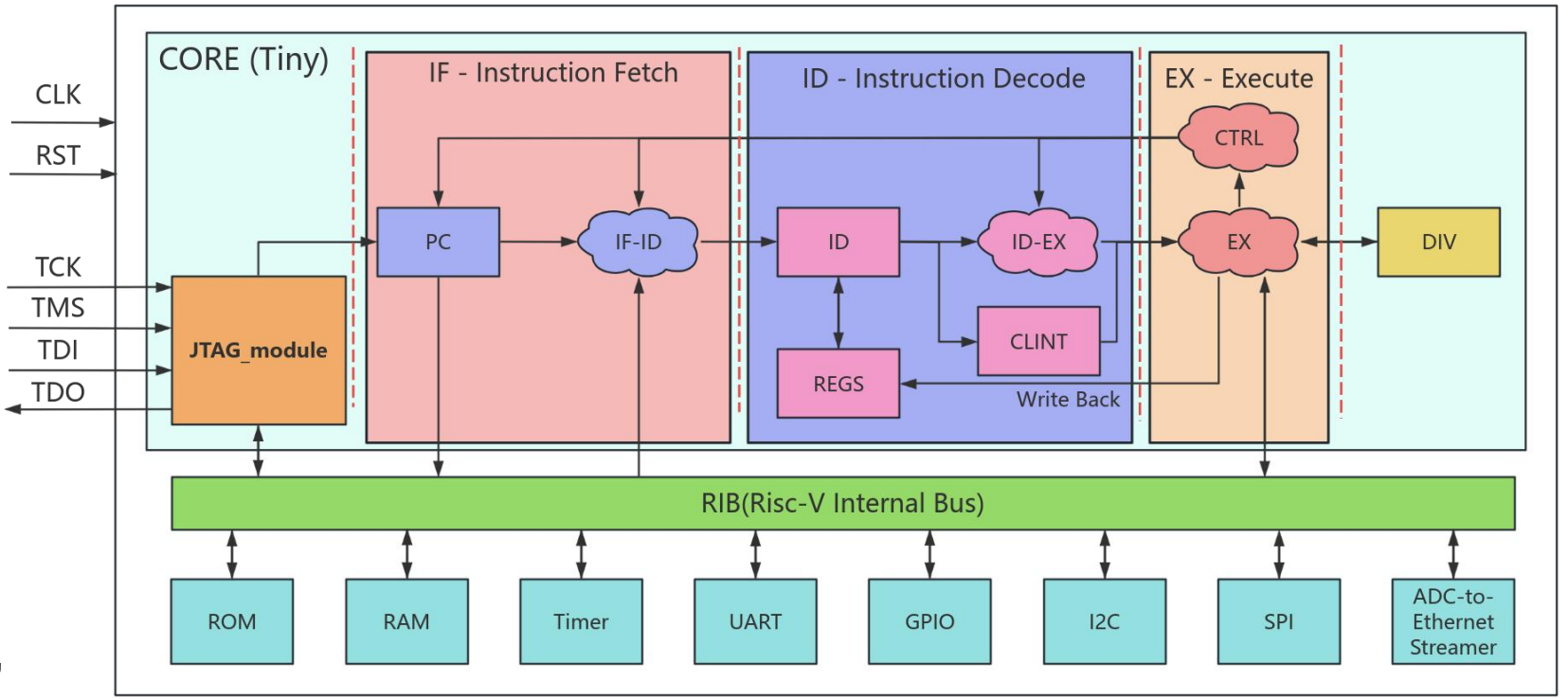
2026.03

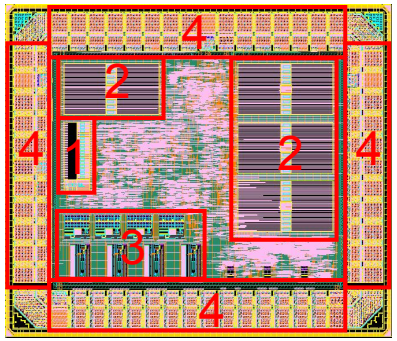
正式测试

全面验证芯片功能完整性、性能指标及功耗表现，输出测试报告与优化数据。

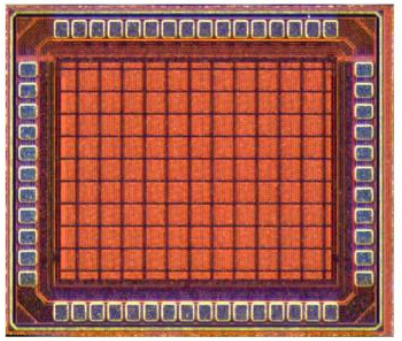
HERIS-V1架构及工艺参数

- 核心部分 (Tiny Risc-V)
  - RV32IM 指令集
  - 三级流水线
  - CoreMark/MHz = 1.7
- JTAG 接口
  - 支持OpenOCD
  - 支持GDB 调试启动
- 外设
  - 4 KB ROM, 32 KB RAM
  - 支持I2C、UART、SPI
  - 通过UDP协议传输到上位机
- 工艺参数
  - 55 nm 工艺制程
  - 工作频率 50 MHz
  - 面积 1020 x 1196 um
  - 工作电压 1.2 V





主要模块
1: ROM
2: RAM
3: 单端转差分模块
4: IO



HERIS V1版图及实物图 (2025年10月提交流片)

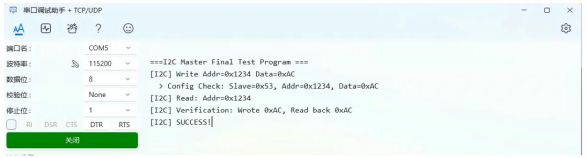
HERIS-V1设计验证：构架的模块优化及验证

➢ 新增I2C模块并在FPGA上验证

C程序

ILA调试结果

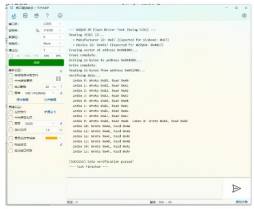
UART输出结果



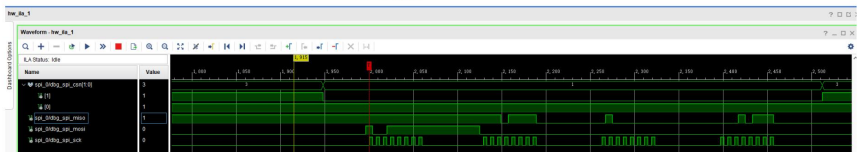
➢ 优化SPI模块并在FPGA上验证

W25Q64

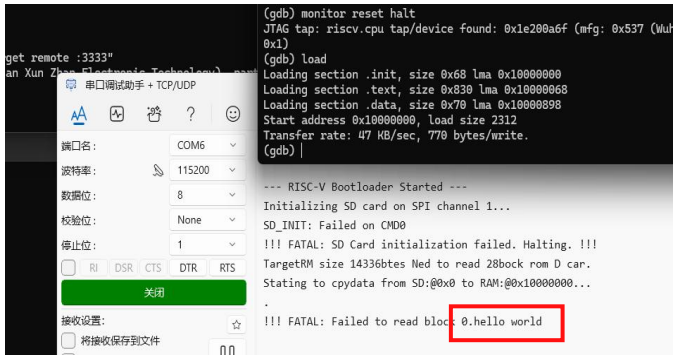
UART输出结果



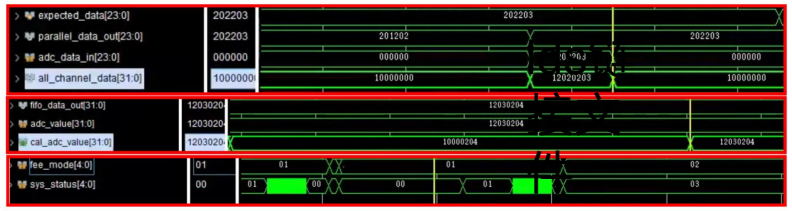
ILA结果



➢ 修改硬件代码以支持GDB启动



➢ 以太网传输模块在FPGA上验证



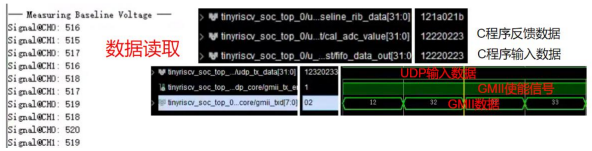
ADC串行输入数据
串转并后的并行数据
ADC数据接收模块接收数据
FIFO输出数据
C程序输入数据
C程序反馈数据
工作模式切换
系统状态切换

上板验证

初始化配置

```
—— System Initialization ——
Board IP set to: 192.168.185.111 (0xC0A8B96F)
Board port set to: 1234
Destination IP set to: 192.168.185.43 (0xC0A8B9F3)
Board port set to: 1234
UDP Cofig Reg (0x10) written with: 0x00030400
UDP Config Reg (0x10) read back: 0x00030400
UDP Config Reg (0x10) written with: 0x00030400
```

数据读取

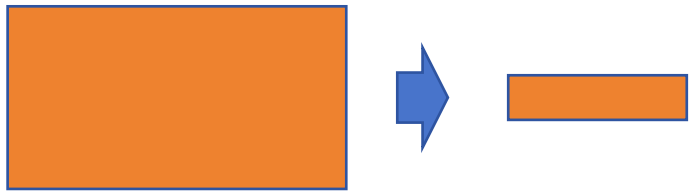


➢ 优化ROM大小并重写引导程序

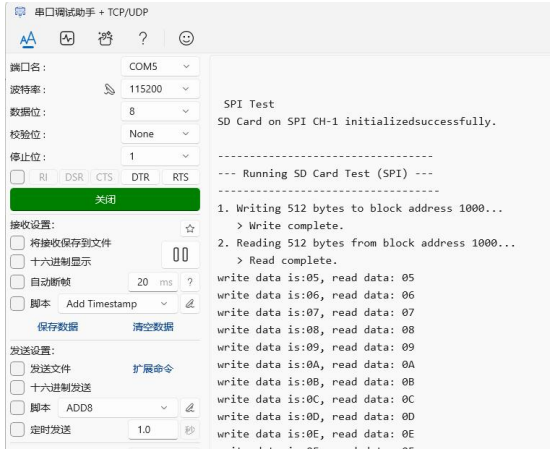
- 更新链接脚本
- 重写启动脚本及ROM程序

RAM 8192x32
569.26*307.045 um

ROM 512x32
75.845*300.46

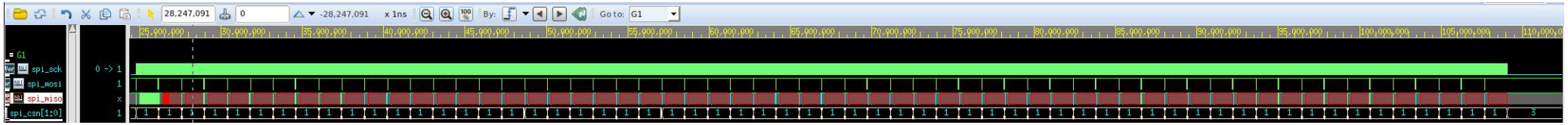


➢ 新增SD卡启动方式

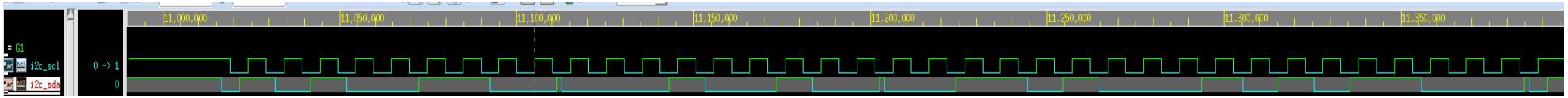


HERIS-V1后仿验证

- SPI:添加SD卡仿真模型，后仿正常

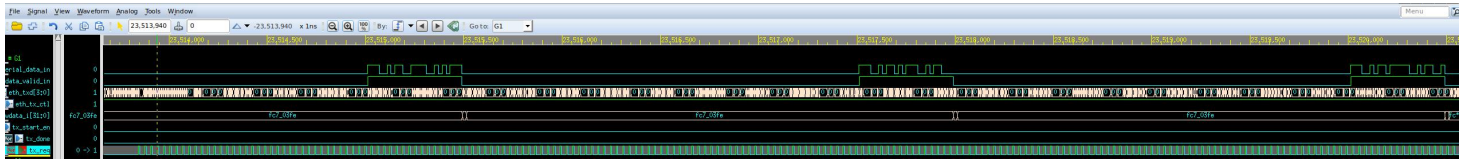


- I2C: 添加AT24C32仿真模型，后仿输出正常



- Timer: 计时器后仿结果正常

```
===== Starting Timer Module Test Suite =====
Running Test: Basic Interrupt...
  -> PASS
Running Test: Register Read/Write...
  -> PASS
Running Test: Counter Increment...
  -> PASS
Running Test: Polling Mode...
  -> PASS
Running Test: Stop and Reset...
  -> PASS
Running Test: Byte Enables...
  -> WARNING: Byte-write to timer registers is not supported by hardware. Test skipped.
  -> PASS
Running Test: Boundary Value (VALUE=0)...
  -> PASS
===== Test Suite Finished =====
Result: 7 / 7 tests passed.
ALL TESTS PASSED!
```



- ADC传输模块仿真结果正常

```
*Verdi* : Create FSDB file 'tiny.fsdb'
*Verdi* : Begin traversing the scope (tinyriscv_soc_tb_sd), layer (0).
*Verdi* : End of traversing.
*Verdi* : fsdbDumpon - All FSDB files at 0 ns.
[                200] Test starting...
[                200] --- Starting Split RAM Fast Load ---
[                200] Using base file path: source/testbench/my_adc/my_adc
[                200] --- Split RAM Fast Load Complete ---
[                200] Reset released. CPU and automated ADC test start.
[                200] UART Monitor: Started. Watching tx_pin.
[                200] UART Monitor: CLK_FREQUENCY=    50000000, BAUD_RATE=     115200

--- System Initialization ---
Board IP set to: 192.168.185.110 (0xC0A8B96E)
Destination IP set to: 192.168.185.240 (0xC0A8B9F0)
UDP Config Reg (0x10) written with: 0x00030400
UDP Config Reg (0x10) read back: 0x00030400
UDP Config Reg (0x10) written with: 0x00030400
UDP Config Reg (0x10) written with: 0x00030400
UDP Config Reg (0x10) written with: 0x00030400
UDP Config Reg (0x10) written with: 0[          35000200] Simulation finished after sending some packets.
$finish called from file "source/testbench/Auto_test.v", line 207.
$finish at simulation time              35000200
                 V C S   S i m u l a t i o n   R e p o r t
Time: 35000200 ns
CPU Time:   1314.340 seconds;       Data structure size:  25.5Mb
Sat Oct 11 18:52:39 2025
CPU time: 4.425 seconds to compile + .464 seconds to elab + .408 seconds to link + 1314.384 seconds in simulation
Verdi KDB elaboration done and the database successfully generated: 0 error(s), 0 warning(s)
```

- RISCV官方测试集指令验证均通过

批量测试流程：

1、修改编译链接文件，根据当前SOC设计重新将.S源码编译为.bin文件

2、将不同指令的.bin文件分割为4个RAM子文件

3、批量加载并运行程序

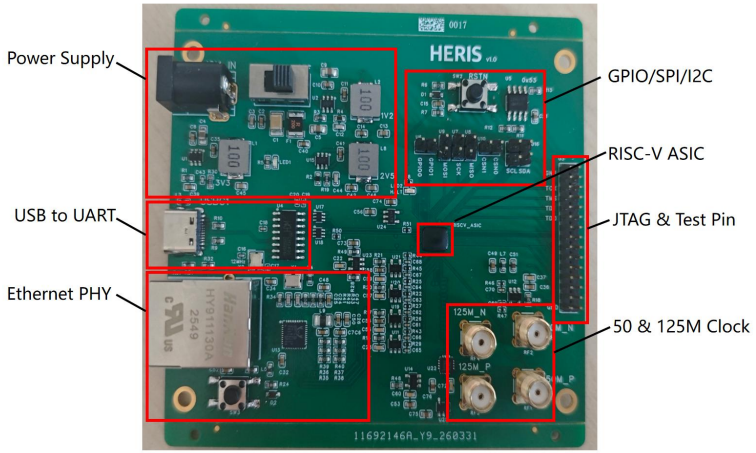
4、根据源码特定的地址索引寻找验证数据的起始和终止地址逐一验证结果

```
 200] Using base file path: source/testbench/core_test/I-DELAY_SLOTS-01.elf
 200] --- Split RAM Fast Load Complete ---
 200] Reset released. CPU starts execution from ROM.
 200] UART Monitor: Started. Watching tx_pin.
 200] UART Monitor: CLK_FREQUENCY=    50000000, BAUD_RATE=     115200
 300] CPU halted signal detected. Starting verification.
3310] CPU halted signal detected!
3510] Signature range found in RAM: Start Addr=0x10002000, End Addr=0x10002020
```

HERIS-V1流片后功能测试

2026年3月回片后对整个芯片进行系统测试，部分测试结果如下所示

- HERIS-V1测试板



- 上电测试,OpenOCD正常连通，ROM程序正常运行

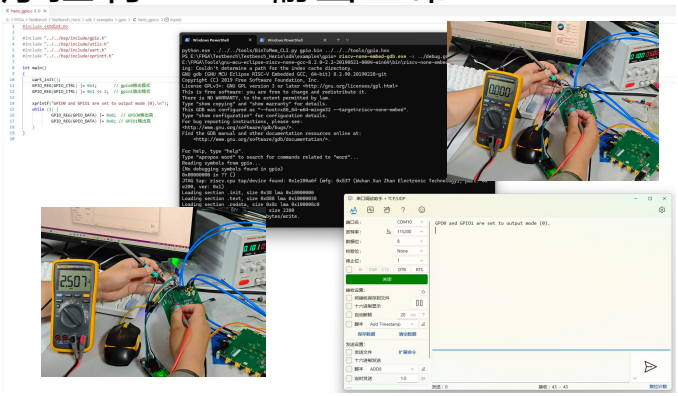
```
PS E:\fpga\Tools\xpack-openocd-0.12.0-6\bin> .\openocd.exe -f .\tinyriscv_JTAG_HS2.cfg
xPack Open On-Chip Debugger 0.12.0+dev-01850-geb6f2745b-dirty (2025-02-07-10:08)
Licensed under GNU GPL v2
For bug reports, read
        http://openocd.org/doc/doxygen/bugs.html
Info : clock speed 1000 kHz
Info : JTAG tap: riscv.cpu tap/device found: 0x1e200a6f (mfg: 0x537 (Wuhan Xun Zhan Electronic Technology), part: 0xe200
, ver: 0x1)
Info : datacount=3 progbufsize=1
Info : Examined RISC-V core; found 2 harts
Info :  hart 0: XLEN=32, misa=0x0
Info : [riscv.cpu] Examination succeed
Info : [riscv.cpu] starting gdb server on 3333
Info : Listening on port 3333 for gdb connections
Info : Listening on port 6666 for tcl connections
Info : Listening on port 4444 for telnet connections
```

串口调试助手 + TCP/UDP

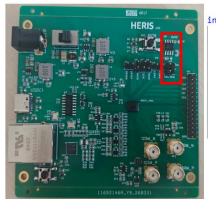
端口名：COM5
波特率：115200
数据位：8
校验位：None
停止位：1
RI DSR CTS DTR RTS

```
--- RISC-V Bootloader Started ---
Initializing SD card on SPI channel 1...
SD_INIT: Failed on CMD0
!!! FATAL: SD Card initialization failed. Halting. !!!
Target RAM size: 14336 bytes. Need to read 28 blocks from SD card.
Starting to copy data from SD:@0x0 to RAM:@0x10000000...
```

- 程序控制GPIO输出正常



- 使用板载EEPROM，测试I2C协议工作正常



```
int main() {
    uart_init();
    xprintf("\n=== I2C Master Final Test Program ===\n");
    i2c_init(50000000, 100000);

    uint16_t test_addr = 0x1234;
    uint8_t test_data  = 0xAC;

    eeprom_write_byte(test_addr, test_data);
    uint8_t read_back = eeprom_read_byte(test_addr);
```

UART输出

```
== I2C Master Final Test Program ===
[I2C] Write: Addr=0x1234 Data=0xAC
  > Config Check: Slave=0x53, Addr=0x1234, Data=0xAC
[I2C] Read: Addr=0x1234
```

断电后再次运行

```
int main() {
    uart_init();
    xprintf("\n=== I2C Master Final Test Program ===\n");
    i2c_init(50000000, 100000);

    uint16_t test_addr3 = 0x0123;
    uint8_t read_back3 = eeprom_read_byte(test_addr3);
    uint16_t test_addr2 = 0x1234;
    uint8_t read_back2 = eeprom_read_byte(test_addr2);

    xprintf("[I2C] Verification: Read1 0x%02X, Read2 0x%02X\n", read_back3, read_back2);
```

UART输出

```
=== I2C Mater Final Test Program ===
[I2C] Read: Addr=0x0123
[I2C] Read: Addr=0x1234
[I2C] Verification: Read1 0xFF, Read2 0xAC
```

HERIS-V1 CoreMark跑分测试

➢ CoreMark测试条件

CoreMark Benchmark Statistics

Test Configuration

Item	Value
CPU Architecture	RV32IM Softcore
Benchmark	CoreMark
Iterations	100
Compiler	GCC 8.2.0
Optimization	`-O2 -funroll-loops -finline-functions`
Memory Mode	STATIC
Assumed Timer Clock	50 MHz

➢ HERIS-V1跑分

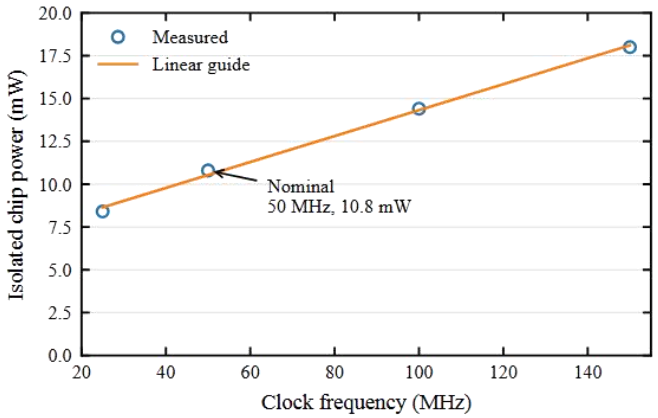
CoreMark Results Summary

Run	Total Ticks	Time (s)	CoreMark	CoreMark/MHz
1	47,140,681	0.943	106.07	2.121
2	57,254,527	1.145	87.33	1.747
3	57,254,216	1.145	87.33	1.747
4	57,254,809	1.145	87.32	1.746
5	57,254,522	1.145	87.33	1.747
6	57,254,148	1.145	87.33	1.747
7	57,255,302	1.145	87.31	1.746
8	57,256,313	1.145	87.30	1.746
9	57,253,503	1.145	87.33	1.747
10	36,131,525	0.723	138.38	2.768
11	57,254,188	1.145	87.33	1.747
12	57,254,522	1.145	87.33	1.747
13	57,254,203	1.145	87.33	1.747

➢ FPGA同程序跑分

#	Total Ticks	CoreMark	CoreMark/MHz
1	264,551,913	18.90	0.378
2	25,685,150	194.66	3.893
3	55,131,135	90.69	1.814
4	29,876,551	167.35	3.347
5	57,253,579	87.33	1.747
6	57,243,713	87.35	1.747
7	29,906,285	167.19	3.344
8	57,254,426	87.33	1.747
9	41,493,461	120.50	2.410
10	46,612,237	107.27	2.145
11	54,497,797	91.75	1.835
12	48,237,510	103.65	2.073
13	28,275,053	176.83	3.537
14	57,253,726	87.35	1.747
15	13,635,777	366.68	7.334
16	25,475,668	196.27	3.925
17	57,253,893	87.35	1.747

➢ 不同频率静态功耗测试



性能水平：

- ➢ **ARM Cortex-M0/M0+**： 约 0.9 ~ 1.0
- ➢ **PicoRV32**：约 0.5 ~ 0.8
- ➢ **HERIS-V1：1.75 FPGA跑分结果一致**
- ➢ **VexRiscv / 蜂鸟 E203**： 约 1.5 ~ 2.2
- ➢ **ARM Cortex-M3 / M4**： 约 3.3 ~ 3.4

➢ 结论：

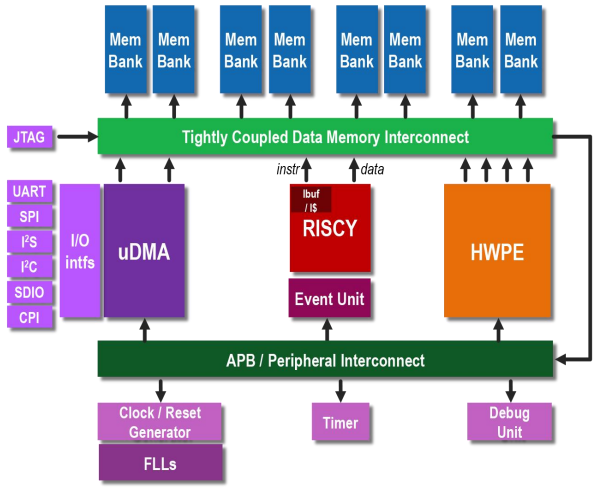
HERIS-V1除udp模块外，SPI、I2C、GPIO等外设均正常工作，性能上跑分也与FPGA一致，实现了绝大多数预期目标

目录

HERIS-V2

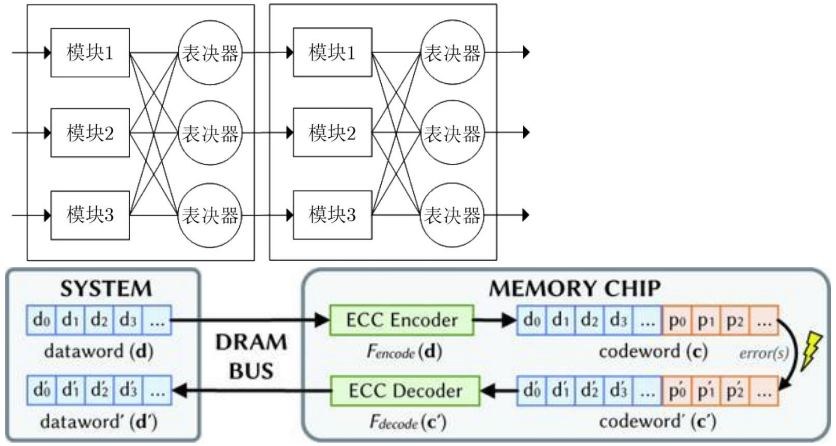
HERIS-V2 主要对架构进行了升级，同时重点研究RTL级抗辐照设计，先实现RTL级抗辐照设计

- 更换更先进SOC架构，基于PULP平台的pulpissimo



- 兼容RI5CY和IBEX内核
- 自主输入/输出子系统（uDMA）
- 新型内存子系统
- 支持硬件处理引擎（HWPEs）
- 新型简单中断控制器
- 丰富的外设

- 采用抗辐照设计，重要模块三模冗余 + RAM ECC 纠错+自启动、看门狗



HERIS-V2：迭代优化与功能扩展

2026.01　　2026.10 (预计)　　2027.02 (预计)

启动架构迭代设计

基于v1实测数据优化部分模块，使用全新架构，重点针对RTL级抗辐照

预计提交流片

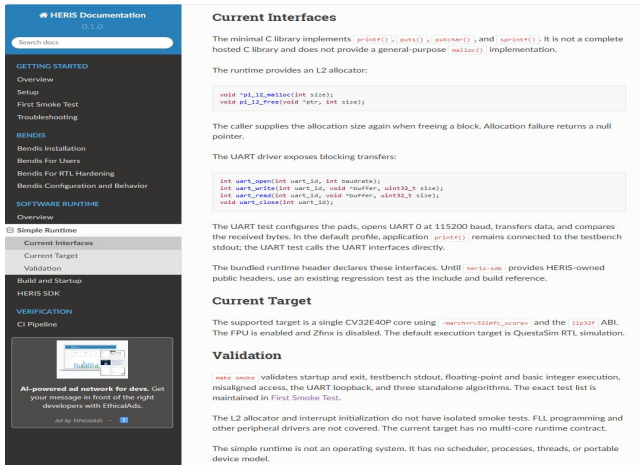
完成v2全流程设计与验证，计划提交生产

预计回片与封装

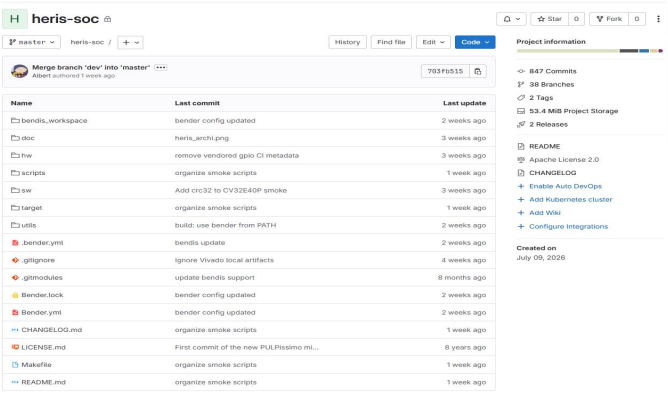
预计接收v2晶圆，完成封装与PCB测试板设计，完成后进行功能和包括抗辐照在内的性能测试

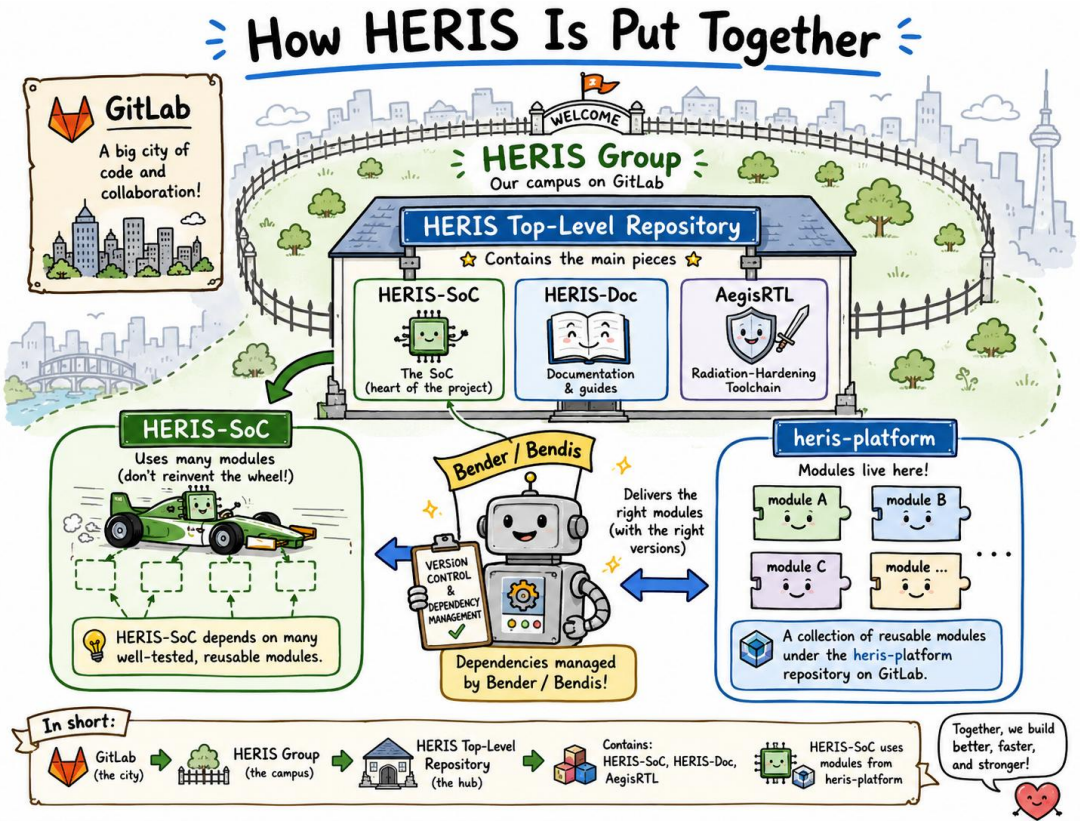
HERIS-V2模块化研发平台

➢ HERIS说明文档网页



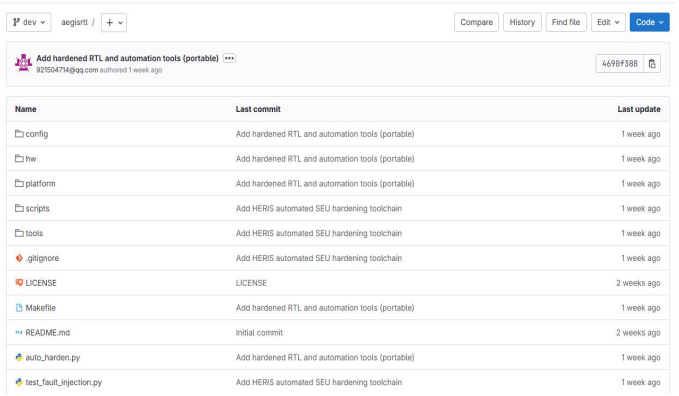
➢ HERIS soc仓库



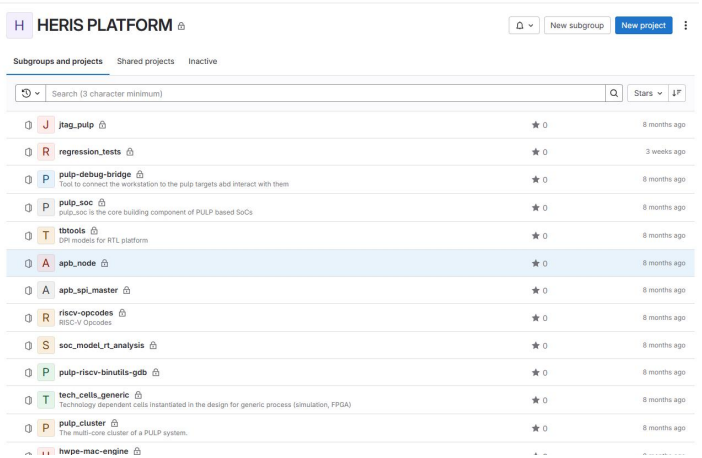


HERIS-V2目前完成了仿真测试等工作，抗辐照设计在优化迭代中，板验工作也正在进行

➢ 抗辐照模块仓库

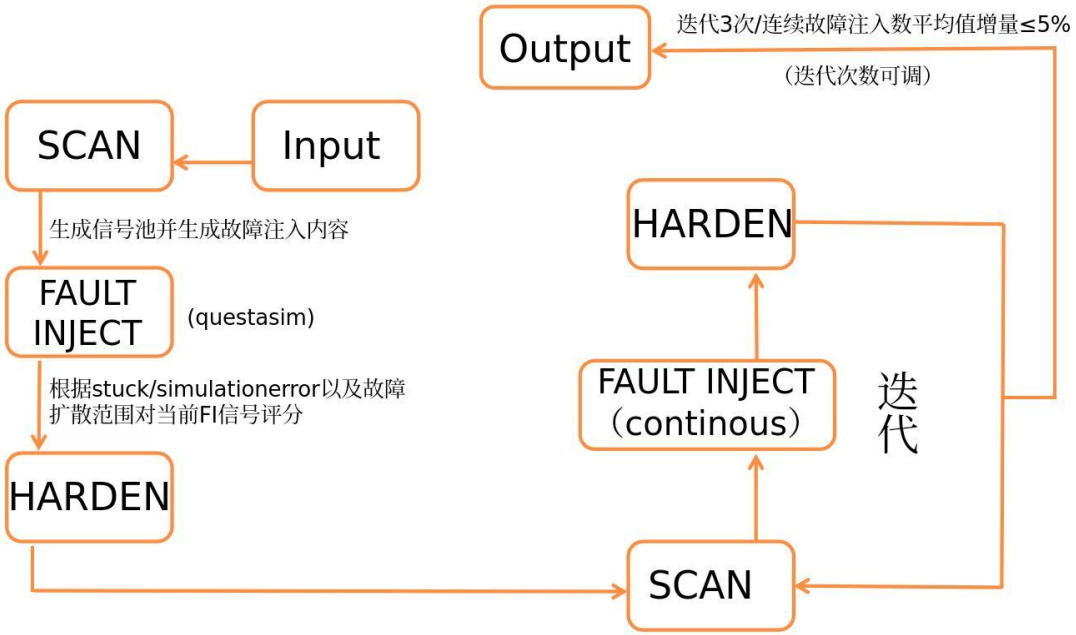


➢ 子模块仓库

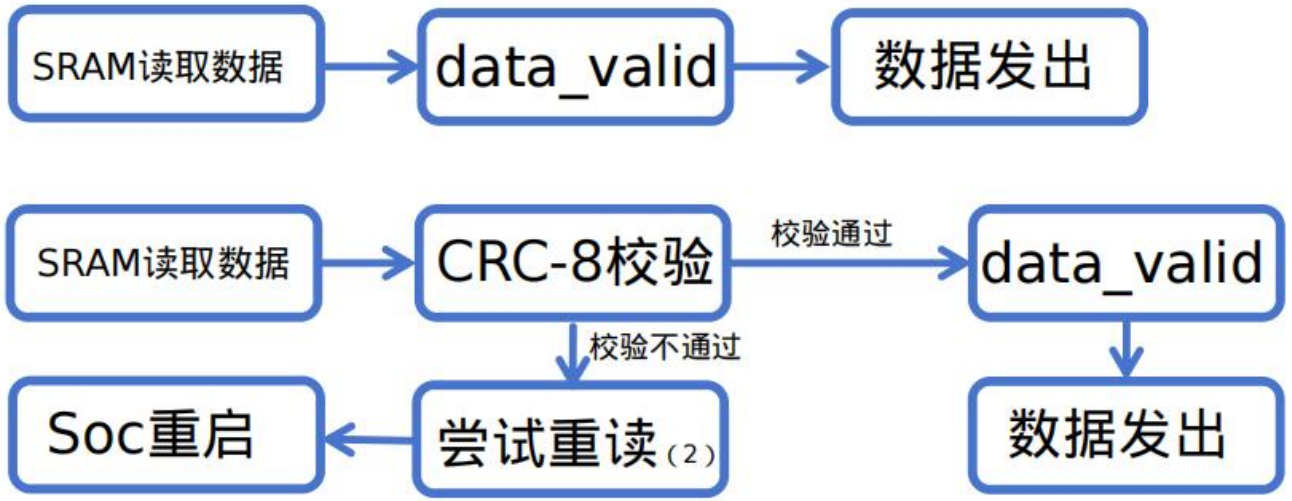


HERIS-V2抗辐照设计

- 开发了自动化SoC核心脆弱性分析与加固工具



- 针对RAM部分使用纠错码

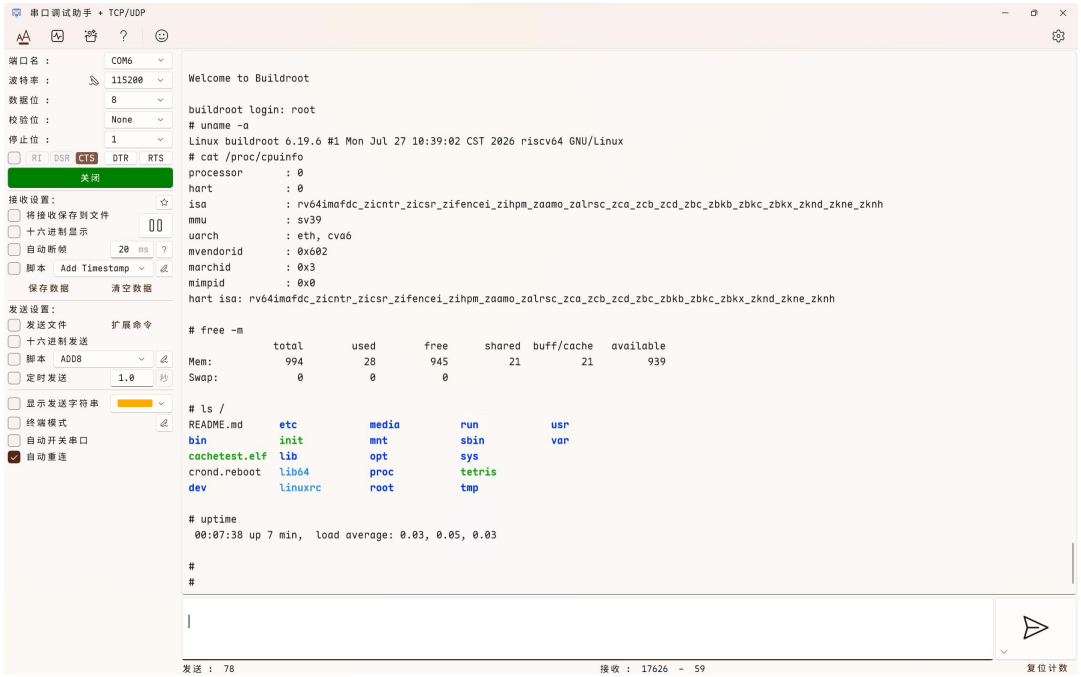


- 当前版本针对SoC核心部分，抗辐照加固仿真性能：
  - 额外面积开销：~40%
  - 提升效果：将系统的平均死机间隔由 19.9 次注入延长至 112.5 次，后续研究实现面积开销与加固性能的最优平衡，及时间三模冗余、流水线回滚、看门狗等技术进一步提升抗辐照能力

注：因尚未完成数字IC设计，仿真辐照环境为 ~ 1000周期翻转一次，翻转持续一个周期，信号选择为加权随机抽样，参考航天实测的数据，组合逻辑信号和寄存器信号比值为的1/10

HERIS-V2其他相关研发

- 硬件层面：面向更高性能RISC-V核的研究



在KC705上成功运行的Ariane soc，搭载linux系统(Ariane在22nm工艺下，面积～3*3 mm，主频可达1.7 GHz）

- 软件层面：面向神经网络算法KAN的研究

Model	Multi-Layer Perceptron (MLP)	Kolmogorov-Arnold Network (KAN)
Theorem	Universal Approximation Theorem	Kolmogorov-Arnold Representation Theorem
Formula (Shallow)	$f(\mathbf{x}) \approx \sum_{i=1}^{N(\epsilon)} a_i \sigma(\mathbf{w}_i \cdot \mathbf{x} + b_i)$	$f(\mathbf{x}) = \sum_{q=1}^{2n+1} \Phi_q \left(\sum_{p=1}^{n} \phi_{q,p}(x_p) \right)$
Model (Shallow)	(a) *fixed* activation functions on *nodes*; *learnable* weights on *edges*	(b) *learnable* activation functions on *edges*; sum operation on *nodes*
Formula (Deep)	$\mathrm{MLP}(\mathbf{x}) = (\mathbf{W}_3 \circ \sigma_2 \circ \mathbf{W}_2 \circ \sigma_1 \circ \mathbf{W}_1)(\mathbf{x})$	$\mathrm{KAN}(\mathbf{x}) = (\mathbf{\Phi}_3 \circ \mathbf{\Phi}_2 \circ \mathbf{\Phi}_1)(\mathbf{x})$
Model (Deep)	(c) MLP(x): $\mathbf{W}_3$, σ_2 *nonlinear, fixed*, $\mathbf{W}_2$, σ_1, $\mathbf{W}_1$ *linear, learnable*, x	(d) KAN(x): $\mathbf{\Phi}_3$, $\mathbf{\Phi}_2$ *nonlinear, learnable*, $\mathbf{\Phi}_1$, x

KAN参数更少，可解释型神经网络，适合部署在资源有限的环境中，目前团队正在进行机器学习等复杂重建算法的研发

总结

- HERIS v1达成预期设计目标，主体外设功能验证正常。作为首版RISC-V流片，初步验证了团队的RTL、数字IC设计能力。
- Heris v2在架构升级的基础上，额外完成RTL级抗辐照加固；回片后拟开展辐照测试，验证加固效果，为后续抗辐照版本提供数据支撑。
- 后续规划进一步研究工艺层面硬件抗辐照设计，同时研发：
  - 低功耗通用版：集成温度、电压等传感器，可灵活集成于其他芯片中，提供标准化接口，适用于常规应用场景。
  - 高性能计算版：研发高性能计算核心，针对探测器端典型物理算法（如触发、粒子鉴别等）设计专用硬件加速模块，相比软件实现，可在相同功耗下大幅提升计算吞吐量，满足高事件率实时处理需求。

  两个版本共享基础模块，未来可按场景灵活组合或裁减，大幅降低迭代周期与成本。
- HERIS在V2研发完成后，将集成于半导体读出ASIC芯片，同时拓展其他应用领域

谢谢大家