



基于RFSoc的多通道射频直接采样 和重建系统的实现

*Multichannel Direct RF Sampling and
Reconstruction System Based on RFSoc*

薛涛、杨昊彦、**韦亮军**、齐彬凯、边振学、梁博

2026.08.12

- 1 高速波形数字化架构选择
- 2 RFSoc 核心模块与 WRX701载板的实现
- 3 RDX051 PCIe采集卡与高速读出
- 4 系统集成与验证

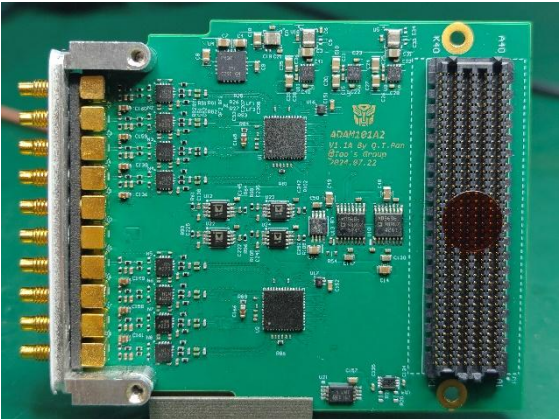
① 高速波形数字化架构选择

高速波形数字架构选择

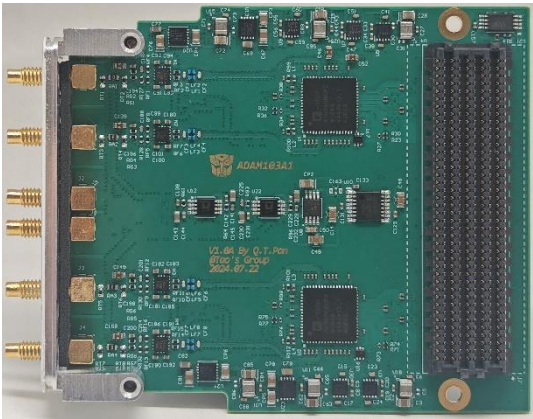
高速波形数字化板FMC子卡-ADC子卡的硬件多样性

	ADAM101A2	ADAM102A1	ADAM103A1	ADAM105A2
Channel /Module	8	8	4	2/1
ADC	125 MSps 16-Bit	500 MSps 14-Bit	1 GSps 14-Bit	5/10 GSps 12-Bit
Chip	AD9653	AD9694	AD9695	ADC12DJ5200RF
Analog Input (Full-Scale)	2.0 Vpp	1.6 Vpp	1.6 Vpp	1.0 Vpp
ADC ENOB (Bit)	>12.5 @ 10 MHz	>10.8 @ 10 MHz	>10.6 @ 10 MHz	4GSps DC: >8.9 @ 347 MHz
				8GSps DC: >8.7 @ 347 MHz

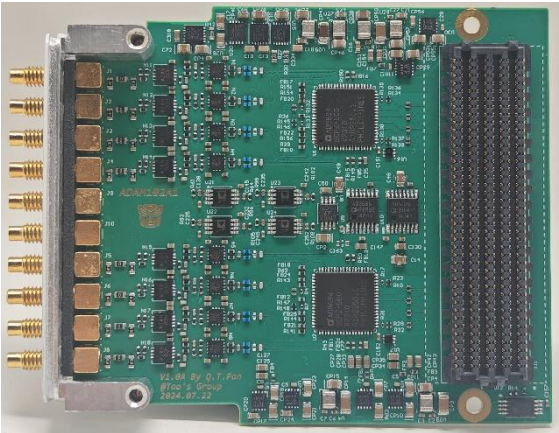
其他ADC子卡：
1GSps/16-Bit 4-Channel
500MSps/16-Bit 4-Channel



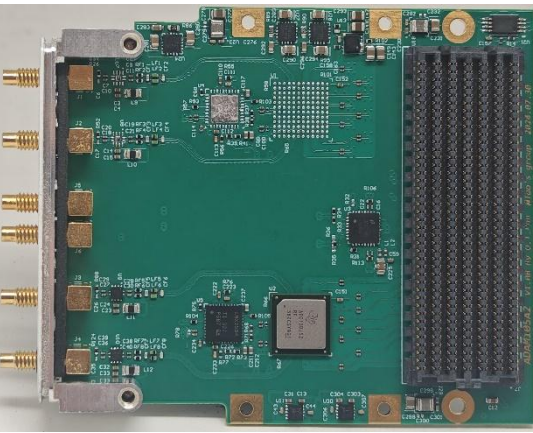
ADAM101A2



ADAM103A1



ADAM102A1



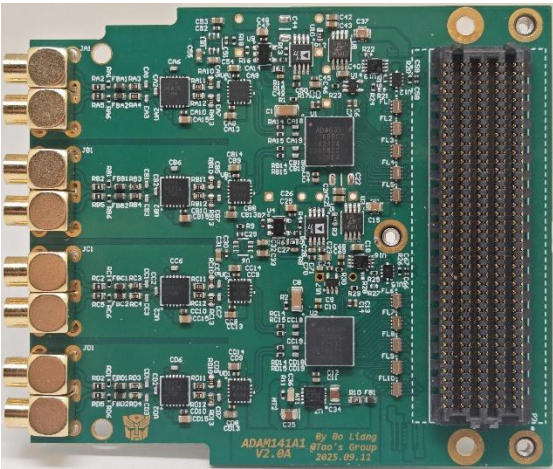
ADAM105A2

高速波形数字化架构选择

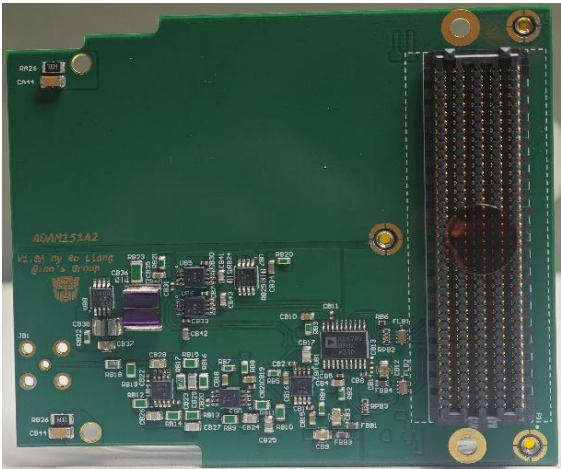
高速DAC子卡和高精度ADC、DAC子卡的硬件多样性

	ADAM141A1	ADAM151A2	ADAM152A1	ADAM171A1
Channel /Module	4	1	1	8
ADC/DAC	2 MSps 24-Bit	1 MSps 20-Bit	1 MSps 20-Bit	2.5 GSps 16-Bit
Chip	AD4630-24	AD5791	DAC11001B	DAC38J84
Analog Input (Full-Scale)	10 Vpp	10 Vpp	10 Vpp	/
ADC/DAC Performance	SNR>100 dB @1 kHz	1ppm ±1 LSB	1ppm ±1 LSB	/

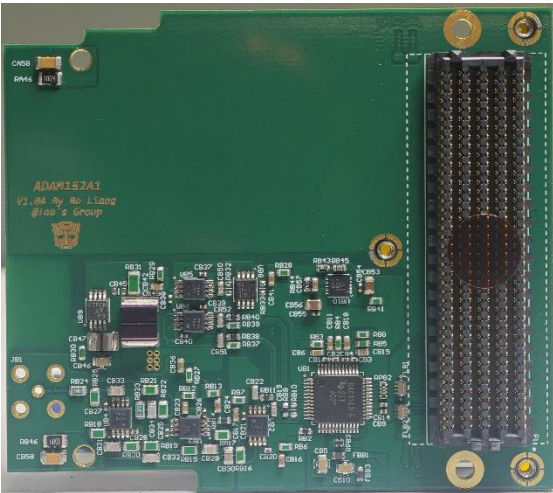
DAC子卡：
可覆盖精密偏置、波形激励和高速重建等不同需求



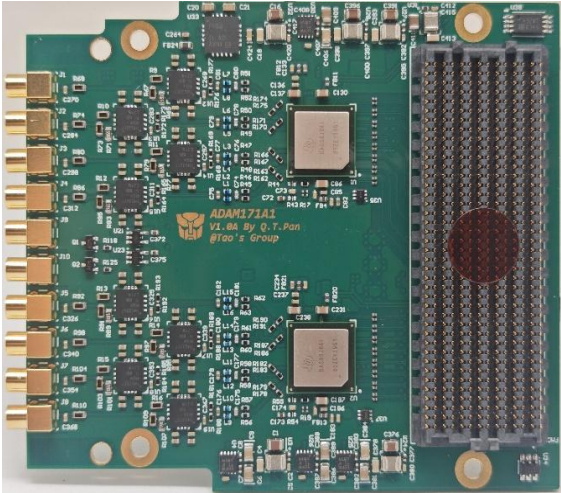
ADAM141A1



ADAM151A2

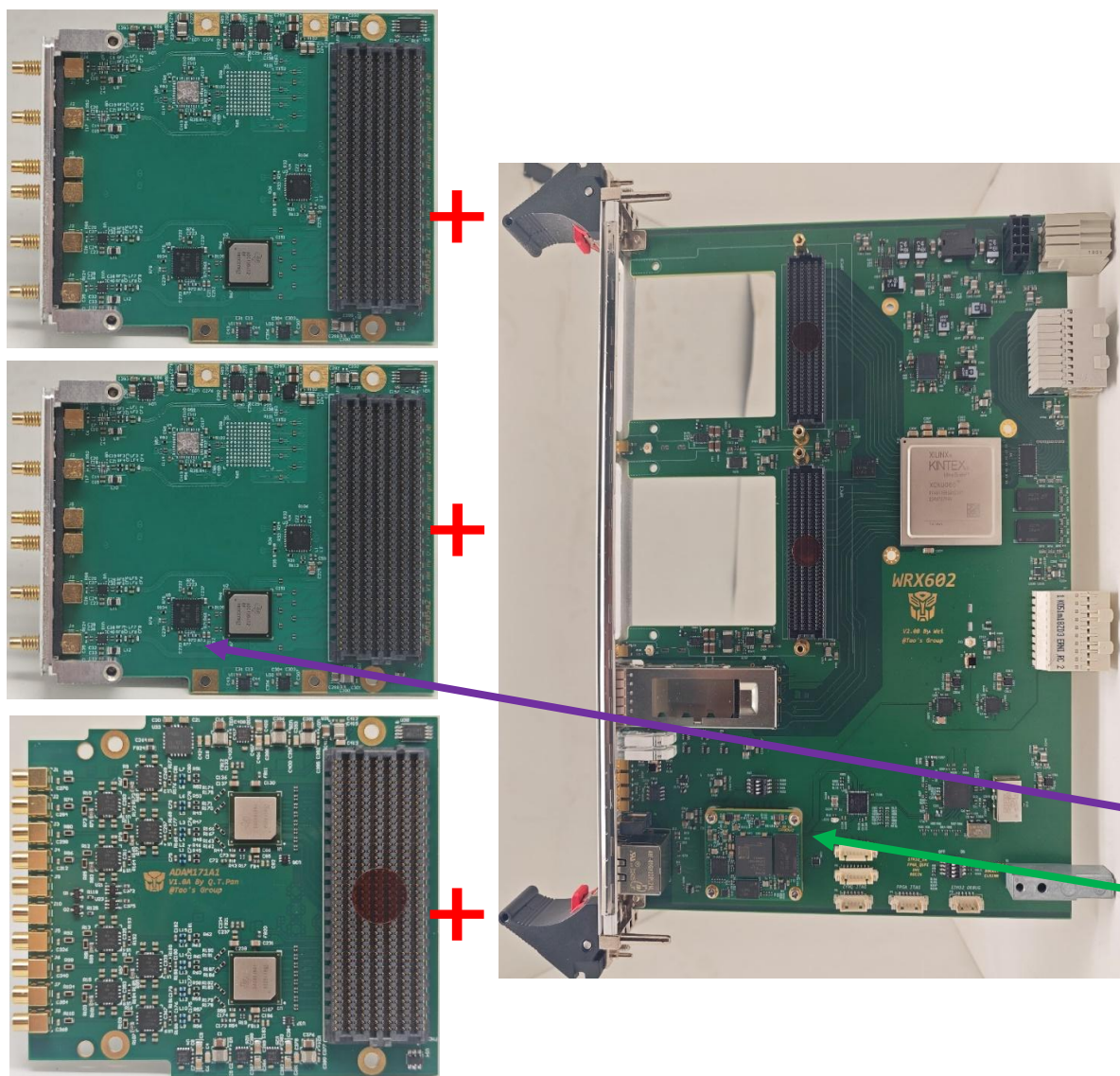


ADAM152A1



ADAM171A1

传统高速射频波形直接数字化与RFSoc方案对比



传统高速射频波形直接数字化架构



RFSoc (高速多通道直接采样和重建平台)

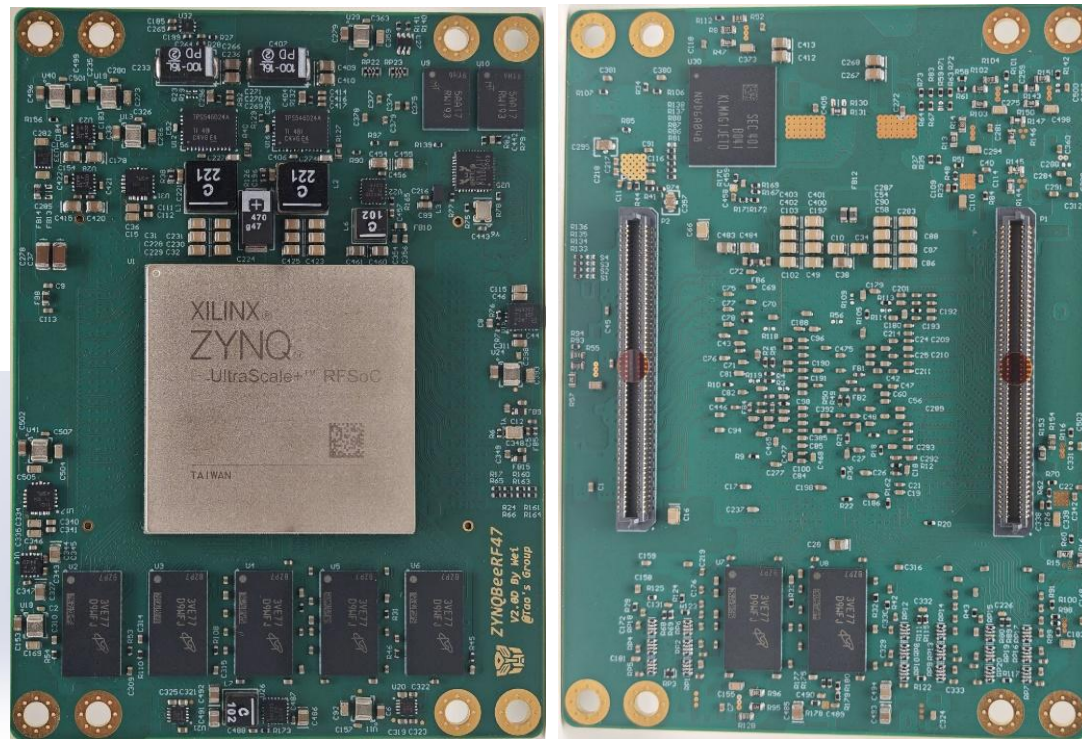
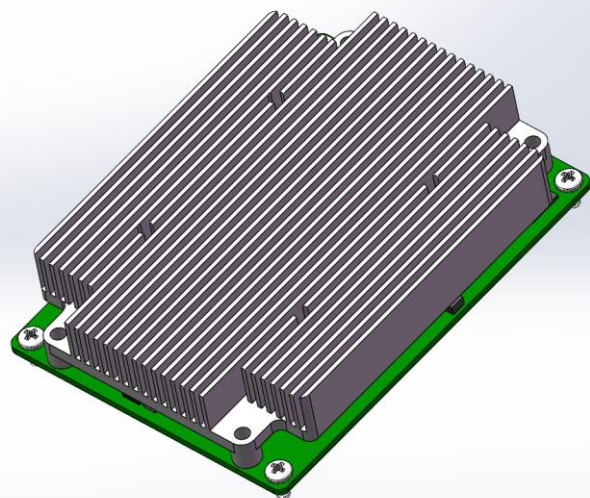
- 射频ADC和DAC的功耗较高(散热和电源系统比较复杂)
- ADC和DAC需要较多的Serdes来实现JESD204B等接口 → 需要选择成本更高、引脚更多的较大规模的FPGA → 增加成本和功耗 → 更加复杂
- 复杂的时钟需求 → 射频ADC、DAC在很多场景下需要单独射频PLL
- 有慢控制的需求 → 需要额外的板载Embedded Linux子系统
- 占用较大的PCB空间

② RFSoc 与 WRX701载板的实现

RFSoc核心模块研制-顶底对贴DDR4高密度实现

基于Xilinx XCZU47DR-2FFVE1156I的RFSoc核心模块

- 8*5GSps 14-Bit ADC Max
- 8*9.85GSps 14-Bit DAC Max
- PS端 64-Bit with ECC DDR4 2400MT/s 4GB total
- PL端 2×16-Bit DDR4 2667MT/s 2GB total
- Dual QSPI Flash 128MB total
- eMMC 16GB
- 40A 0.85V Core Power
- 完整的模拟供电
- Heatsink with or without FAN

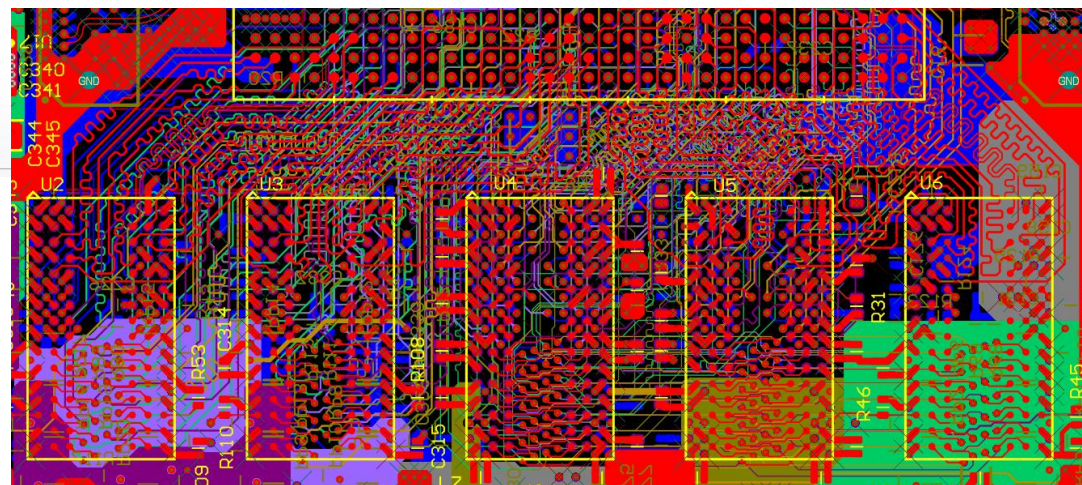


顶底对贴DDR4

解决高度集成化带来的新问题

设计要点

- 务必控制线宽、线距和走线拓扑实现容性补偿



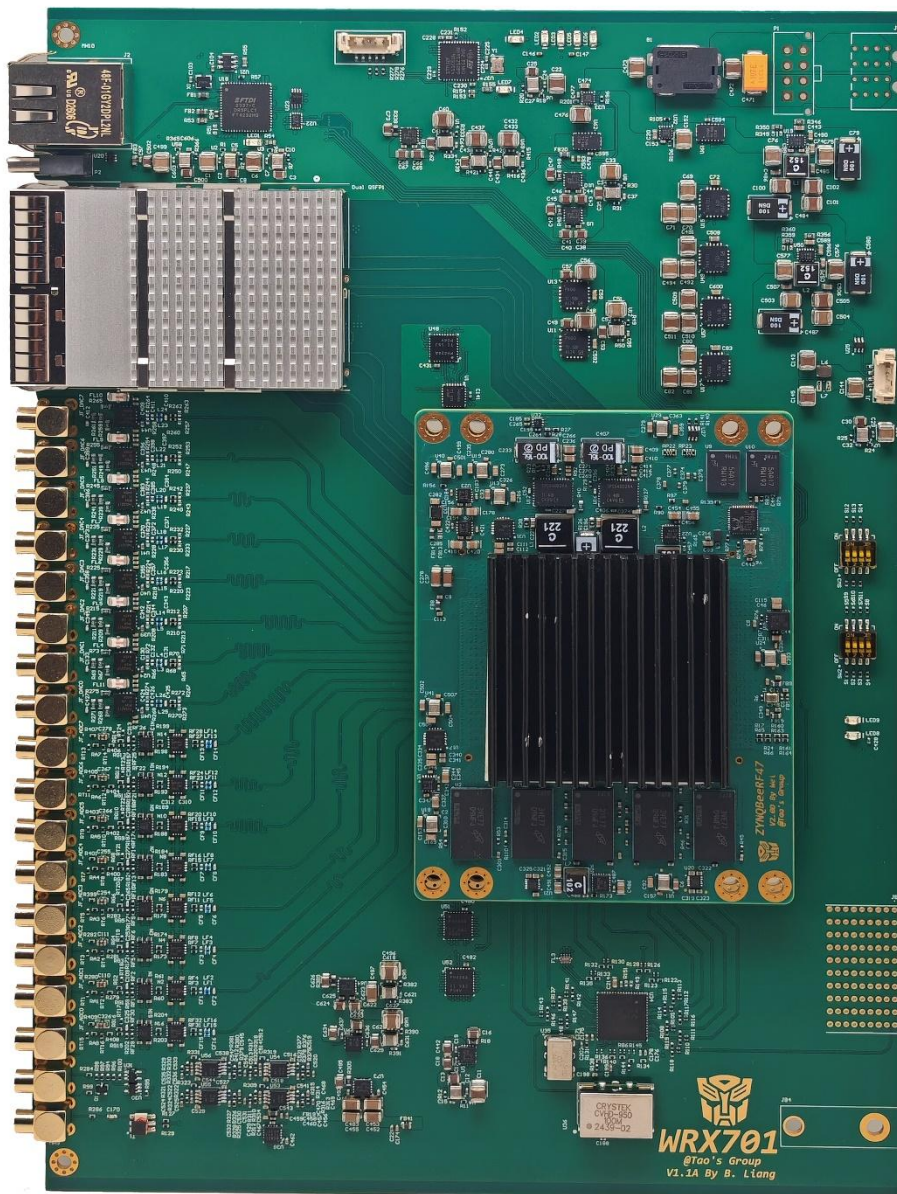
基于RFSoc的系统载板WRX701

RFSoc 核心模块的系统载板 WRX701

- 8ch 高速DAC采用 THS3217 实现 8 路直流耦合 DAC 驱动
- 8ch 高速ADC采用 LMH5401 + LMH6401 完成 8 路 ADC信号调理
- 通过精密 DAC + Buffers 实现输入零偏校准
- 配置双 100Gbps QSFP28 光通信接口
- LMK04832 与 CCHD-575 和 CVHD-950 提供时钟和同步
- External Trigger IN/OUT
- External Clock IN
- Slow Control with STM32 microcontroller
- On-Board JTAG with TypeC USB interface

关键设计

- 建立从运放端至RF ADC/DAC管脚的全链路S参数仿真模型，有效指导抗混叠滤波设计



③ RDX051 PCIe采集卡与高速读出

高速数据缓存PCIe采集卡RDX051设计

RDX051 PCIe采集卡负责高速数据的接收与缓存，
形成前端采集与主机接口之间的高速桥梁。

- 以Xilinx XCKU5P-2FFVB676I 为核心
- 配置双100Gbps QSFP28 光通信接口
- 64-Bit DDR4 2667MT/s 4GB total
- 32-Bit DDR4 2667MT/s 2GB total
- PCIe Gen4×8 ≈120Gbps Data Throughput Tested
- 40A 0.85V Core Power
- On-Board JTAG with TypeC USB interface
- Heatsink with or without FAN
- Half-High Single-Slot



WRX701 / RFSoc
ADC/DAC与前端

QSFP28光纤
高速串行链路

RDX051
接收/缓存/转发

PCIe Gen4 x8
XDMA / QDMA

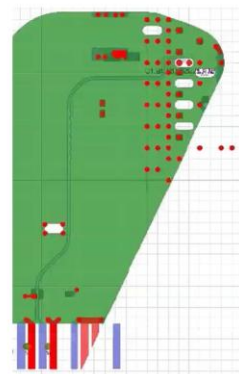
服务器

高速数据缓存PCIe采集卡RDX051设计

RDX051设计关键优化-PCIe接口阻抗控制

高速链路的信号完整性会受到金手指、过孔、反焊盘、连接器和参考平面的共同影响。通过HFSS仿真，对反焊盘尺寸、过孔结构和金手指附近接地过孔进行了联合优化。

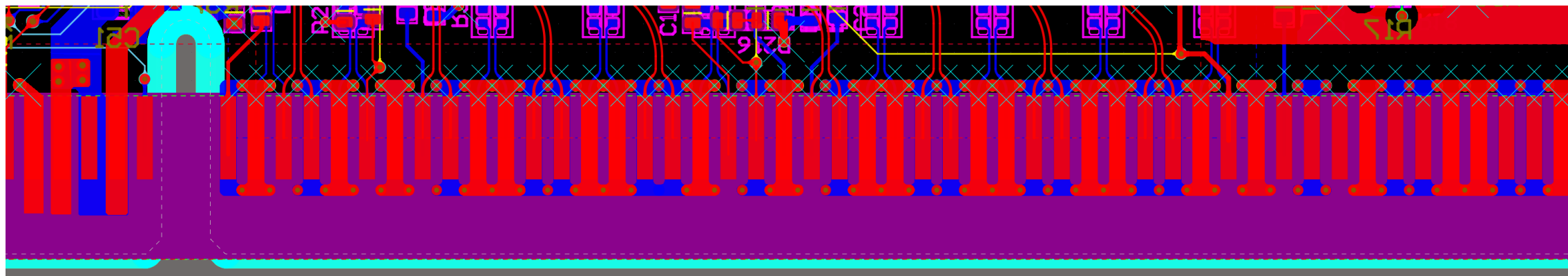
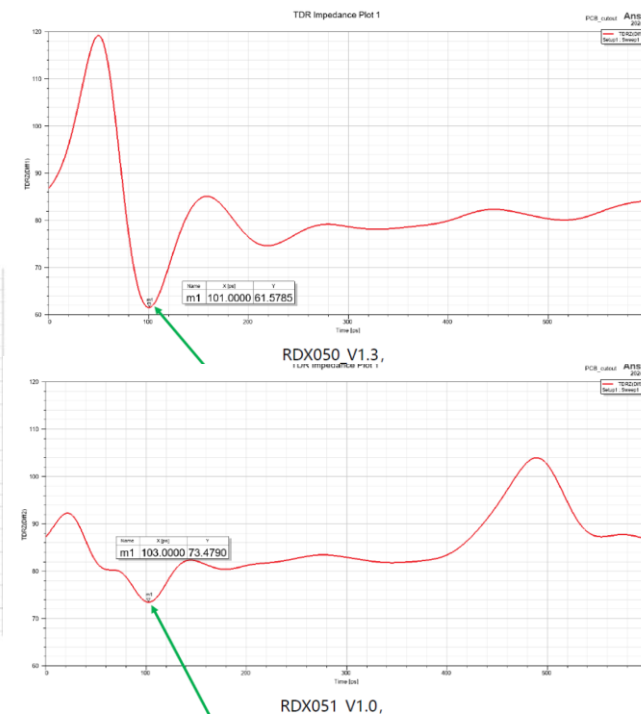
TDR分析结果: RDX051金手指位置接地过孔的优化设计，相对RDX050获得了约10欧姆的阻抗补偿，是 PCIe Gen4 高速链路稳定工作的基础。



RDX050_V1.3



RDX051_V1.0



④ 系统集成与验证

系统集成与验证：从Gen4链路到数据一致性闭环

PCIe链路

端点 10ee:9048
16.0 GT/s x8
端点和根端口一致

XDMA

4通道并发
4 KiB - 512 MiB
wall-clock 总带宽

QDMA

qmax=512
8 - 512 队列
MM H2C/C2H

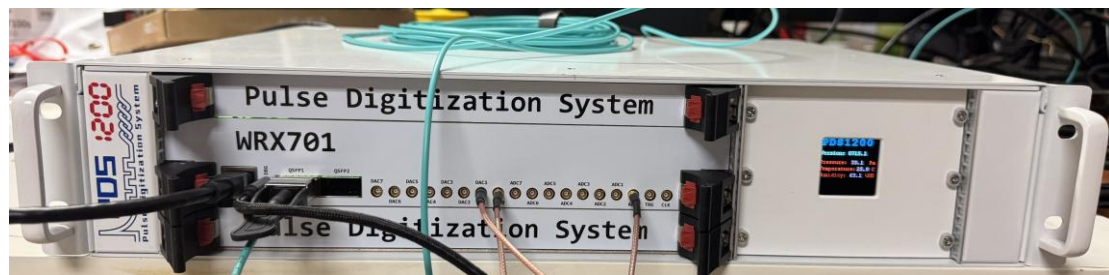
DDR4/AER

C0 4 GiB / C1 2 GiB
边界与并行读回 PASS
AER delta=0

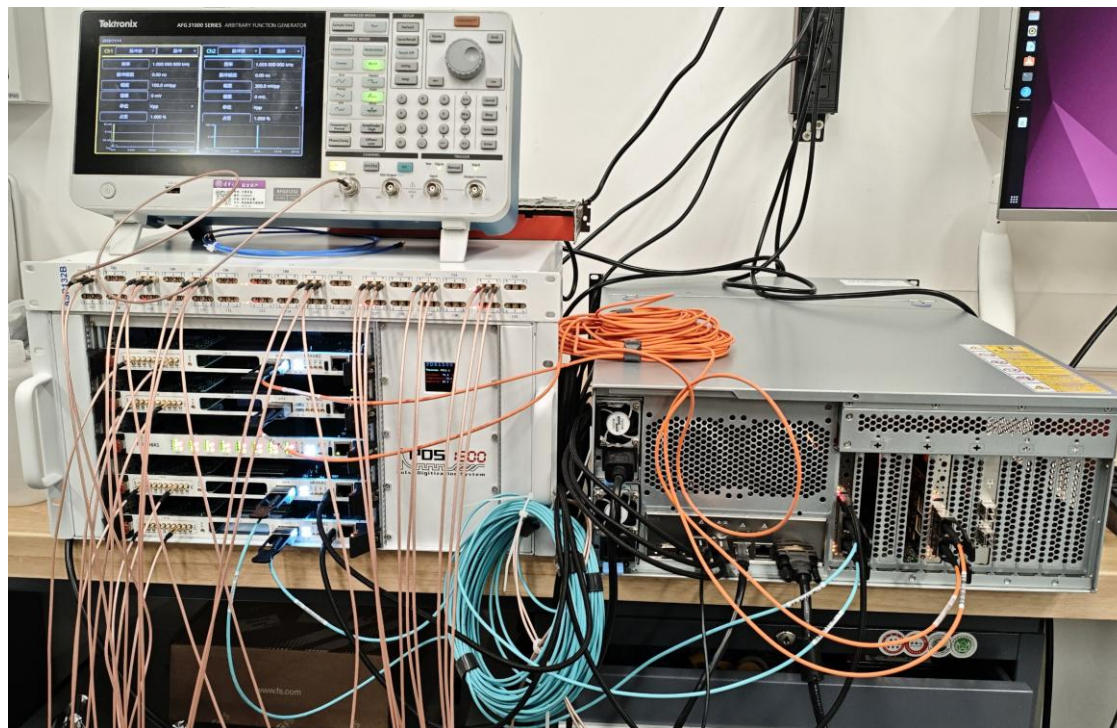
测试验证

链路枚举 -> DMA搬运 -> DDR4缓存 -> 数据读写 -> AER无错误 -> 带宽进入平台区闭环

系统集成采用 2U 和 5U 机箱两种形态。2U 机箱比较紧凑，5U 机箱可以预留更多板卡、供电和散热空间，适合多通道扩展。



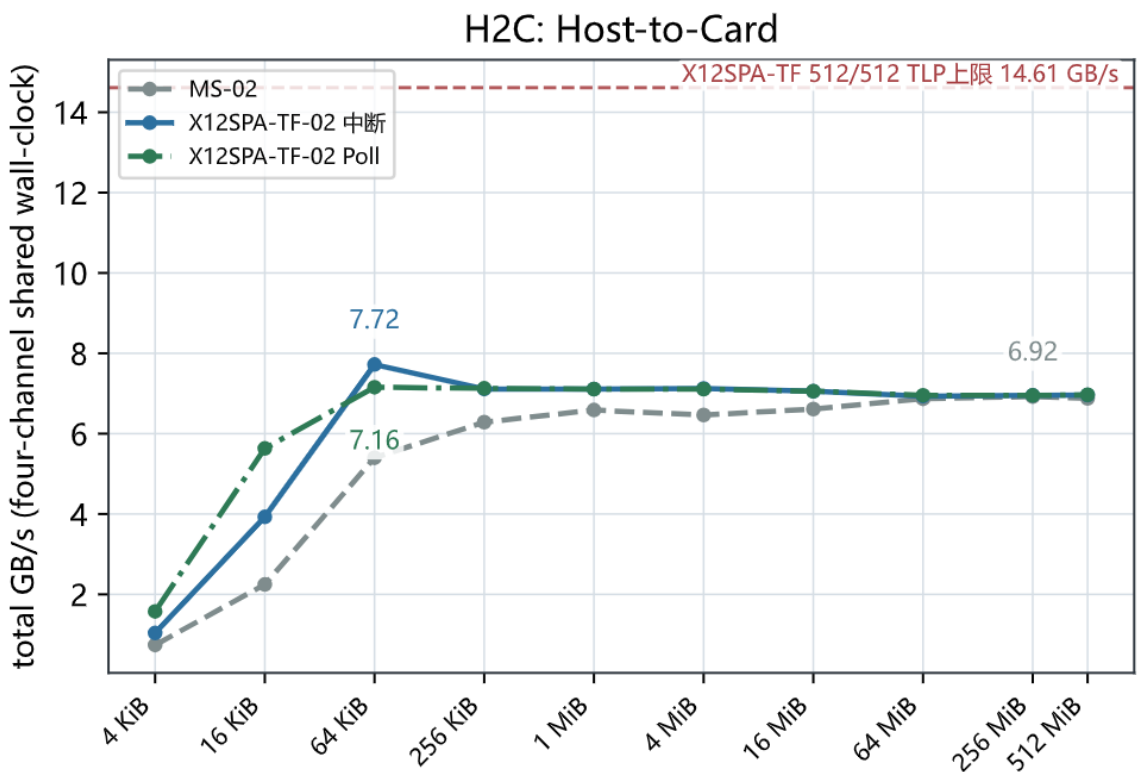
紧凑型 2U 高速数据采集系统



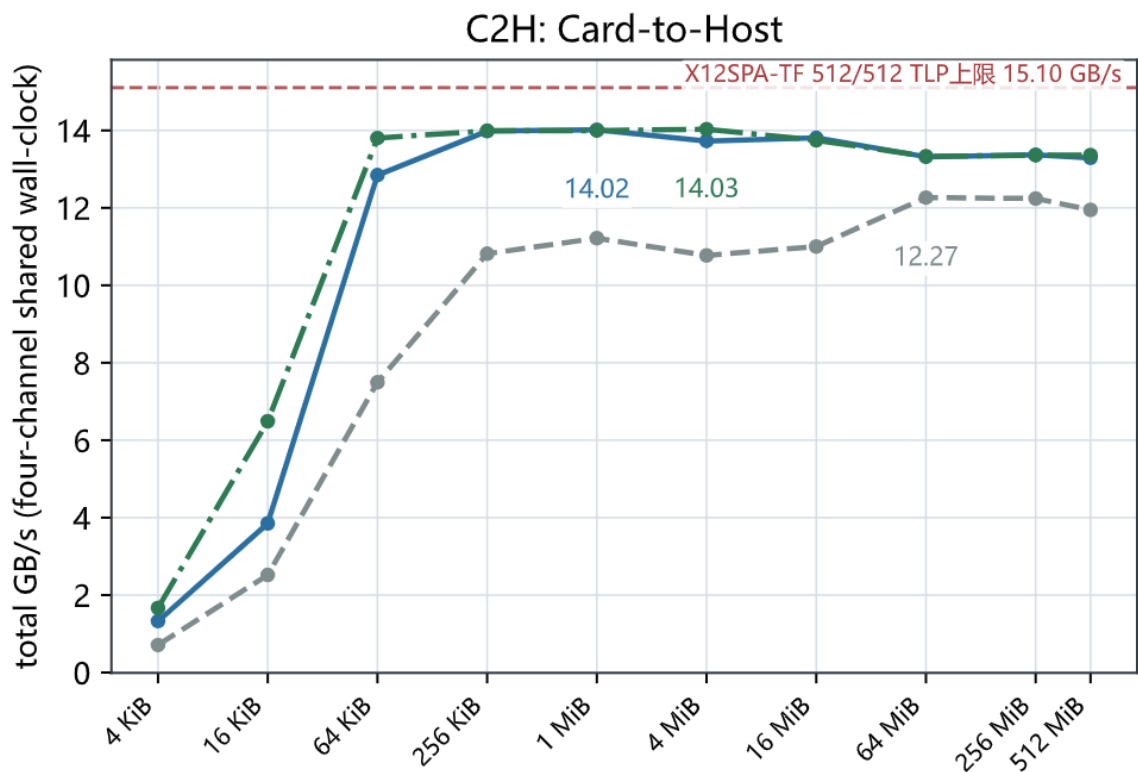
适合多板卡、多通道扩展的5U 高速数据采集系统

系统集成与验证：RDX051 XDMA 跨主机四通道并发带宽

RDX051 XDMA Gen4 x8 四通道并发带宽



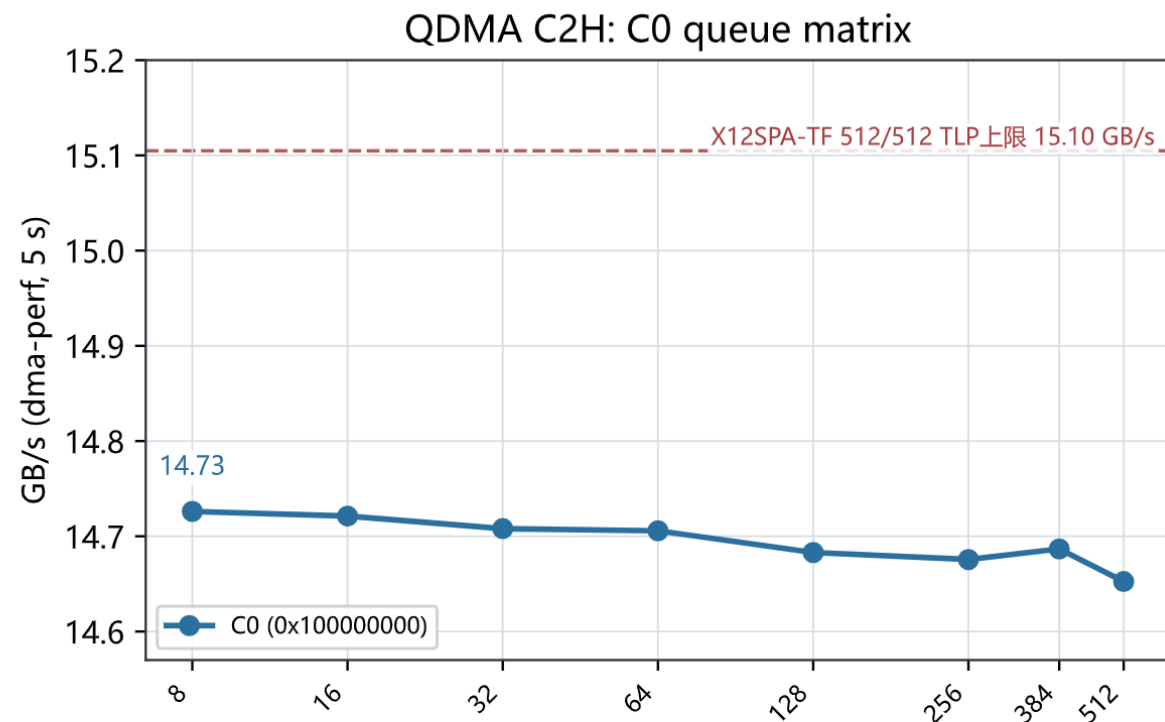
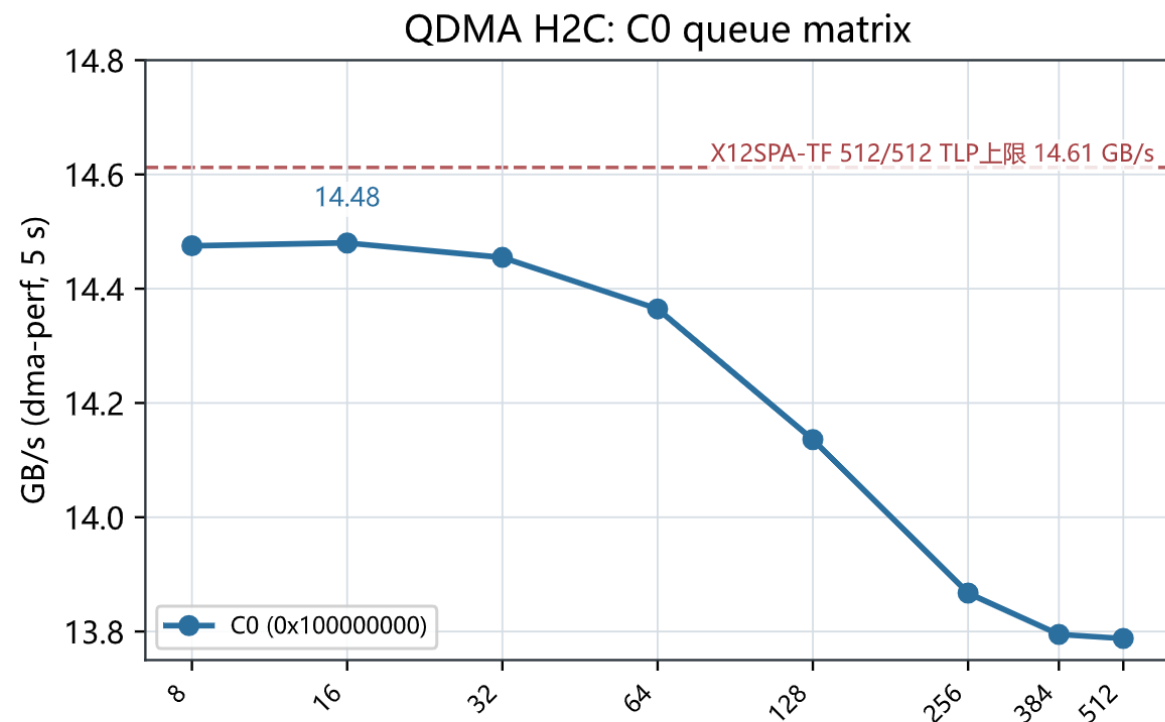
X12SPA-TF-02 中断: legacy-intx; Poll: irq_delta=0。数字为各曲线最大值 (GB/s)。



RDX051 XDMA在 PCIe Gen4 x8 条件下四通道并发带宽测试结果：不同中断模式下，XDMA的 C2H，两种模式都能达到约 14.0 GB/s，已经非常接近 15.10 GB/s TLP 上限，RDX051 的 XDMA 路径已经具备稳定的大块连续传输能力。H2C 方向还有继续优化的空间。

系统集成与验证： RDX051 QDMA Gen4 x 8 C0队列扩展带宽

RDX051 QDMA Gen4 x8 C0 队列扩展带宽

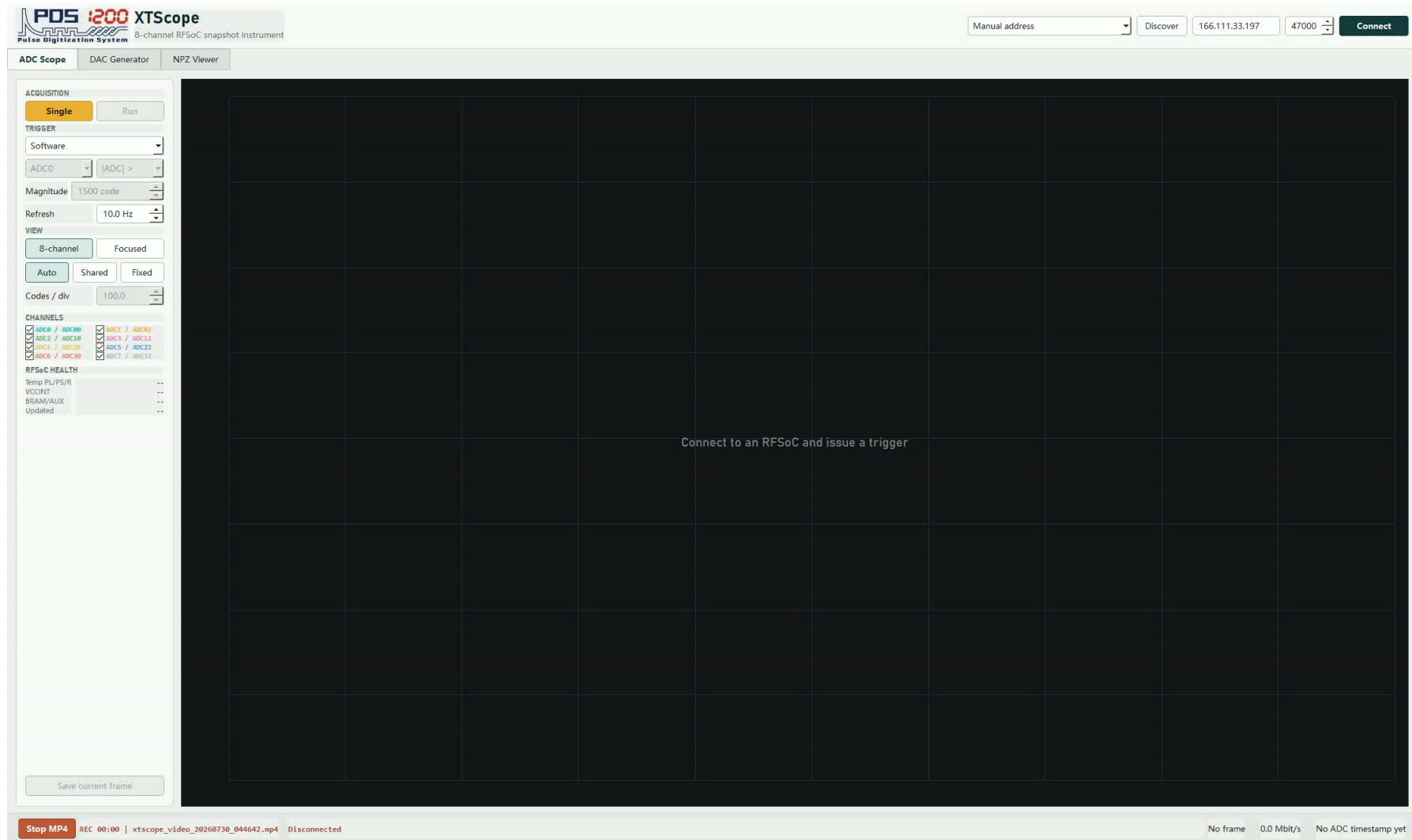


请求=256 KiB; MM; no_memcpy=1; ring=8; 数字为 C0 曲线最大值 (GB/s)。

RDX051 QDMA Gen4 x 8 C0队列扩展带宽测试结果： QDMA H2C，队列数从 8 到 16 时，带宽维持在 14.48 GB/s 左右，几乎贴近14.61 GB/s 的上限。队列继续增加到512，带宽反而有所下降，说明对单C0 来说，8 到 16 个队列已经足够把流水线填满，继续增加队列主要增加调度和管理开销，不会线性提升带宽。 QDMA C2H，带宽整体稳定在14.65 到 14.73 GB/s 区间，也非常接近15.10GB/s TLP 上限，说明QDMA的多队列机制能够比 XDMA 更充分地利用链路。

信号采集展示

RFSoc核心模块 + WRX701载板 + RDX051 PCIe采集卡 = PDS1200





谢谢!