

LATRIC1——时间测量ASIC的精度分析与测试结果

王传焯^{1,2}, 严雄波^{1,3}, 李筱婷^{1,3}, 叶竞波^{1,3}

¹ 中国科学院高能物理研究所,

² 南京大学,

³ 中国科学院大学

Electronics

目录

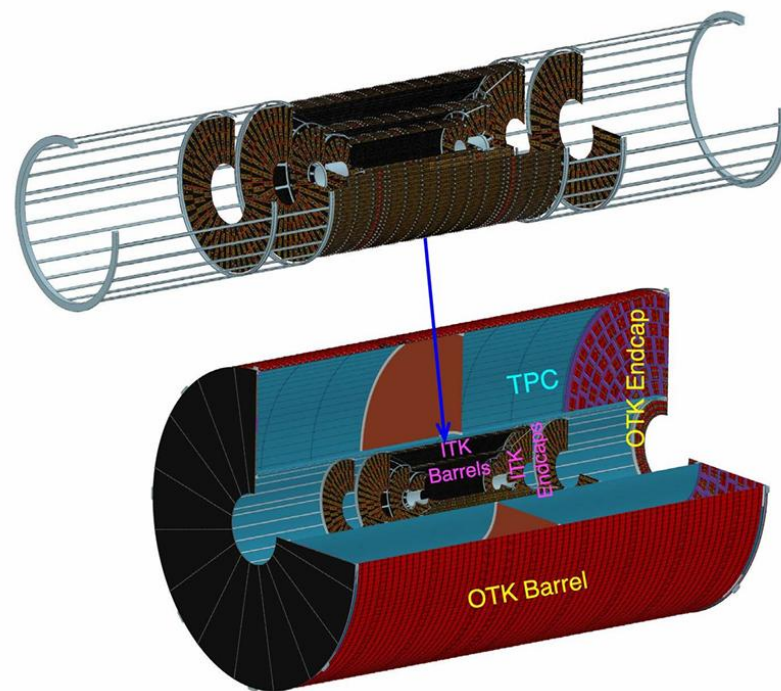
- 背景介绍
- LATRIC0设计及测试
- LATRIC1设计及测试
- 总结与展望

◆物理需求 (CEPC OTK)

- OTK是CEPC实验径迹探测器最外围部分
 - AC-LGAD微条传感器
 - 高精度位置分辨 ($10\ \mu\text{m}$) 与高精度时间测量 ($50\ \text{ps}$)
- 核心挑战:
 - 高精度、低功耗、多通道读出
 - 芯片单通道高度与微条传感器pitch匹配 ($100\ \mu\text{m}$)

◆解决方案——LATRIC系列芯片

- LGAD读出芯片, 55 nm 工艺, 最终目标128通道
- 芯片设计指标:
 - 单通道功耗 $< 20\ \text{mW}$, 时间测量精度好于 $30\ \text{ps}$
 - 单通道layout高度匹配 $100\ \mu\text{m}$
- 研发路线: LATRIC0 (单通道验证版本, 25年4月流片) → LATRIC1 (八通道版本, 25年10月流片)



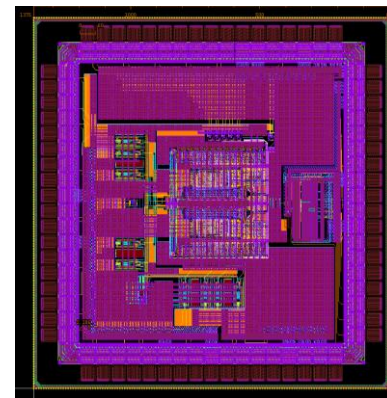
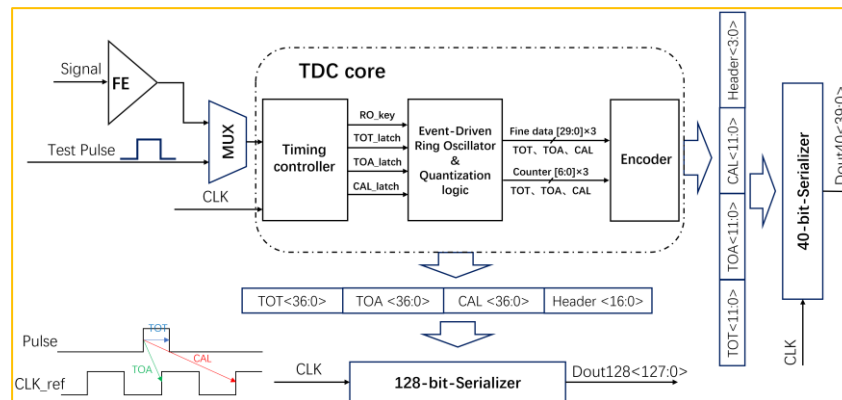
硅径迹探测器布局

◆LATRIC0结构

- 模拟前端—放大器和甄别器
- TDC核心—控制器、事例驱动型环振&量化逻辑、编码器
- 输出逻辑—128位串行器输出111位原始数据，40位串行器输出36位编码数据

◆测量量及自刻度

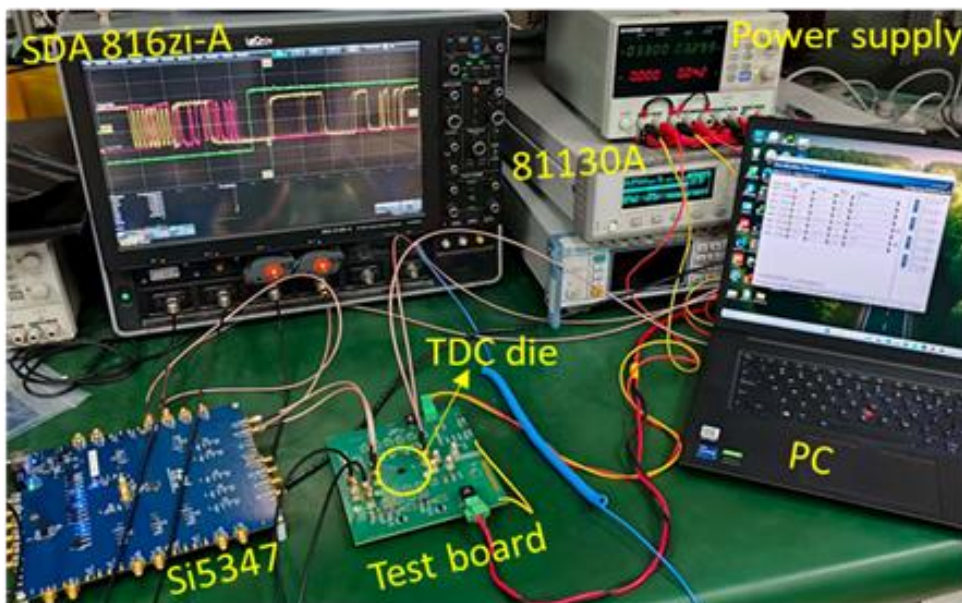
- 测量TOA、TOT，为实现自刻度额外测量CAL
- 对脉冲信号相对两个时钟上升沿分别做两次“TOA”测量，对应码字分别为 TOA_{code} 、 CAL_{code}
- CAL与TOA的code之差对应时间为一个参考时钟周期，则 $LSB_{Cal} = T_{CLK_ref} / (CAL_{code} - TOA_{code})$



LATRIC0框图及版图

◆测试平台 (TDC core的pulse测试模式)

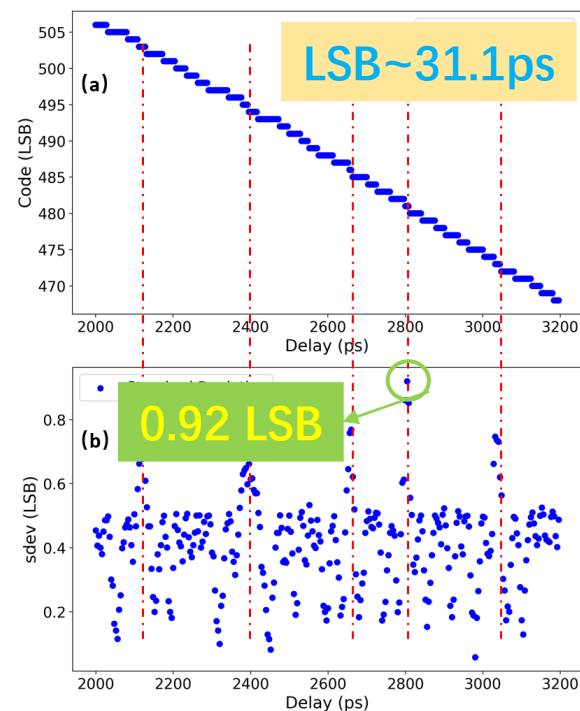
- 时钟板Si5347—参考时钟、脉冲信号发生器触发时钟
- 脉冲信号发生器81130A—2MHz触发，抖动约 8.8 ps
- 设置信号源延迟，重复测量，4 ps step绘制转移曲线—表征TOA的测量



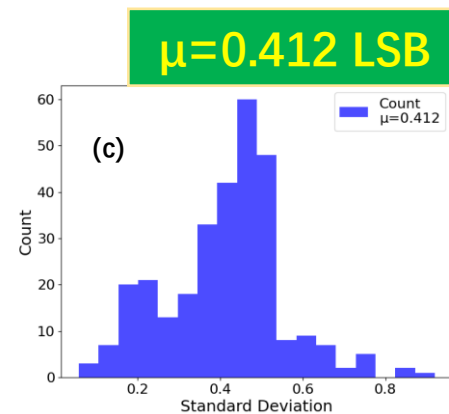
测试平台

◆测试结果

- LSB~31.1ps, 最差重复测量精度28.6ps, 平均11.8ps
- 自刻度的LSB_{Cal} = 31.1ps, 验证自刻度方案有效性
- 功耗 < 6.48 mW @ 2 MHz事例率, 验证了事件驱动架构的可行性

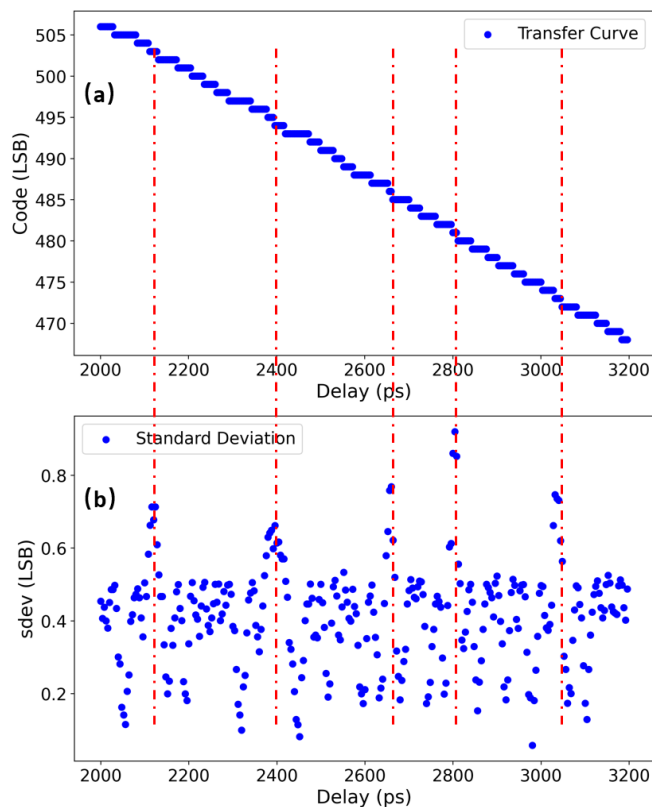


转移曲线对应重复测量精度

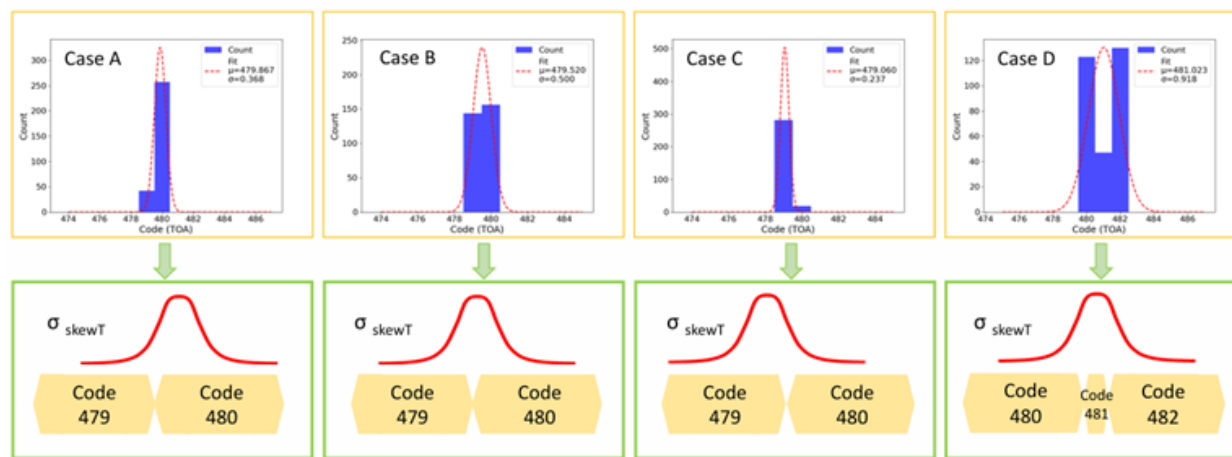
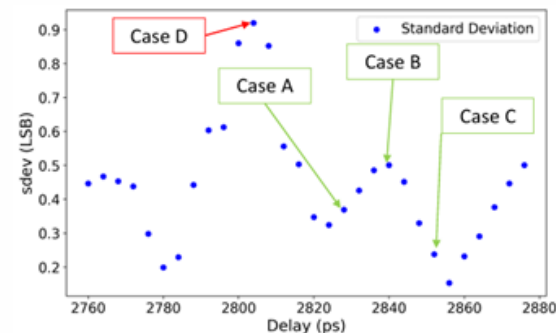


重复测量精度分布

- 码间bin-size不均，小bin的重复测量精度显著退化
- 随着Delay条件改变，统计分布及重复测量精度呈现显著演化趋势
- 建立“抖动-binsize”关联模型，解释小bin重复测量精度显著退化的原因；引入模拟前端、传感器本征抖动后，小bin同样更敏感



转移曲线对应重复测量精度

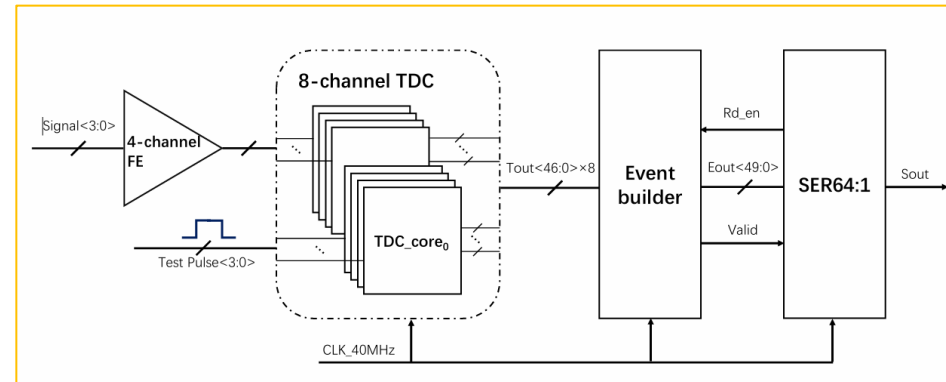


几种统计分布及对应“抖动-binsize”关联模型解释

LATRIC1设计

◆优化设计

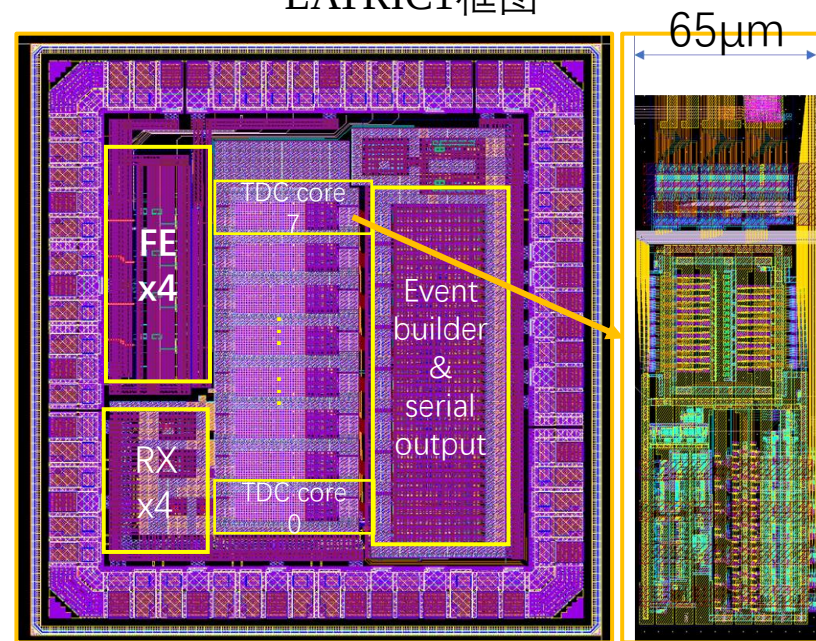
- 基于测试中观察到的“抖动-binsize”联合影响，针对性抑制工艺偏差：
 - 精简量化逻辑，去除冗余结构，在仍满足100 μm 的高度限制下，增加关键器件尺寸
 - 优化版图布局及走线，减小寄生效应和工艺梯度影响
- 仿真预期：蒙卡仿真最大bin-size差值从26.7 ps改善至18.5 ps



LATRIC1框图

◆八通道验证芯片

- 8个TDC 核，其中4~7 通道集成四通道前放；通道01、45，保留LATRIC0的TDC核；通道23、67采用优化后的TDC核
- 数字部分集成event builder与64:1串行输出，并添加14位时间戳



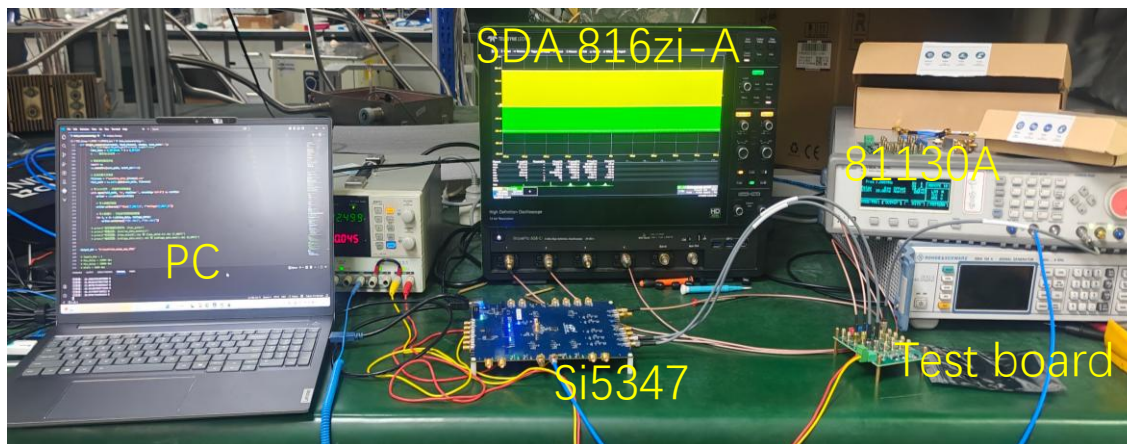
LATRIC1 版图

◆测试平台 (TDC core的pulse测试模式)

- 时钟板Si5347—参考时钟、脉冲信号发生器触发时钟
- 脉冲信号发生器81130A—5MHz触发
- 设置信号源延迟，重复测量，4 ps step绘制转移曲线——表征TOA的测量

◆测试方案

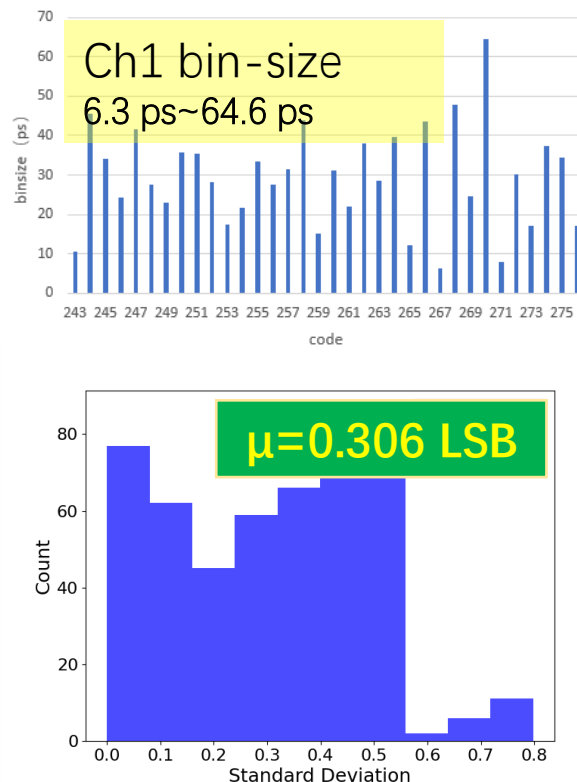
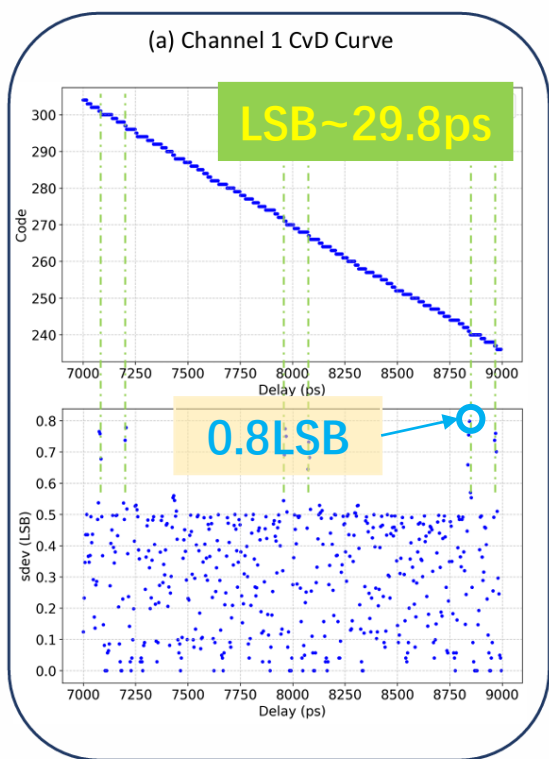
- 单通道TDC core测试——单独测试Ch1和Ch2，对比验证单通道优化效果
- 四通道TDC core测试——功分器将脉冲信号一分四，同时输入四个通道，研究通道间串扰



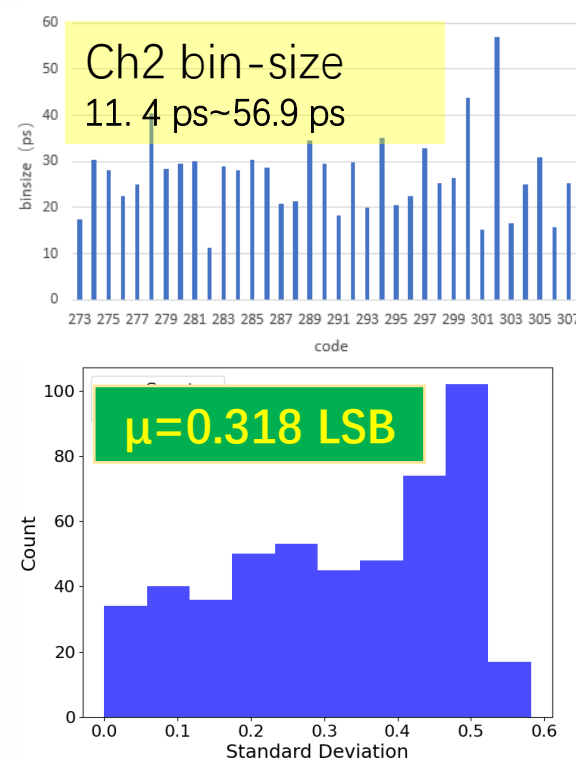
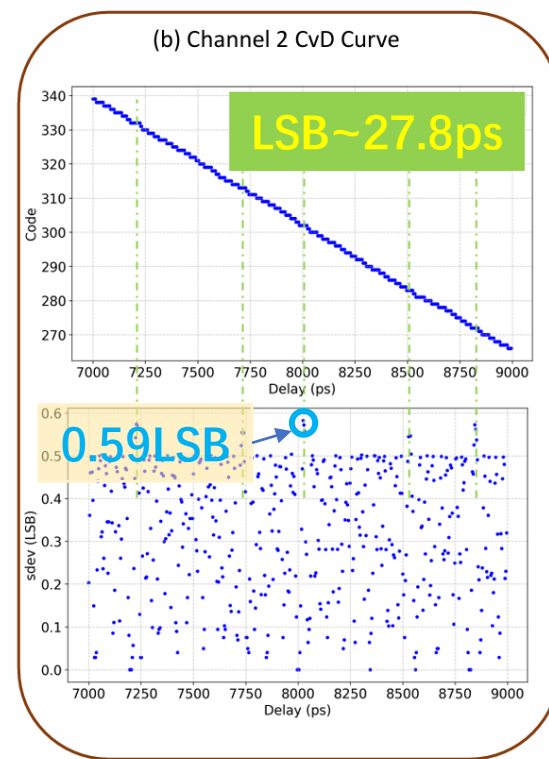
LATRIC1 测试平台

◆LATRIC1——单通道测试结果

- 5MHz触发脉冲信号，抖动约5.9 ps
- 旧核心（Ch1）vs 优化核心（Ch2）对比，优化核心bin-size均匀性明显改善，最差重复测量精度由23.8 ps优化至16.7 ps
- 平均重复测量精度：Ch1 ~ 9.1 ps；Ch2 ~ 8.8 ps



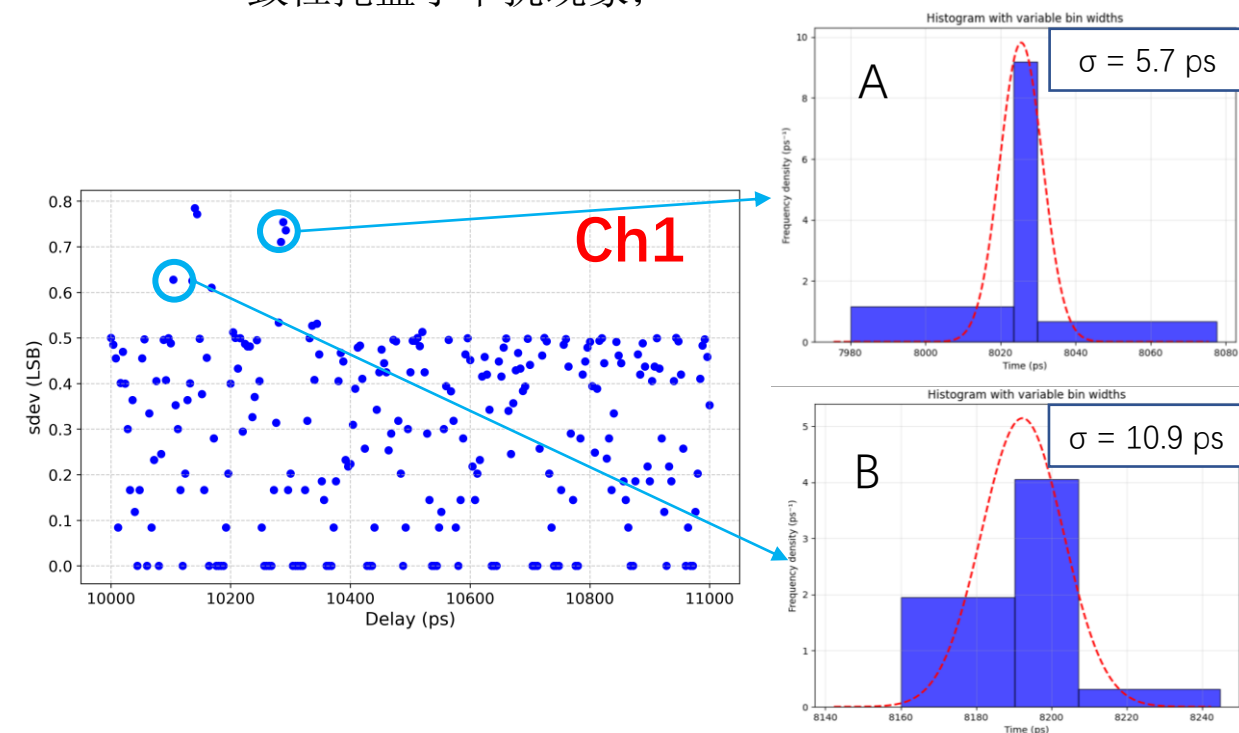
Ch1 单通道测试结果



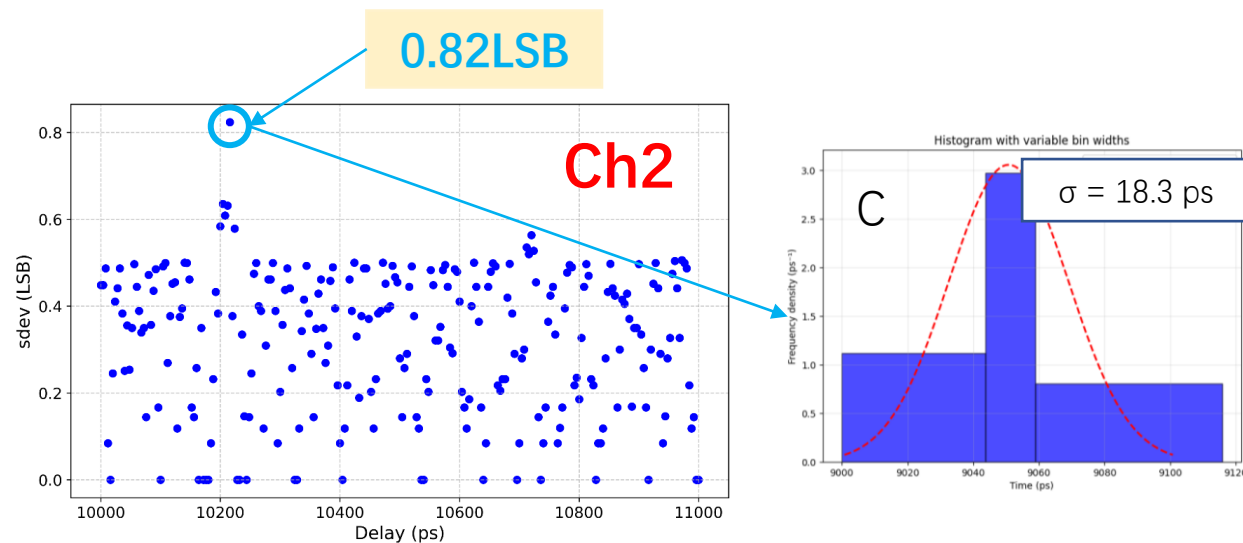
Ch2 单通道测试结果

◆LATRIC1——多通道测试结果

- 5MHz触发脉冲信号，功分器一分四作为四个通道输入，抖动约5.7 ps
- 部分节点的串扰，导致该处Ch2精度显著退化，最差16.7 ps（0.59 LSB）恶化至最差22.8 ps（0.82 LSB）
- 根据抖动-binsize模型反推得到电路抖动，Ch2局部抖动达18.3 ps，串扰贡献约17.4 ps；Ch1同样存在串扰，但是不一致性掩盖了串扰现象；



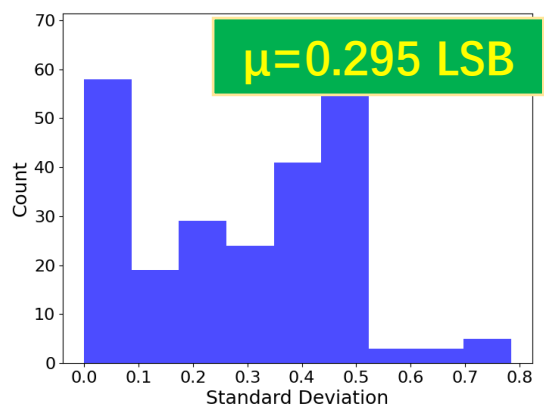
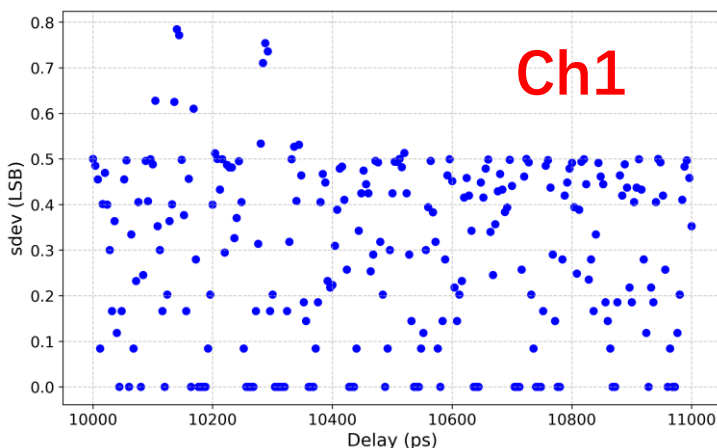
Ch1 多通道测试结果及电路抖动



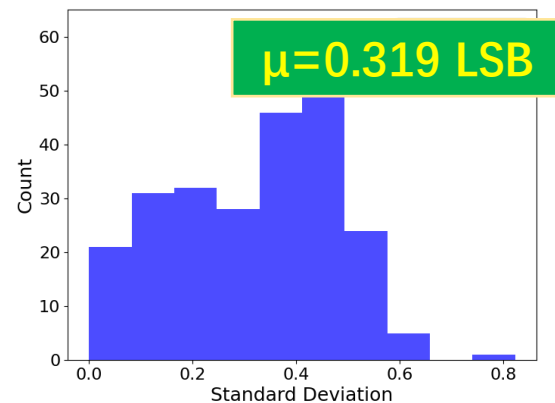
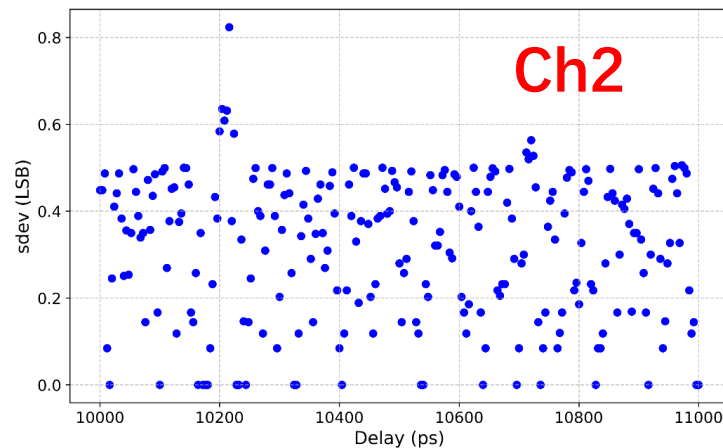
Ch2 多通道测试结果及电路抖动

◆LATRIC1——多通道测试结果

- 平均重复测量精度：Ch1 ~ 8.8 ps；Ch2 ~ 8.9 ps，串扰不显著影响平均重复测量精度
- 串扰处四通道同时处于粗计数跳变处，推测串扰来自于计数器的瞬态功耗



Ch1重复测量精度分布



Ch2重复测量精度分布

◆总结与展望

➤ 已取得的成果:

- **LATRIC0**验证了事件驱动方案可行, 满足高精度低功耗要求
- **LATRIC1**中优化版TDC单通道精度优于0.59 LSB (≈ 16.7 ps), 平均测量精度0.32 LSB (≈ 8.9 ps)

➤ 下一步设计重点:

- 为应对多个通道部分条件下存在串扰, 加强电源隔离与衬底噪声屏蔽, 抑制串扰
- 降低前端模拟电路自身抖动
- 目标: 保证测量精度的前提下, 实现通道拓展, 32通道版本**LATRIC2**已列入计划

Thank you!