

半导体径迹探测体系与关键技术研发

常正则、陈娇龙、陈思雨、崔宇鑫、胡坤、黎紫瑶、骆首栋、贾文韬、荆小平、李刚、李筱婷、刘泊璇、刘磊、钱小辉、史欣、Teoh Jiajian (张嘉健)、王传烨、王聪聪、汪凯宁、严雄波、杨俊玲、叶竞波、越云凯、张理凯、张希媛、张奕晗、张振涛、张志航、赵梅、赵展鸿、**严琪***

中国科学院高能物理研究所*

中国科学院理化技术研究所

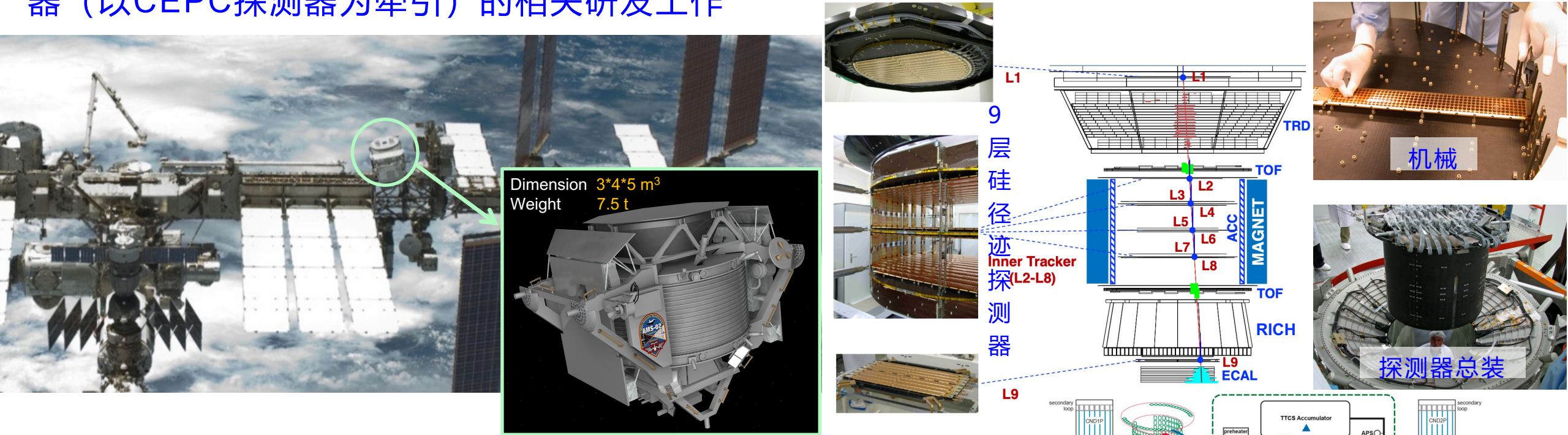
山东大学

中国物理学会高能物理分会，2026年7月15日

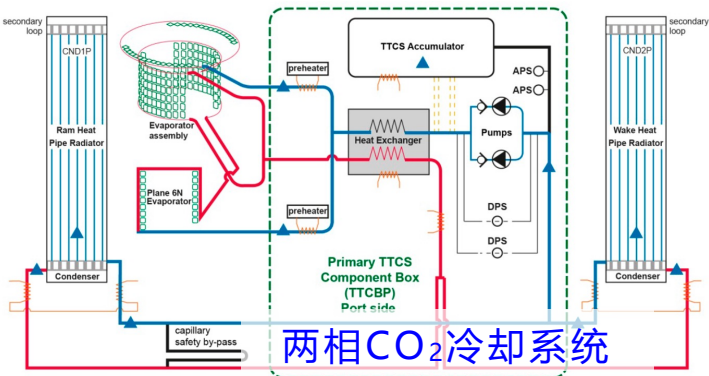


个人背景

2024年4月回国加入高能所（此前10年在麻省理工学院工作），之前长期从事国际空间站上的阿尔法磁谱仪（AMS）实验，并开展了硅径迹探测器的关键技术研究。回国后主要负责硅径迹探测器（以CEPC探测器为牵引）的相关研发工作



阿尔法磁谱仪(AMS)是目前世界上唯一与地面加速器上使用的最先进探测器相类似的精密太空粒子磁谱仪，造价约20亿美金。AMS的物理目标包括测量宇宙线中的各种带电粒子和反粒子从而对暗物质、反物质、以及宇宙线的起源进行研究，此外还包括在宇宙线中寻找其他新物理

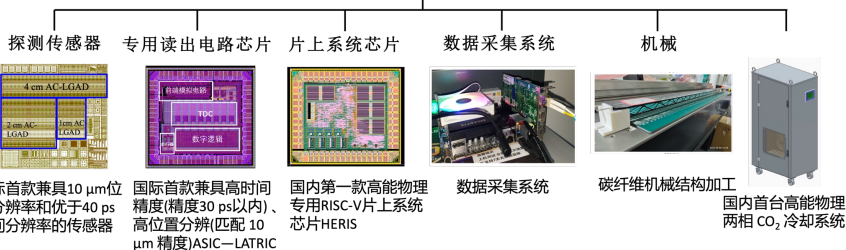


承担的半导体探测器研发

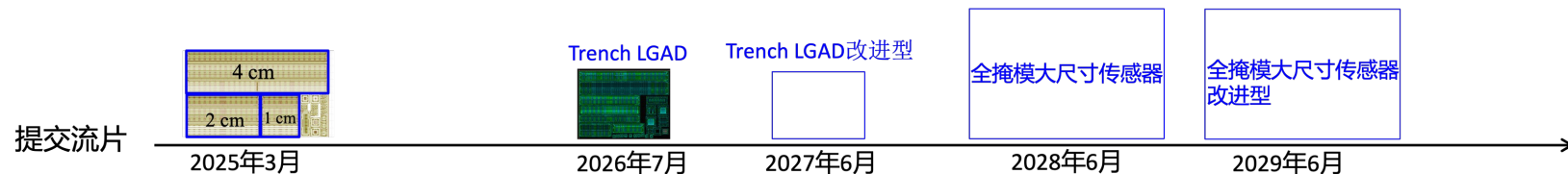
□ 半导体探测器研发

- 以下一代粒子磁谱仪研制为目标，围绕兼具皮秒级时间分辨与微米级位置分辨能力的半导体探测技术，系统开展新型传感器—专用读出电子学—系统集成—原理工程样机研发，**建立高性能半导体径迹探测器的完整技术链**

硅径迹探测器系统研发



- LGAD传感器将朝着工艺优化、大传感器尺寸、高探测性能、以及低功耗方向研发:



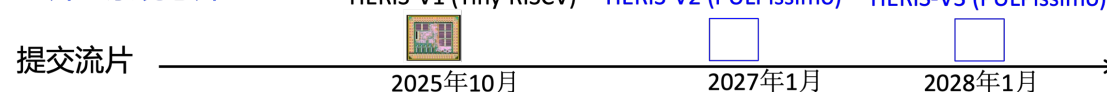
- 增益型SiC传感器:



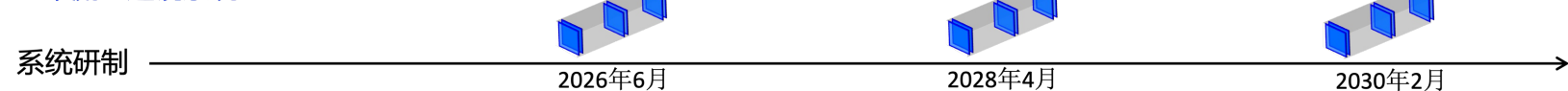
- 高精度读出ASIC芯片 LATRIC往更高集成度、多通道方向发展:



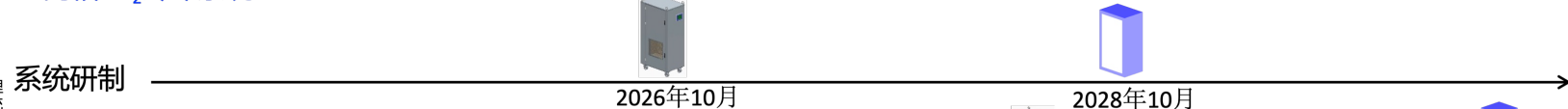
- 片上系统芯片HERIS:



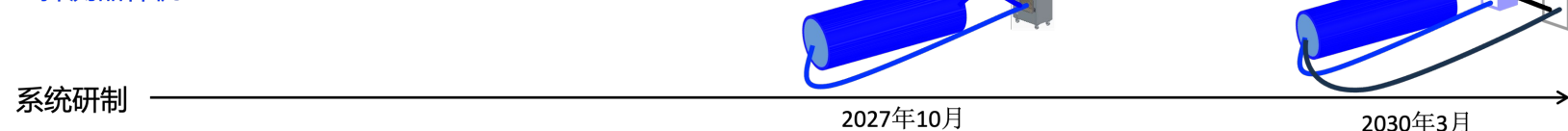
- 束流望远镜系统:



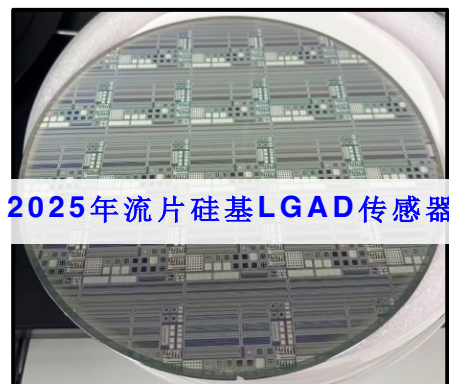
- 两相CO₂冷却系统:



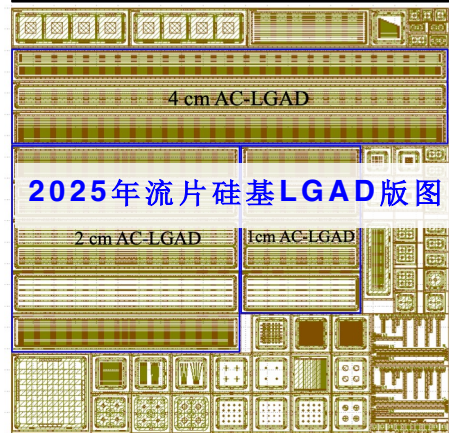
- 探测器样机:



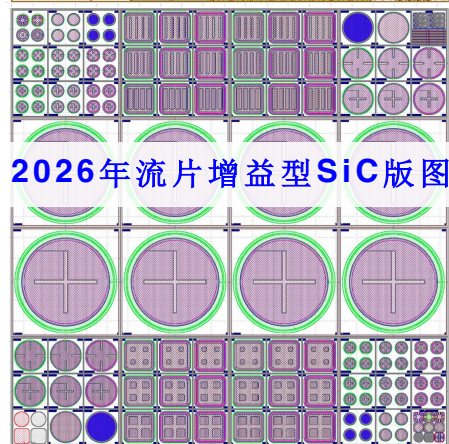
项目半导体传感器及相关芯片研发



2025年流片硅基LGAD传感器



2025年流片硅基LGAD版图



2026年流片增益型SiC版图

□ 半导体探测传感器：

- 硅基传感器：国际首款时间分辨优于40 ps、兼具位置分辨10微米的大尺寸硅基传感器
- SiC传感器：研制出工艺稳定、可工程化应用的4H-SiC传感器，时间分辨 ~30 ps，适合在高温与强辐照下工作

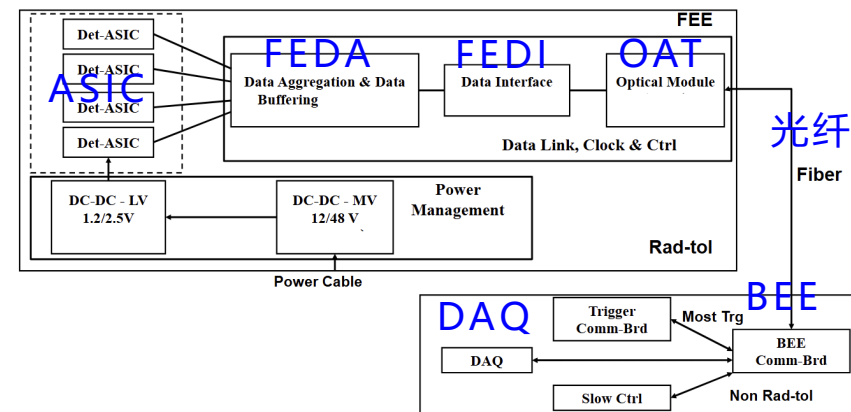
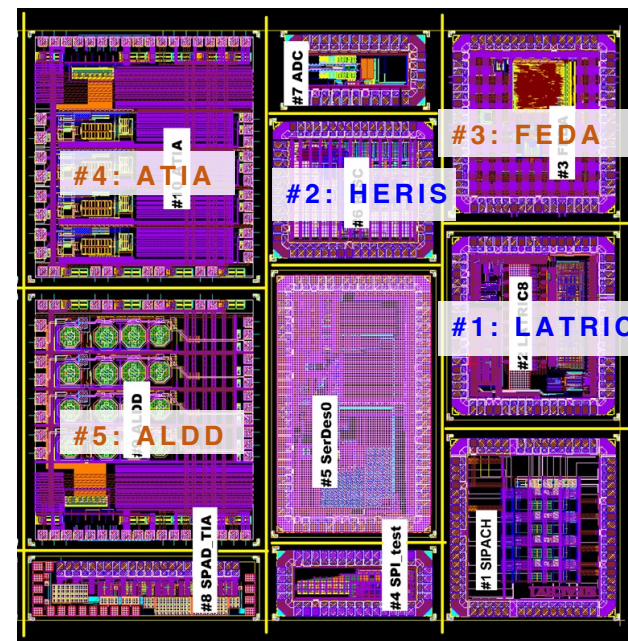
□ 半导体探测器专用读出集成电路：

- LATRIC系列：兼具高时间精度 (≤ 30 ps)、高位置分辨（匹配10 μm 测量精度）、低功耗和高集成度的半导体探测器读出芯片
- HERIS系列：国内首款粒子物理抗辐照RISC-V片上系统芯片

□ 其他高速数据传输专用集成电路：

- FEDA：10.24 Gb/s 数据汇总芯片
- FEDI：数据接口芯片
- ATIA：数据光电信号接收器
- ALDD：激光二极管驱动器

高能所与华师、西工大等联合研发
(不局限于半导体探测器应用)



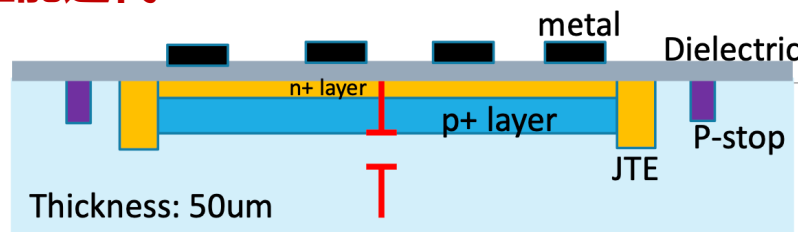
规划的未来探测器电子学读出构架

兼具高时间精度、高位置分辨传感器研发

研发国际首款兼具10 μm 位置分辨率、40 ps时间分辨率大尺寸硅基传感器

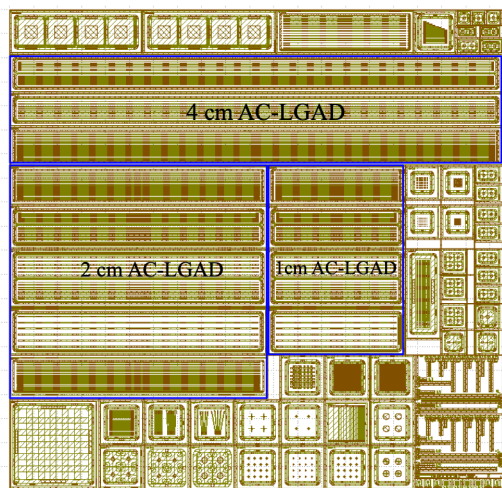
⇒ 团队研发的交流耦合LGAD (AC-LGAD) 微条型传感器、**往大尺寸 ($\geq 2\text{cm} \times 2\text{cm}$) 方向发展，追求极致位置分辨、时间分辨、以及更低功耗。2025年提交最新流片，已完成了7片晶圆 (共18片) 的制备和工艺性能迭代**

- 不同微条长度: 1 cm、2 cm、4 cm
- 不同微条间距: 100 μm 、200 μm 、500 μm
- 不同电极宽度: 25 μm 、50 μm 、100 μm
- 调节n⁺层掺杂浓度以优化位置分辨能力
- 优化外延层厚度以降低器件寄生电容，减少读出功耗

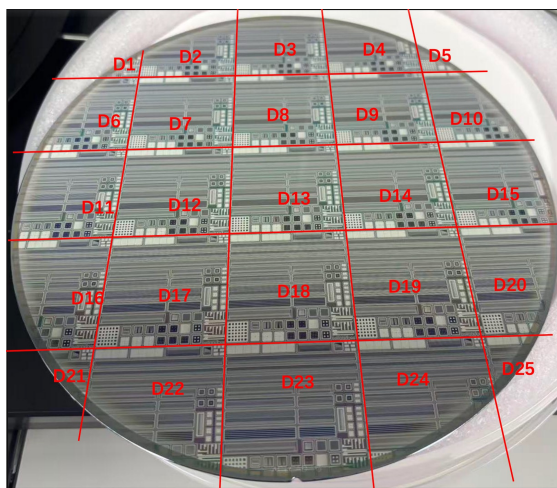


晶圆编号	EPI 厚度	n+ dose
1	50um	10p
2	50um	10p
3	50um	0.01p
7	80um	10p
8	80um	0.01p
4	50um	1p, 0.1p
5	80um	1p, 0.1p

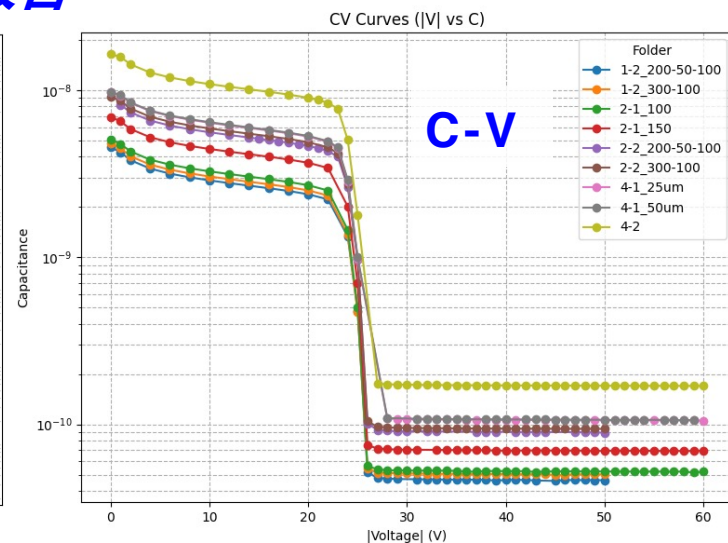
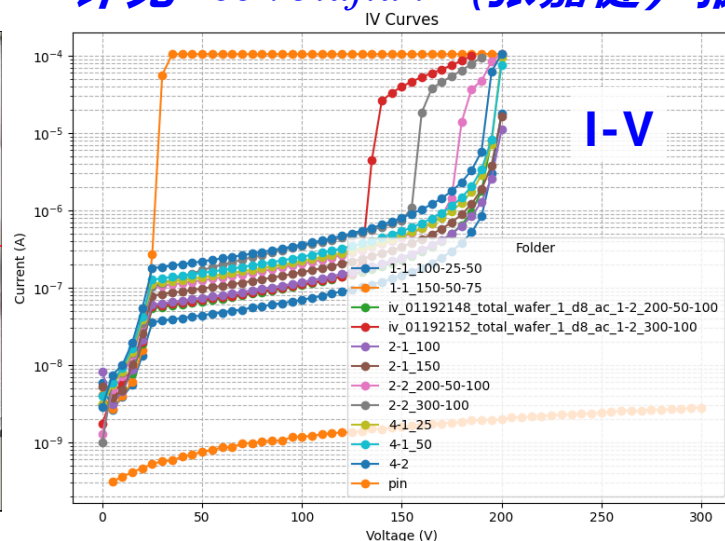
详见 Teoh Jiajian (张嘉健) 报告



流片AC-LGAD传感器版图



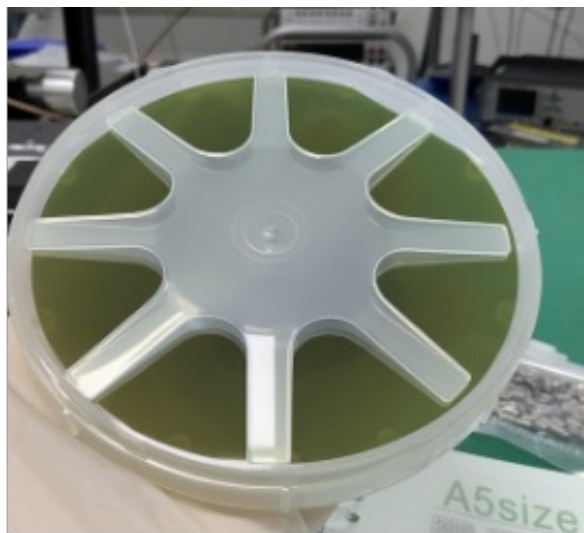
流片AC-LGAD晶圆



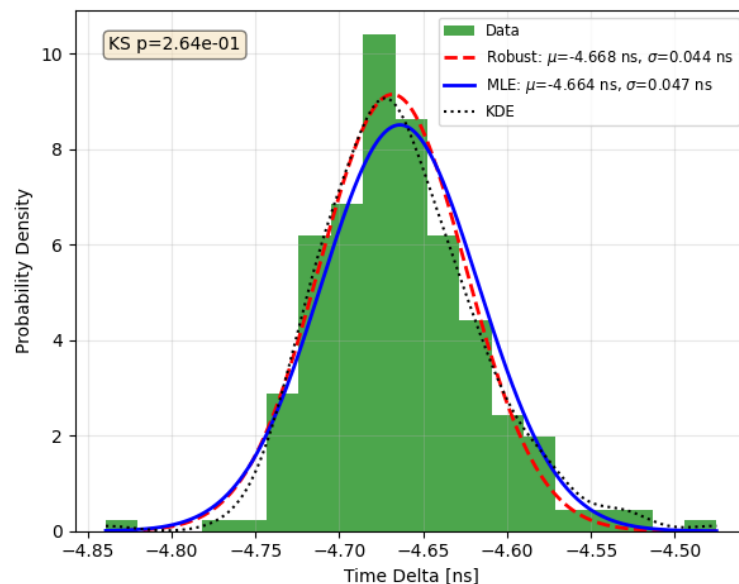
不同材料半导体传感器研发

▣ 增益型碳化硅（SiC）传感器研制

⇒ **SiC具备宽禁带特性：高击穿电场、高热导率与热稳定性及优异抗辐照能力，适用于高温、高辐照等特殊场景。**团队已完成两轮增益型SiC器件结构与工艺迭代，并于**2026年2月完成注入增益型SiC传感器设计并提交流片**。后续将围绕关键工艺开展攻关（重点包括衬底与外延优化、表面预处理、终端梯度注入、高温注入、掺杂剖面调控及退火激活），实现工艺突破，**研制出性能稳定、可工程化应用大尺寸高时间分辨SiC传感器，形成“硅基为主线、多材料协同发展”的半导体探测器研发体系**

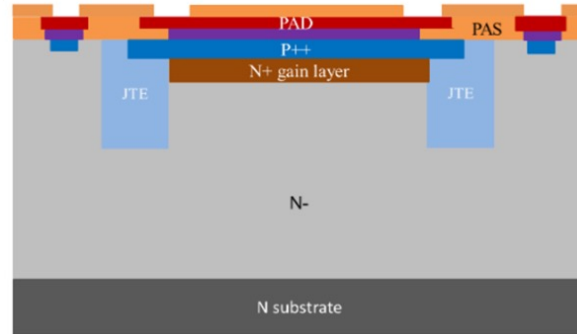


第一版SiC流片晶圆

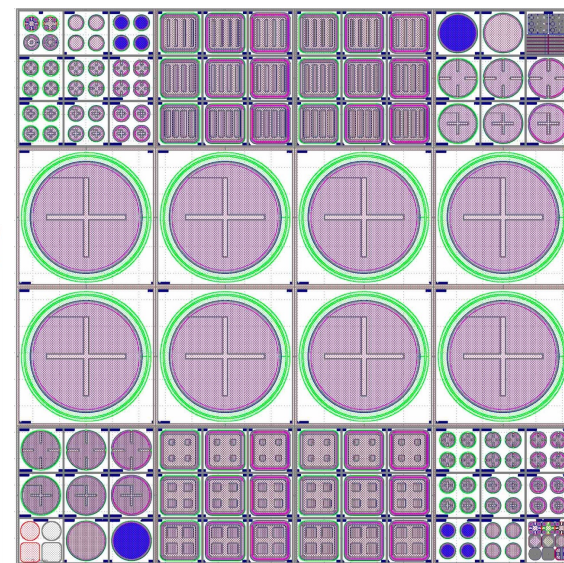


第一版SiC PIN时间分辨率34 ps

详见王聪聪报告



注入增益型SiC结构图



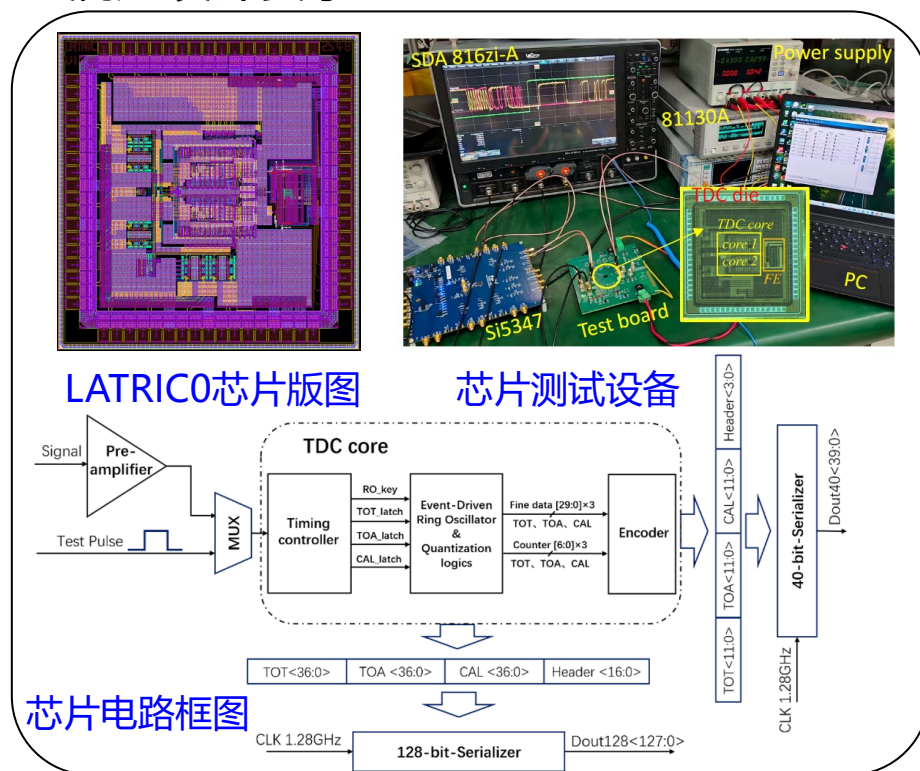
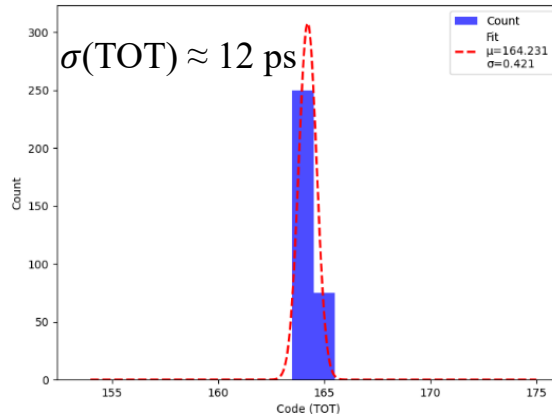
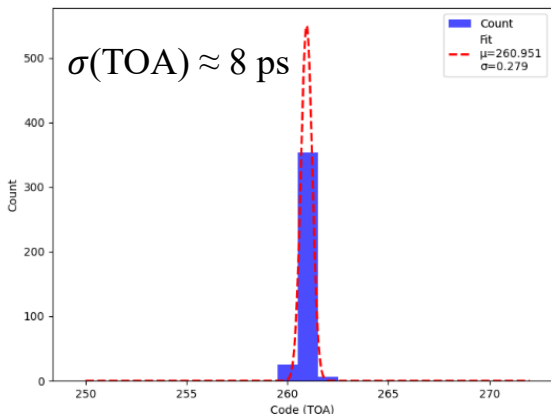
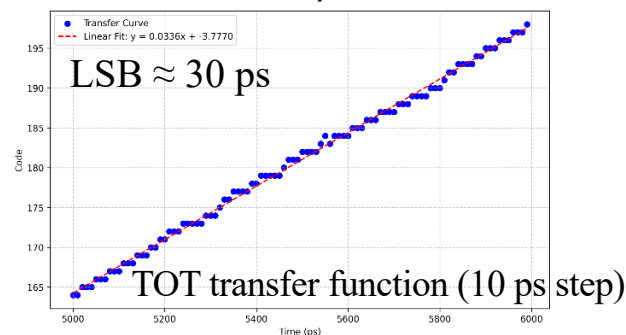
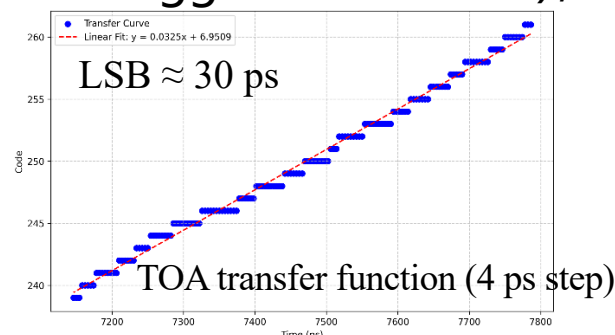
最新流片SiC传感器版图

半导体探测器读出芯片的研发

□ 研发兼具高时间精度 (≤ 30 ps)、高位置分辨 (匹配 $10\text{ }\mu\text{m}$ 测量精度)、低功耗和高集成度 ($100\text{ }\mu\text{m}$ 通道间距、 ≥ 64 通道) 的半导体探测器读出ASIC芯片LATRIC:

⇒ **第一版原型单通道芯片LATRIC0, 团队于2025年4月份完成设计并提交流片**

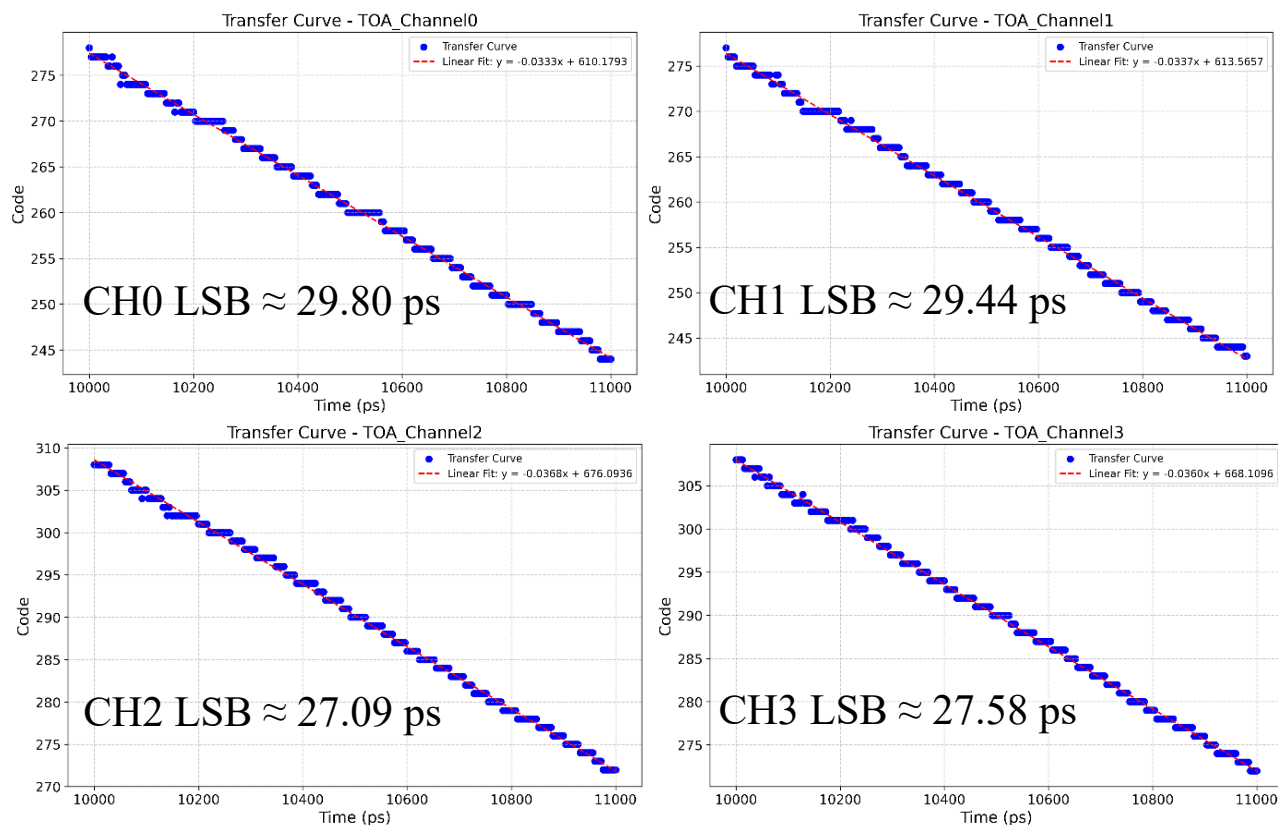
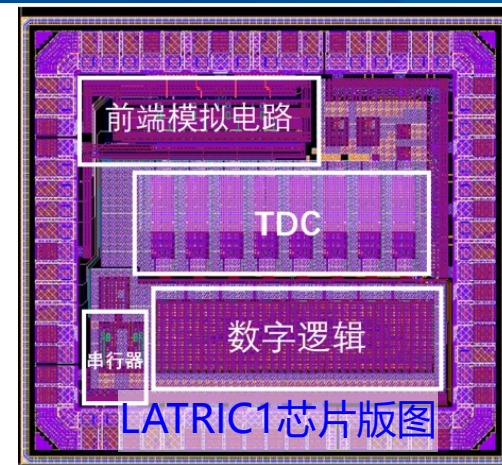
- ASIC集成了模拟前放、甄别器、时间数字转换器TDC、串行器用于数据读出
- 实测得到的时间最低有效位 (LSB) 约30 ps。测量到的TDC功耗0.1 mA (1.2 V) @ 0.5 MTPS (Mega-Trigger Per Second), 0.3 mA @ 1 MTPS, 0.5 mA @ 2 MTPS满足设计要求



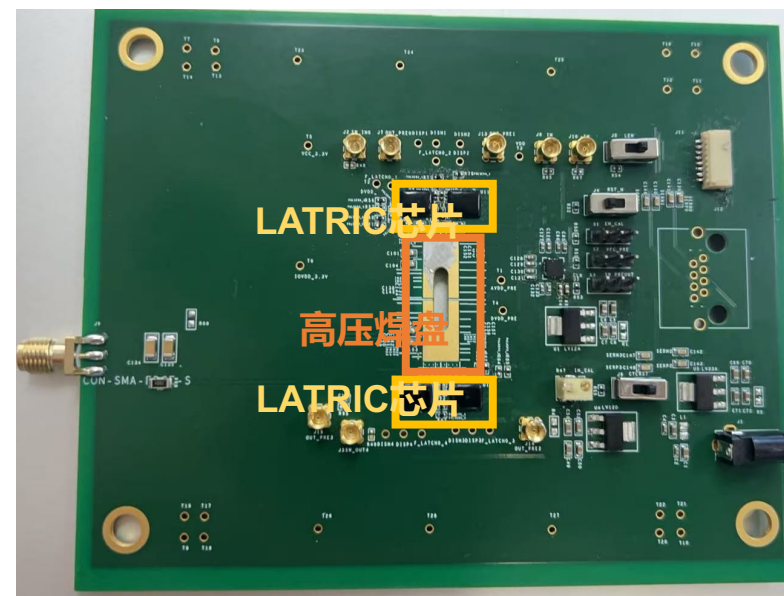
读出芯片LATRIC最新研发进展

⇒ **第二版芯片LATRIC1采用8通道设计，团队于2025年10月份完成设计并递交流片**

- 4通道集成模拟前端与TDC，另外4通道TDC接差分脉冲接收器，通道间距100 μm
- 性能优化包括：增强型模拟前端以提升前置放大器增益以改善信噪比；编码器逻辑精细化；增加事件构建器及时间戳功能等

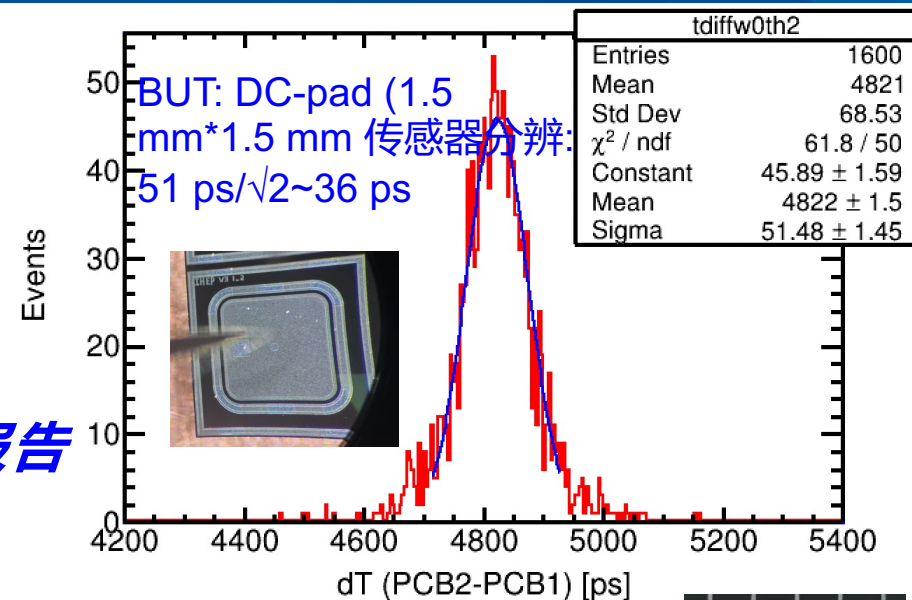
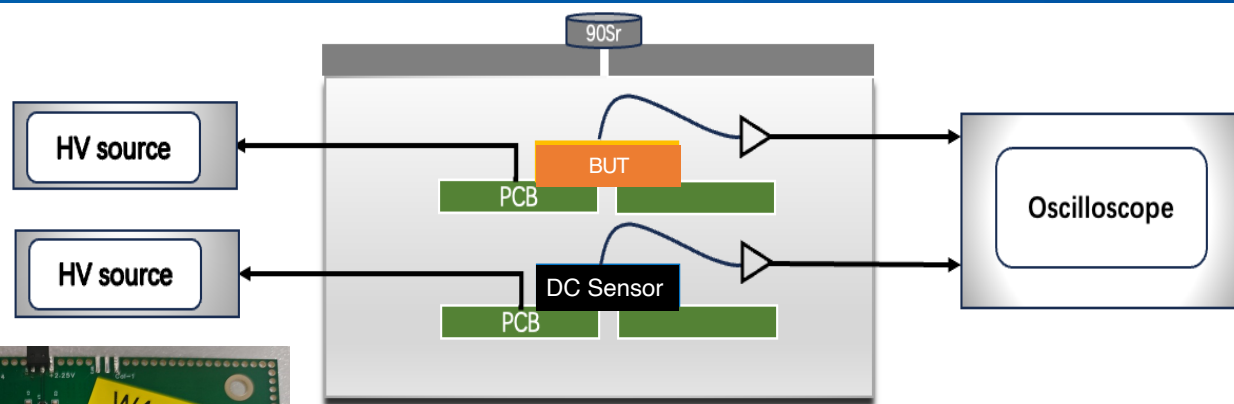


2026年3月回片的LATRIC1最新实测时间有效位 (LSB)

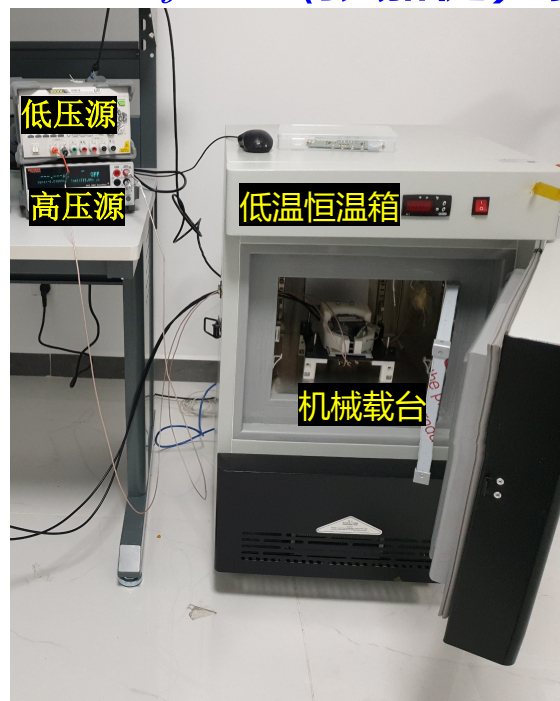
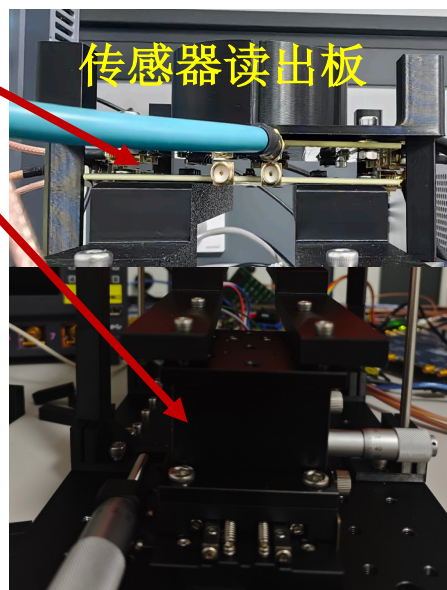
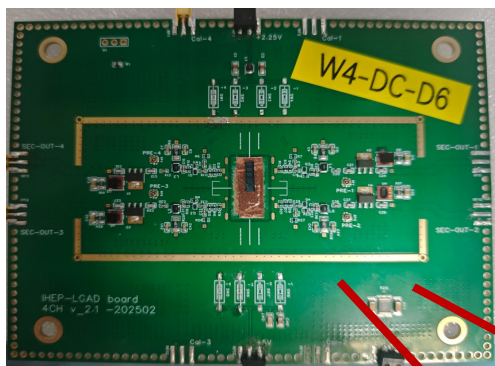
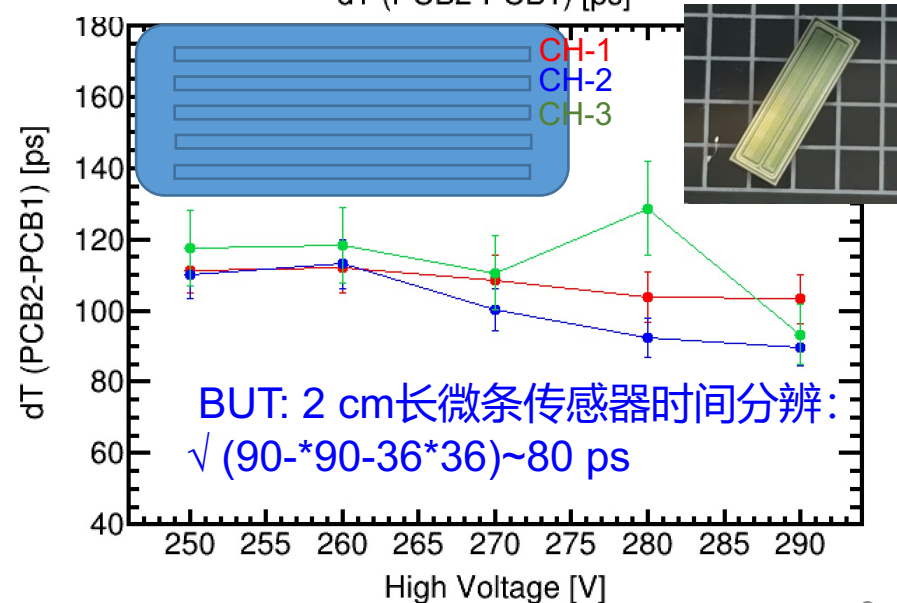


LATRIC1与传感器的联合测试板

^{90}Sr β 测试时间分辨（最新大尺寸传感器）

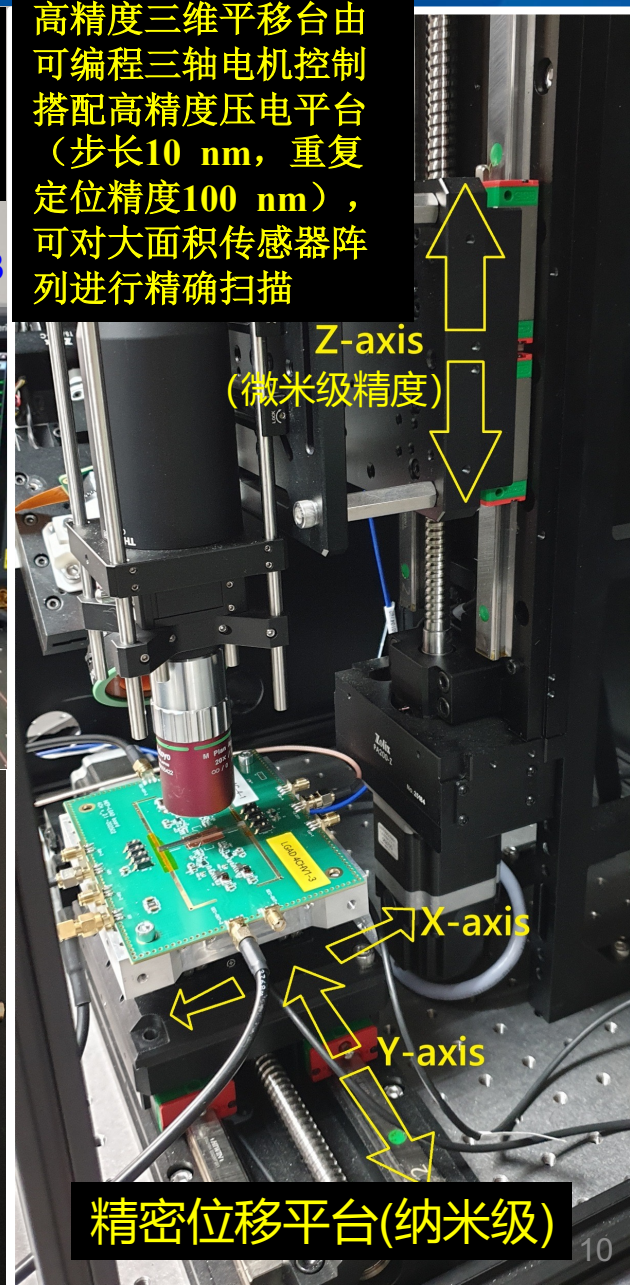


详见 Teoh Jiajian (张嘉健) 报告

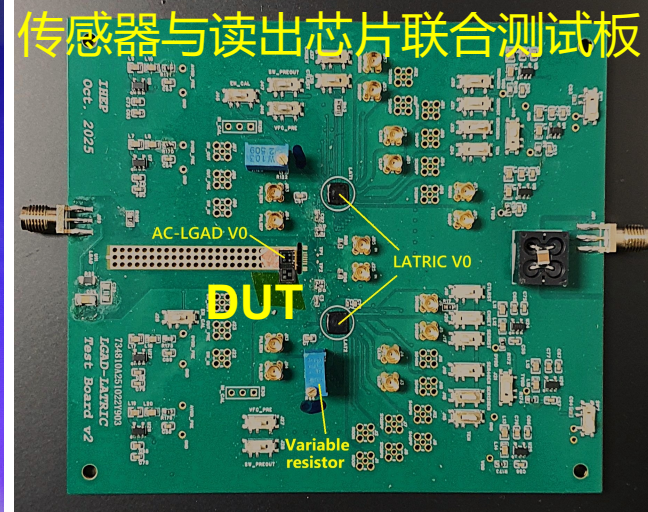
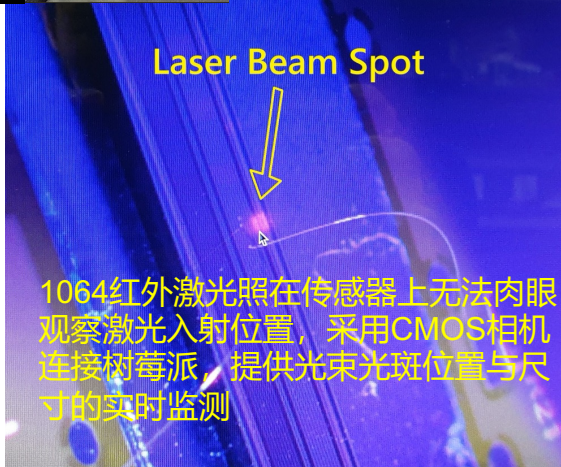


研发目标：兼具时间分辨40 ps、位置分辨10 μm 的大尺寸传感器；目前设计优化工作正在进行

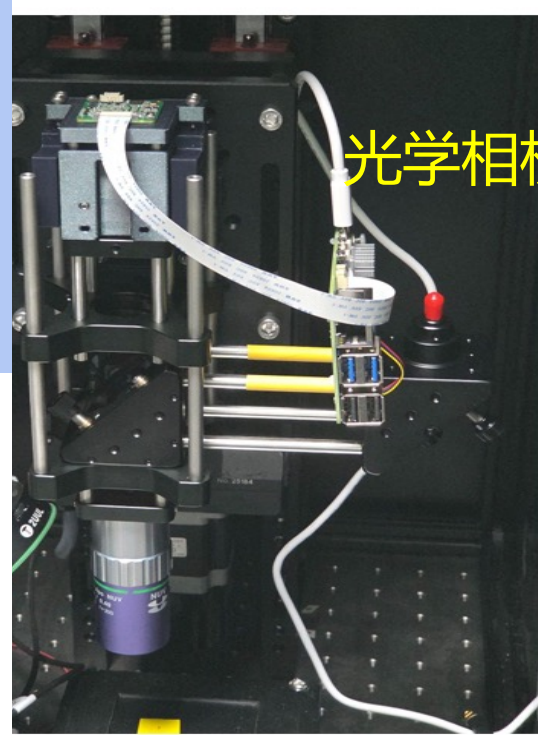
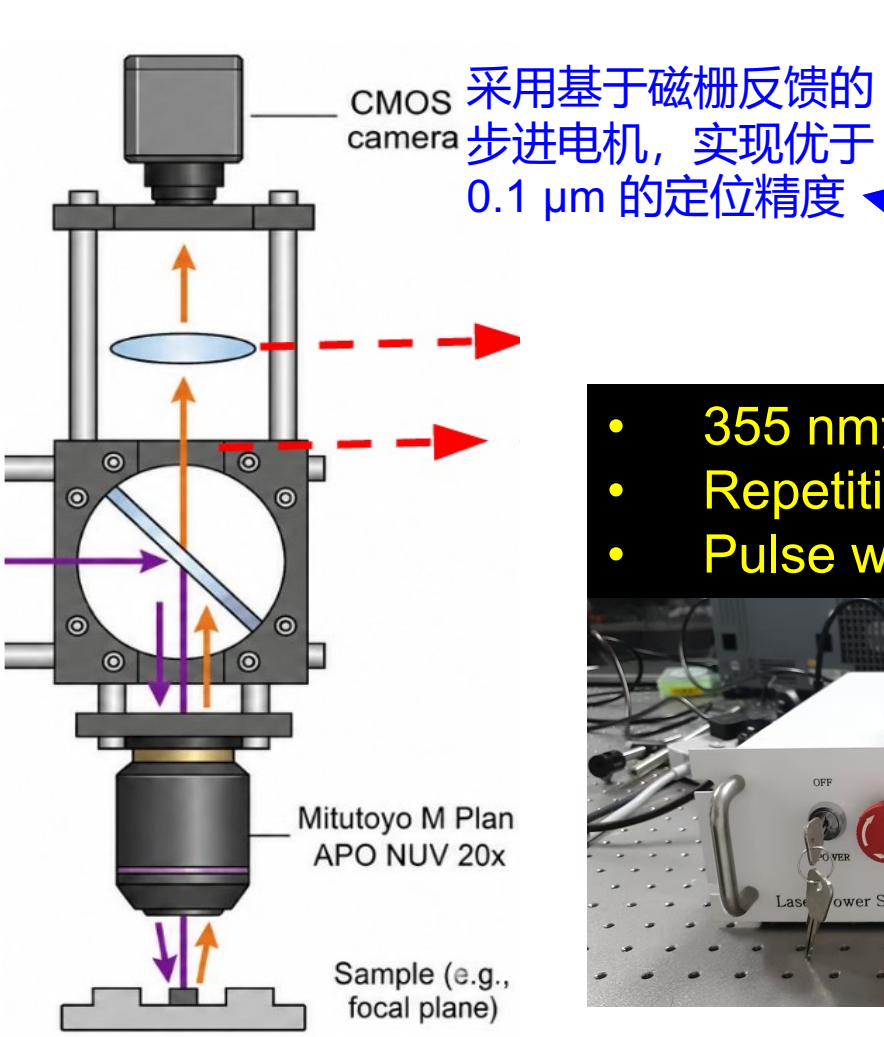
探测器的位置精度测量（高精度激光测试系统）



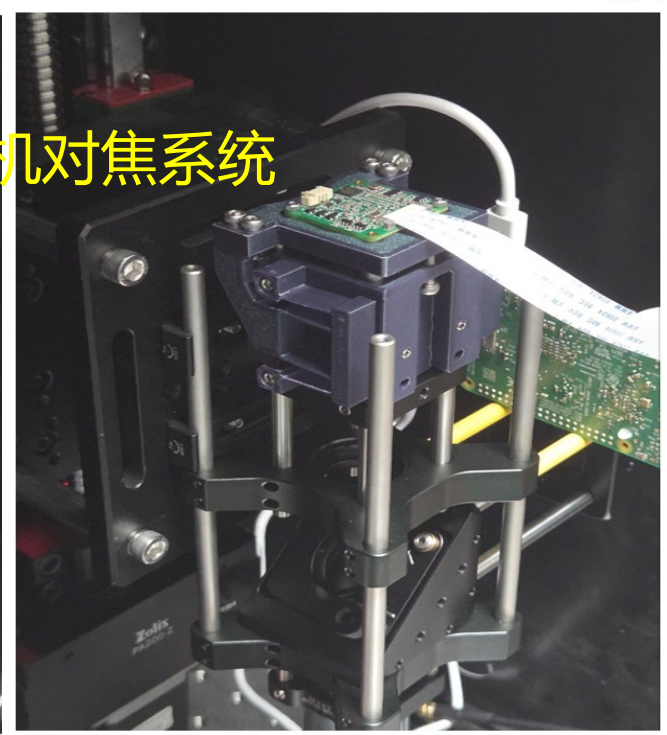
□ 使用高精度皮秒红外激光
TCT测试系统对最新研制的传
感器及读出芯片进行性能测
试



除用于硅基探测器测试的红外测试系统外，还开发了面向SiC探测器的紫外高精度激光测试平台。硅基（Si）和碳化硅（SiC）探测器采用统一研发的自动软硬件协同系统框架、共享测试平台、前端读出电子学以及系统集成等。



光学相机对焦系统



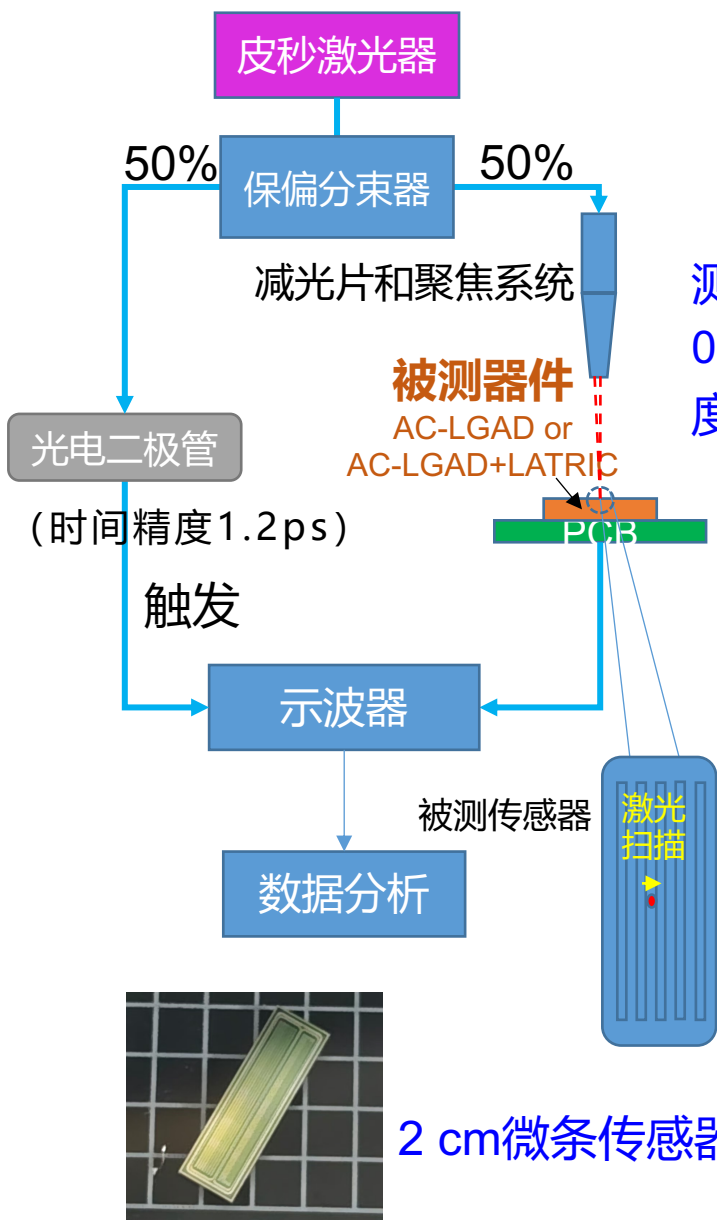
- 355 nm紫外激光
- Repetition rate: 1–10 Hz
- Pulse width: ~10 ns

基于 CMOS 相机的自动对焦系统

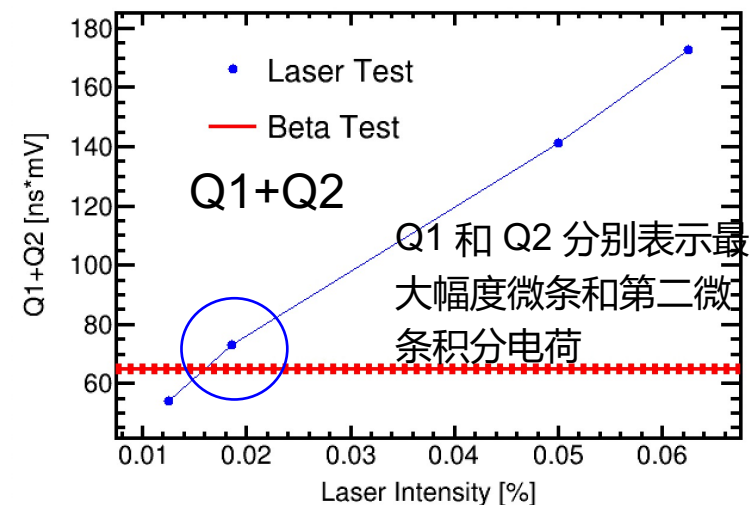
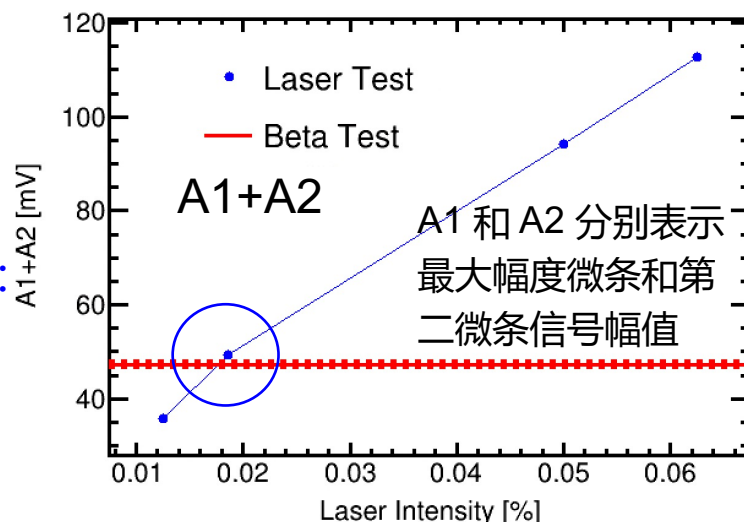
DUT精密定位控制

树莓派

最小电离等效激光强度的测试结果（最新传感器）

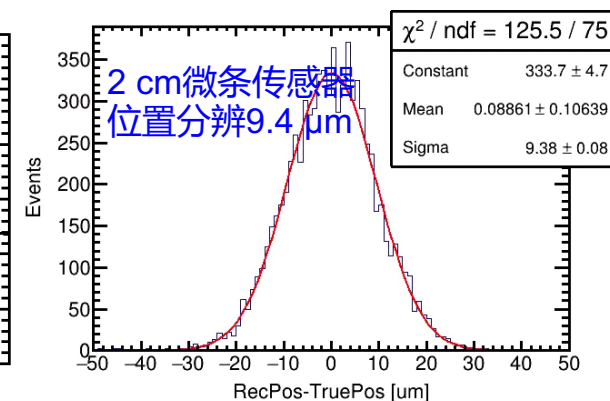
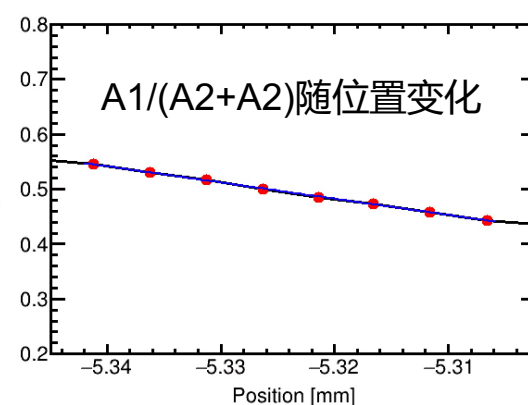
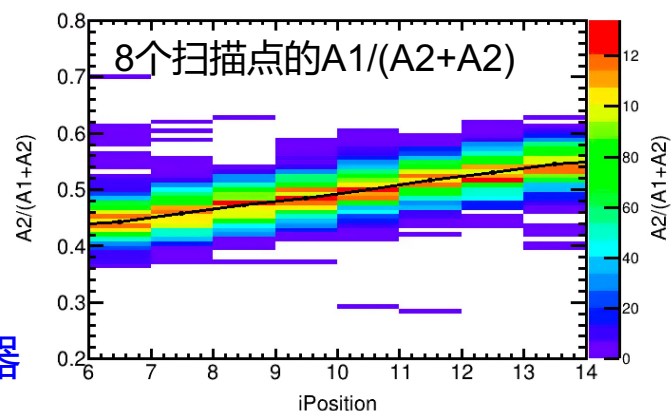


测试结果显示:
0.02%激光强度
与MIP等效



研发目标：兼具时间分辨40 ps、位置分辨10 μm 的大尺寸硅基传感器

2026年最新迭代流片的2 cm大尺寸硅基LGAD传感器，在MIP等效激光强度下（0.02%），位置测量精度9.4 μm ，时间精度65 ps（详见 Teoh Jiajian 报告）

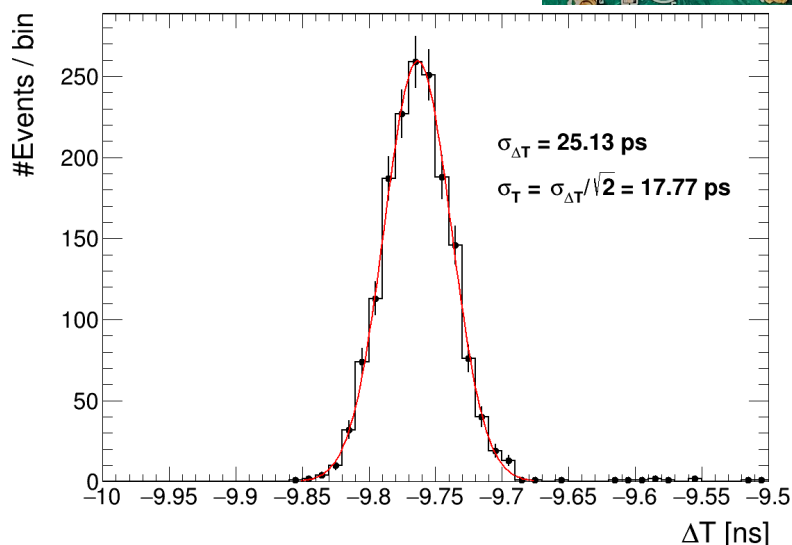
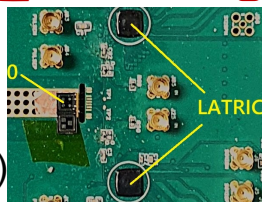


传感器与读出芯片联合测试

LATRIC读出芯片研制目标：时间分辨优于30 ps，匹配10 μm 位置分辨，实现64通道及以上的集成

2025年设计流片的单通道LATRIC0芯片时间分辨优于30 ps，最新流片的8通道LATRIC1芯片的测试工作正在进行

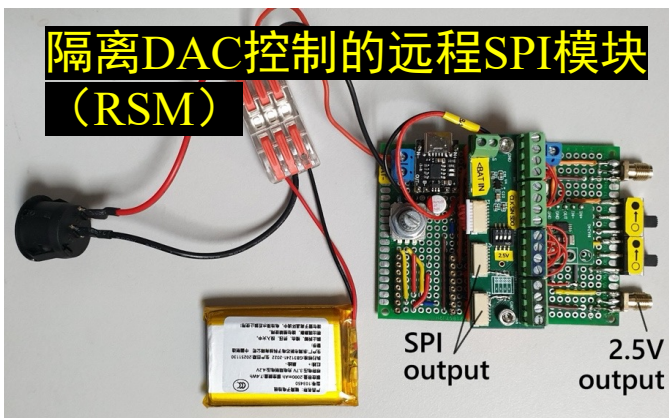
AC-LGAD像素型传感器
(传感器尺寸2.5mm*2.5mm)



在100%激光强度条件下，测量得到的LGAD+LATRIC0时间分辨为18ps



开发的"PicoCalc"的DAC控制器



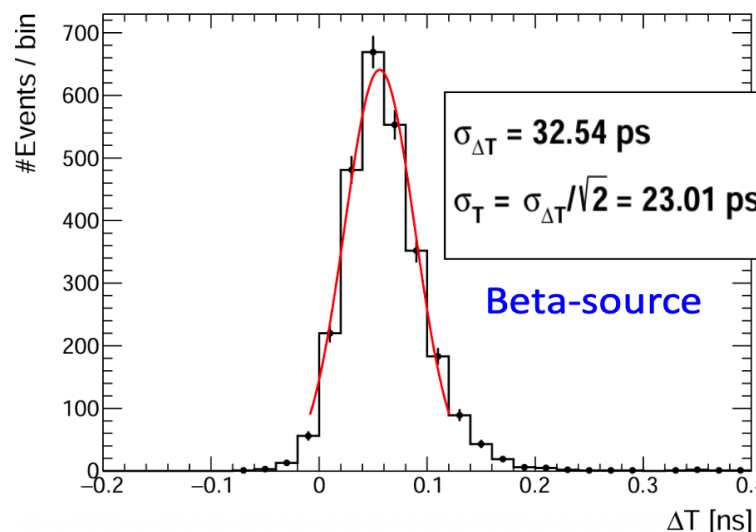
隔离DAC控制的远程SPI模块 (RSM)

SPI output

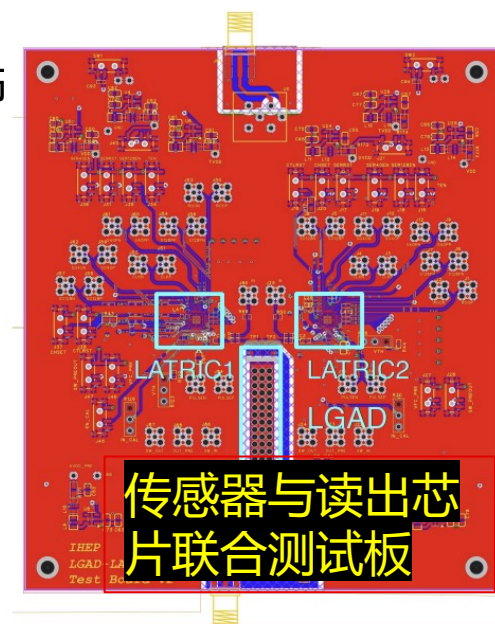
2.5V output

详见 Teoh Jiajian (张嘉健) 报告

同一传感器，两个LATRIC0芯片测量得的时间差分布



在 β 测试下，LATRIC0芯片的时间分辨优于23ps



传感器与读出芯片联合测试板

首款片上系统芯片研发

□ 首款粒子物理专用抗辐照RISC-V片上系统 (SoC) 芯片HERIS

⇒ 传统ASIC芯片采用固化硬件逻辑架构，难以满足下一代探测器对灵活性、可配置、智能化的需求。“前端智能化”是探测器读出电子学的一个重要发展方向，核心在于前端引入可编程SoC构架（集成CPU、内存、总线、外设等），实现从“被动读出”向“主动感知与自适应控制”的转变。定位于国内首款粒子物理抗辐照RISC-V片上系统芯片，原型芯片HERIS-V1（基于Tiny RiscV构架）于2025年初启动研制。团队完成了从RTL代码开发、FPGA原型验证到数字后端集成设计的全流程，并于2025年10月完成55 nm CMOS工艺流片；未来，该芯片将与LATRIC读出芯片集成，构建“高精度测量+片上智能处理”协同架构体系

➤ Core (Tiny RiscV)

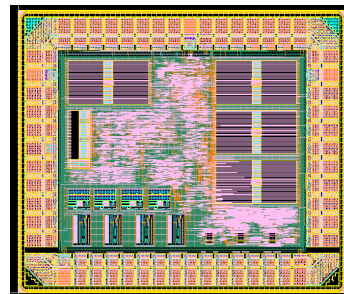
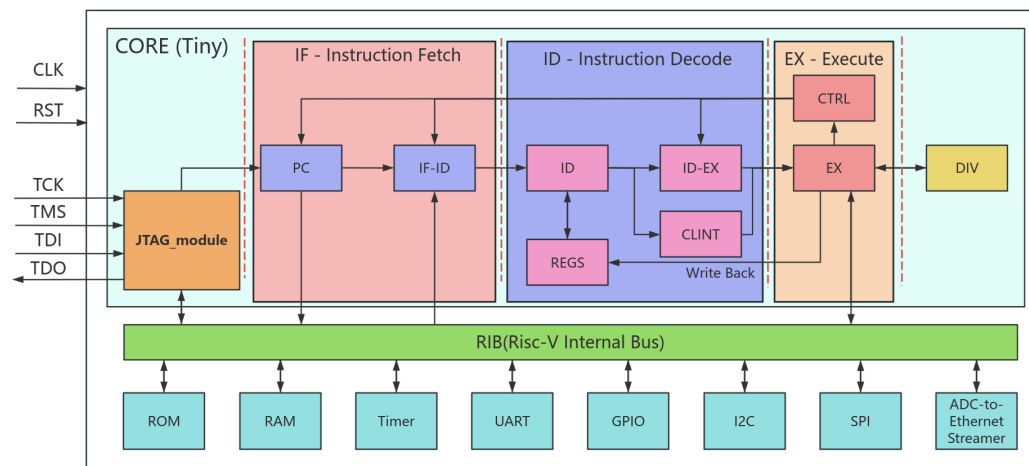
- RV32IM指令集
- 三级流水线
- CoreMark/MHz = 2.4

➤ JTAG接口

- 支持OpenOCD
- 支持GDB调试启动

➤ 外设

- 4 KB ROM, 32 KB RAM
- 支持I2C, UART, and SPI
- 集成ADC数据收集模块并通过UDP协议传输

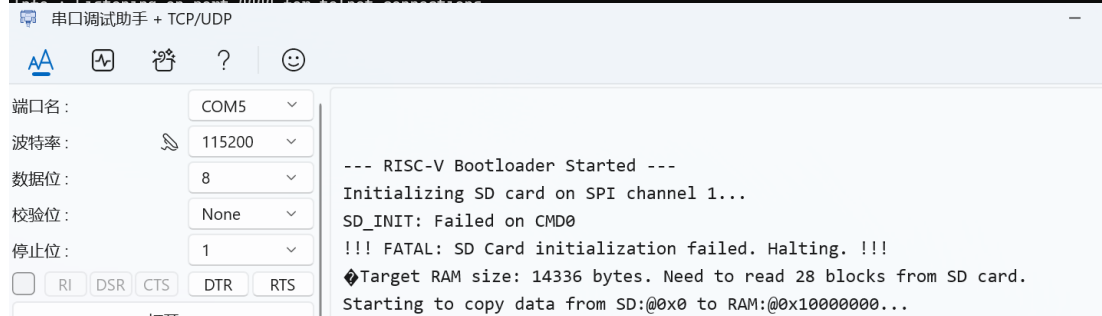


- 55 nm 工艺制程
- 工作频率 50 MHz
- 芯片面积 1.020 x 1.196 mm
- 工作电压 1.2 V

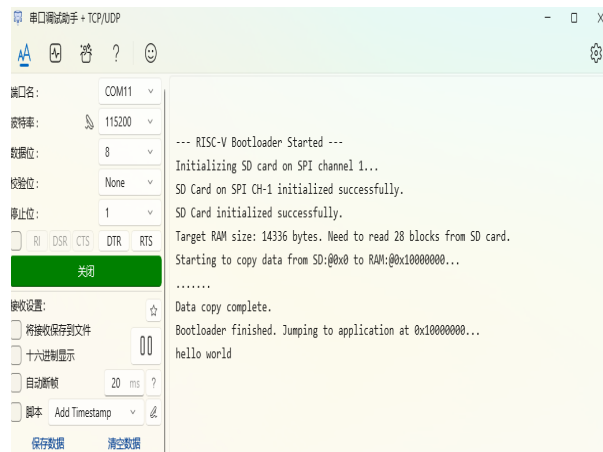
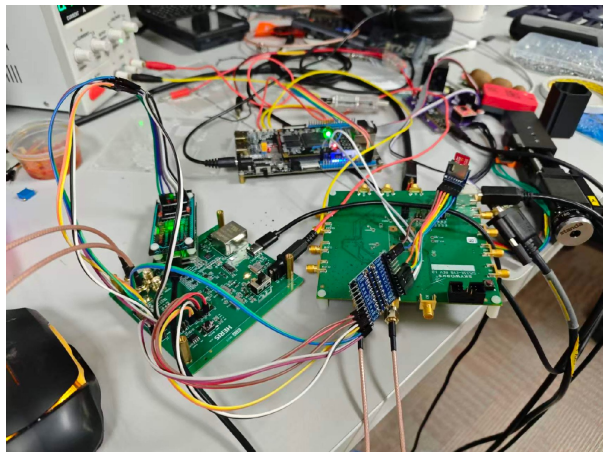
首款SoC芯片 (HERIS-V1) 测试成功

➤ 上电, OpenOCD连通, ROM程序运行正常

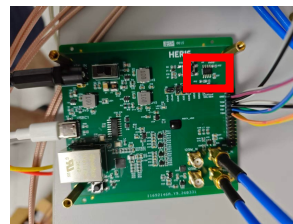
```
PS E:\fpga\Tools\xpac-openocd-0.12.0-6\bin> .\openocd.exe -f .\tinyriscv_JTAG_HS2.cfg
xPac Open On-Chip Debugger 0.12.0+dev-01850-geb6f2745b-dirty (2025-02-07-10:08)
Licensed under GNU GPL v2
For bug reports, read
    http://openocd.org/doc/doxygen/bugs.html
Info : clock speed 1000 kHz
Info : JTAG tap: riscv.cpu tap/device found: 0x1e200a6f (mfg: 0x537 (Wuhan Xun Zhan Electronic Technology), part: 0xe200, ver: 0x1)
Info : datacount=3 progbufsize=1
Info : Examined RISC-V core; found 2 harts
Info : hart 0: XLEN=32, misa=0x0
Info : [riscv.cpu] Examination succeed
Info : [riscv.cpu] starting gdb server on 3333
Info : Listening on port 3333 for gdb connections
Info : Listening on port 6666 for tcl connections
```



➤ ROM和SD卡, SPI模块运行正常



➤ 板载 EEPROM, I2C 协议进行工作



```
int main() {
    uart_init();
    xprintf("\n=== I2C Master Final Test Program ===\n");
    i2c_init(5000000, 100000);

    uint16_t test_addr = 0x1234;
    uint8_t test_data = 0xAC;

    eeprom_write_byte(test_addr, test_data);
    uint8_t read_back = eeprom_read_byte(test_addr);
}
```

UART输出

```
=== I2C Master Final Test Program ===
[I2C] Write: Addr=0x1234 Data=0xAC
> Config Check: Slave=0x53, Addr=0x1234, Data=0xAC
[I2C] Read: Addr=0x1234
```

断电后再次运行

```
int main() {
    uart_init();
    xprintf("\n=== I2C Master Final Test Program ===\n");
    i2c_init(5000000, 100000);

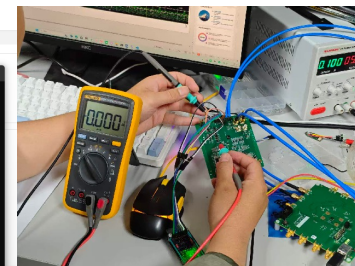
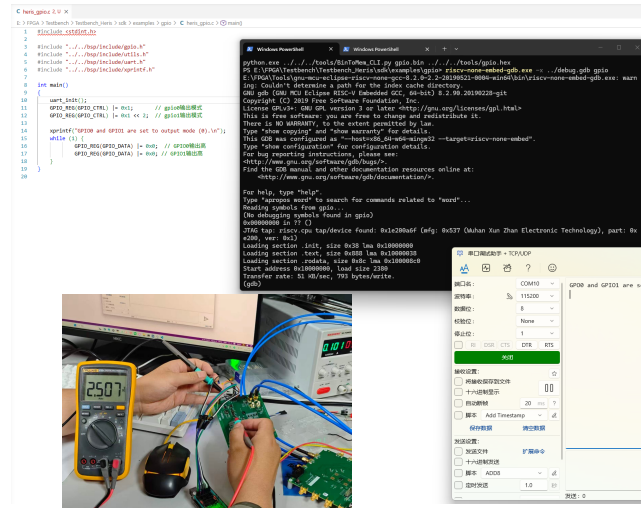
    uint16_t test_addr3 = 0x0123;
    uint8_t read_back3 = eeprom_read_byte(test_addr3);
    uint16_t test_addr2 = 0x1234;
    uint8_t read_back2 = eeprom_read_byte(test_addr2);

    xprintf("[I2C] Verification: Read1 0x%X, Read2 0x%X\n", read_back3, read_back2);
}
```

UART输出

```
=== I2C Mater Final Test Program ===
[I2C] Read: Addr=0x0123
[I2C] Read: Addr=0x1234
[I2C] Verification: Read1 0xFF, Read2 0xAC
```

➤ GPIO功能正常



测试条件

CoreMark Benchmark Statistics

Test Configuration

Item	Value
CPU Architecture	RV32IM Softcore
Benchmark	CoreMark
Iterations	100
Compiler	GCC 8.2.0
Optimization	-O2 -funroll-loops -finline-functions
Memory Mode	STATIC
Assumed Timer Clock	50 MHz

HERIS-V1跑分

CoreMark Results Summary

Run	Total Ticks	Time (s)	CoreMark	CoreMark/MHz
1	47,140,681	0.943	106.07	2.121
2	57,254,527	1.145	87.33	1.747
3	57,254,216	1.145	87.33	1.747
4	57,254,809	1.145	87.32	1.746
5	57,254,522	1.145	87.33	1.747
6	57,254,148	1.145	87.33	1.747
7	57,255,302	1.145	87.31	1.746
8	57,256,313	1.145	87.30	1.746
9	57,253,503	1.145	87.33	1.747
10	36,131,525	0.723	138.38	2.768
11	57,254,188	1.145	87.33	1.747
12	57,254,522	1.145	87.33	1.747
13	57,254,203	1.145	87.33	1.747

FPGA跑分

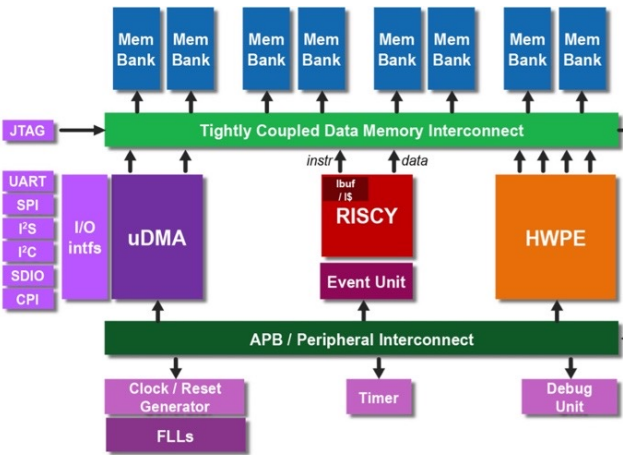
#	Total Ticks	CoreMark	CoreMark/MHz
1	264,551,913	18.90	0.378
2	25,685,150	194.66	3.893
3	55,131,135	90.69	1.814
4	29,876,551	167.35	3.347
5	57,253,579	87.33	1.747
6	57,243,713	87.35	1.747
7	29,906,285	167.19	3.344
8	57,254,426	87.33	1.747
9	41,493,461	120.50	2.410
10	46,612,237	107.27	2.145
11	54,497,797	91.75	1.835
12	48,237,510	103.65	2.073
13	28,275,053	176.83	3.537
14	57,253,726	87.35	1.747
15	13,635,777	366.68	7.334
16	25,475,668	196.27	3.925
17	57,253,893	87.35	1.747
18	57,253,672	87.36	1.747
19	57,253,673	87.36	1.747
20	26,854,754	186.19	3.724
21	57,250,967	87.40	1.748

额定频率50 MHz，最大工作频率150 MHz

性能水平：

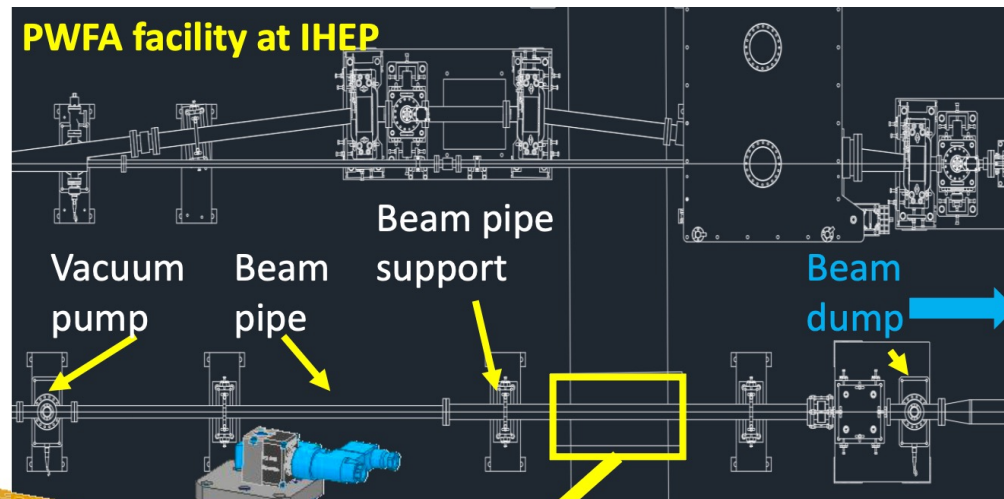
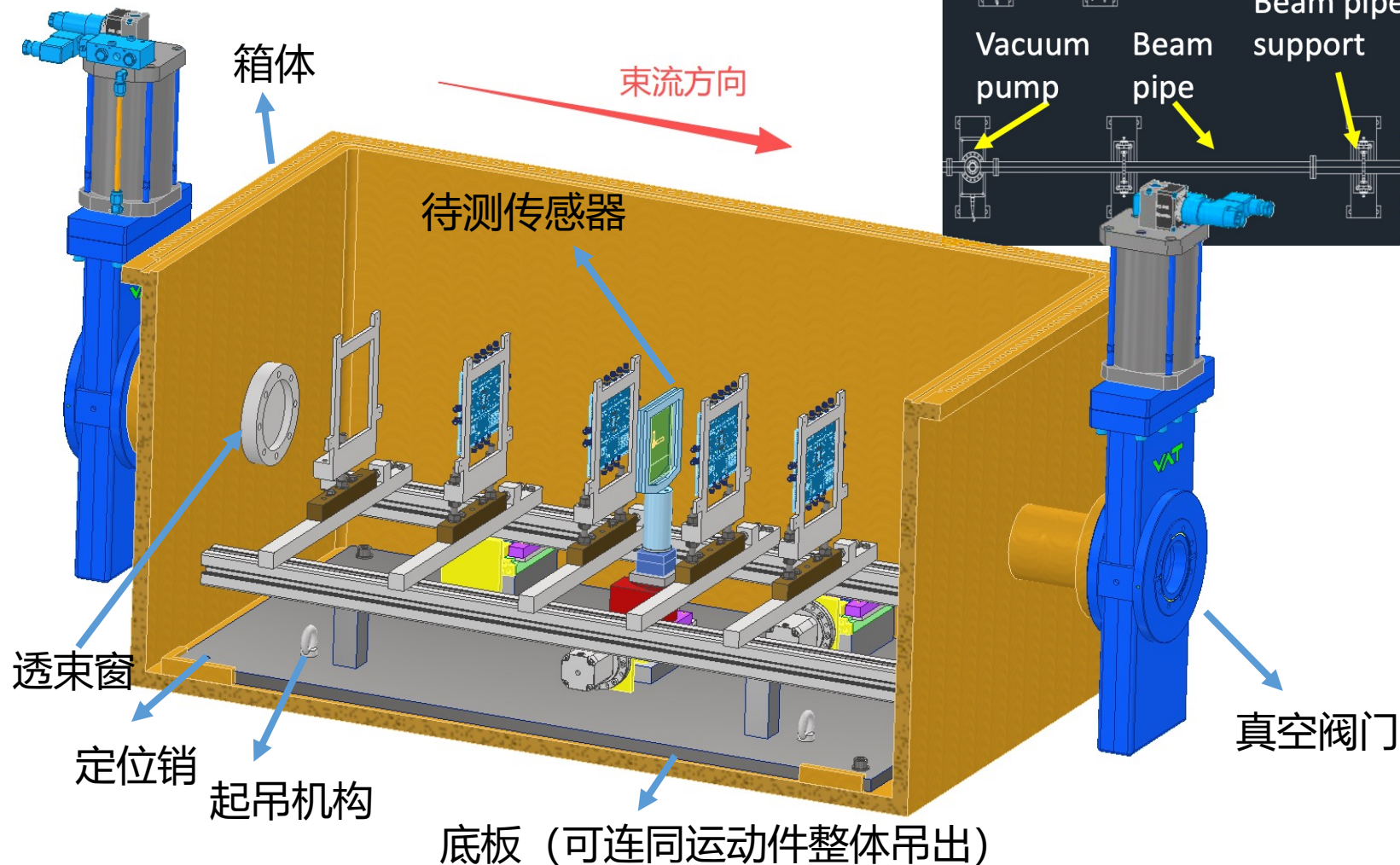
- ARM Cortex-M0/M0+：约 0.9 ~ 1.0
- PicoRV32 (极简 RISC-V)：约 0.5 ~ 0.8
- **HERIS-V1：1.75 (芯片与FPGA跑分结果一致)**
- VexRiscv / 蜂鸟 E203：约 1.5 ~ 2.2
- ARM Cortex-M3 / M4：约 3.3 ~ 3.4

下一代HERIS-V2将基于PULPissimo SoC平台构建新一代核心架构 (RISCY/Ibex两款内核)；同时将进行体系化抗辐照加固：构建“逻辑层TMR (三模冗余)+存储层ECC (纠错码)+系统层软件自愈”的多层次抗辐照加固架构；计划于今年10月进行流片



探测器束流望远镜研制（束流测试）

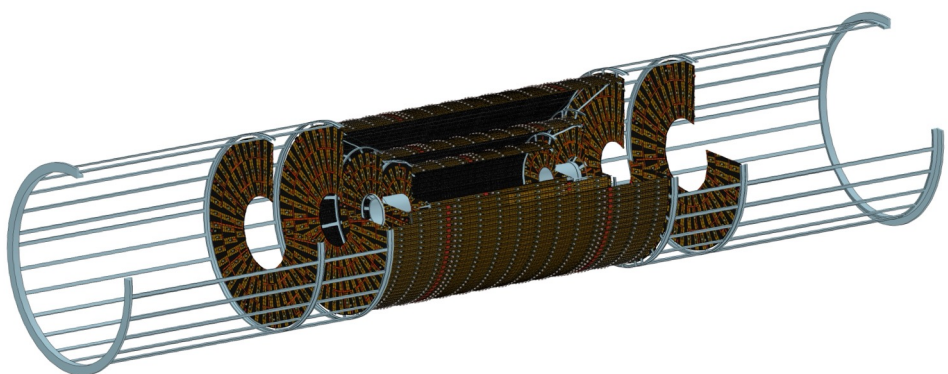
用于传感器/ASIC 验证的束流测试系统（包括束流望远镜和真空阀箱）设计工作正在进行，预计 1-2 个月内完成。后续束流测试工作计划在国内开展，首选高能所 PWFA 装置



半导体探测器机械工艺研发

□ 半导体探测器机械实验室建设

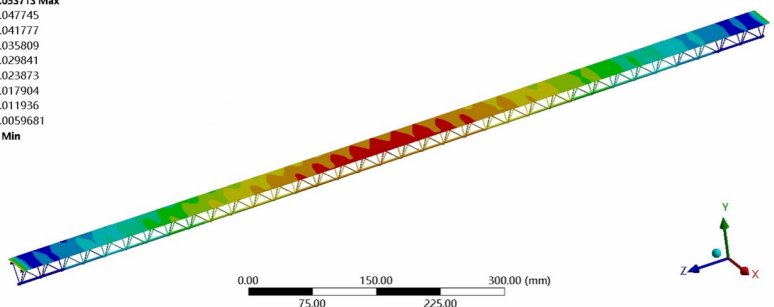
⇒ **带电粒子在材料上的多重散射，以及机械结构的稳定性和形变，直接影响径迹测量精度。**同时探测器的发热需高效导出。这对低物质量、高强度、高导热碳纤维复合结构与冷却的一体化设计与加工工艺提出了特殊要求。针对该领域国内尚缺乏体系化布局，**团队已成立机械实验室，围绕硅径迹探测器样机研制，系统开展碳纤维复合材料结构设计与制造工艺关键技术研究，推动轻质复合材料的专业化研发以在半导体探测器中的工程化应用**



D: Static Structural
Total Deformation
Type: Total Deformation
Unit: mm
Time: 1

0.053713 Max
0.047745
0.041777
0.035809
0.029841
0.023873
0.017904
0.011936
0.0059681
0 Min

硅径迹探测器要求极低的物质量和极小变形 (单层 $<1\%$ X_0 、变形微米级)



M55J预浸料 M55J碳纤维丝 碳纤维树脂和脱模剂

烘箱

设计加工的碳纤维热压磨具



碳纤维预浸料裁剪带

碳纤维预浸料铺层

涂脱模剂

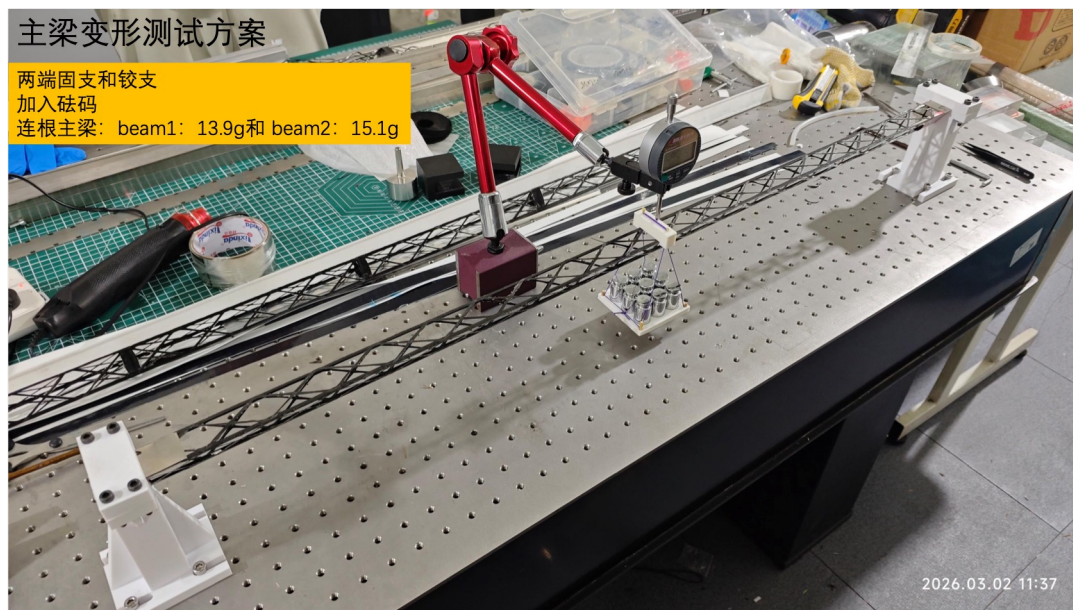


成型样样件

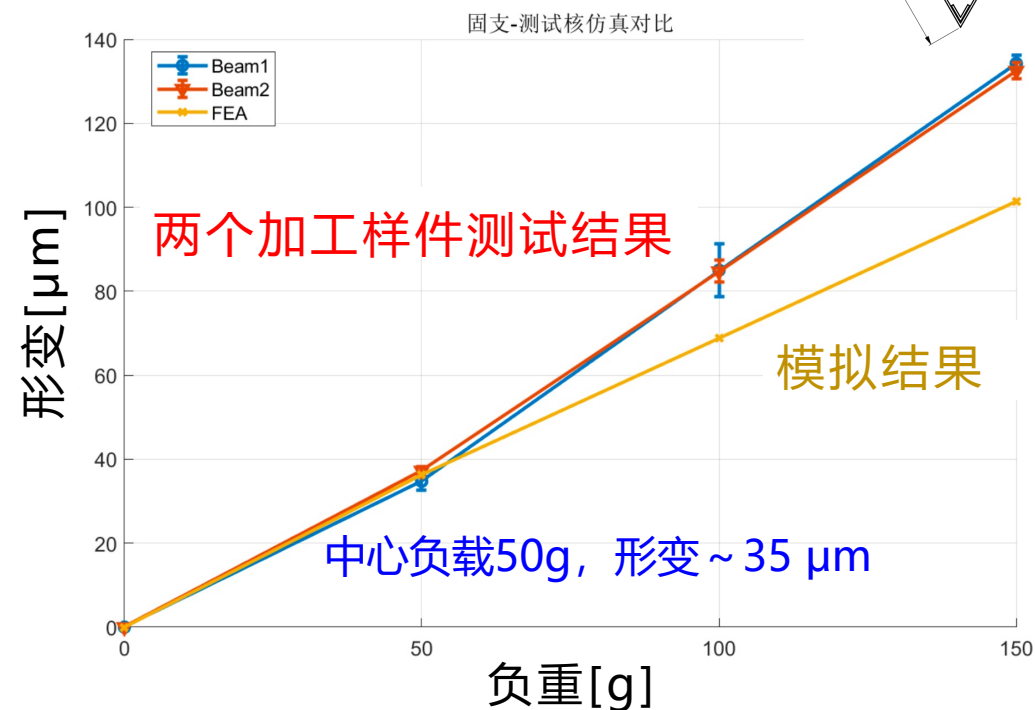
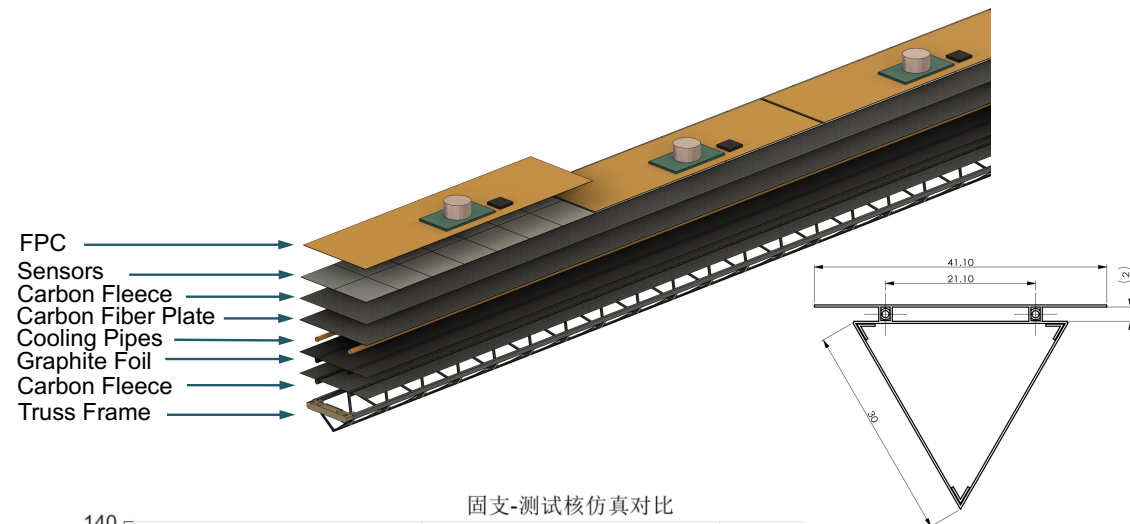
团队设计自制的一批工程样件

碳纤维复合材料设计和加工工艺研究

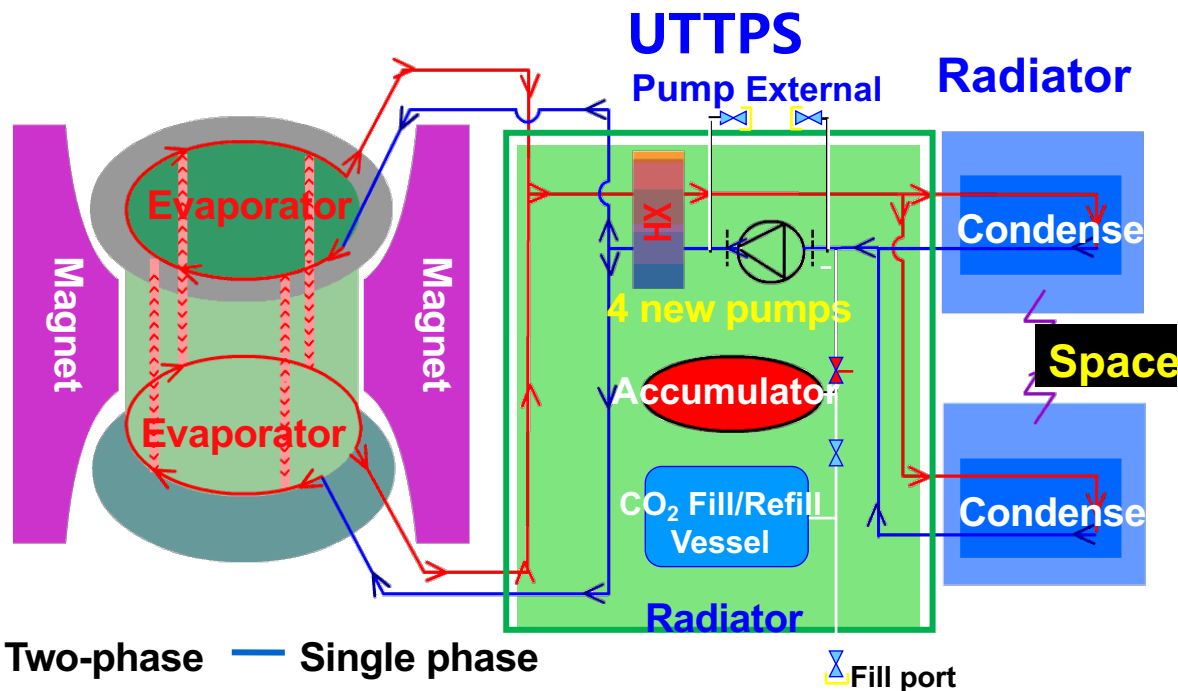
⇒ 基于建模与模拟分析开展拓扑优化设计；结合模具设计与工艺研究，开展高强度碳纤维预浸料铺层、丝束缠绕及结构一体化热压固化成型工艺研发。重点攻克高模量、多材料热膨胀匹配、结构平整度与脱模等工艺难题。通过力学、光学测量对结构性能进行系统表征，**形成涵盖设计、加工工艺开发、性能验证的完整技术积累**



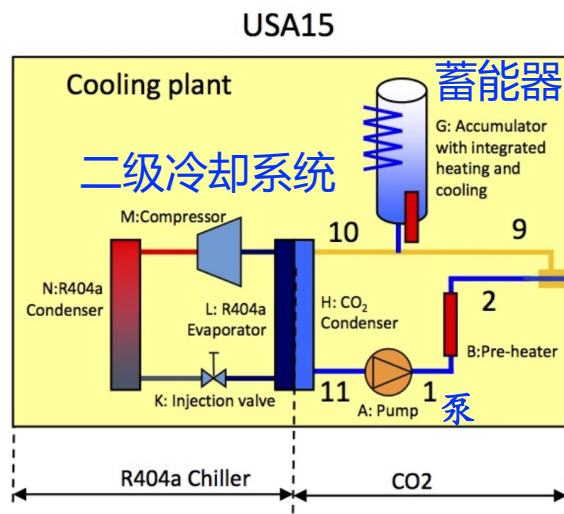
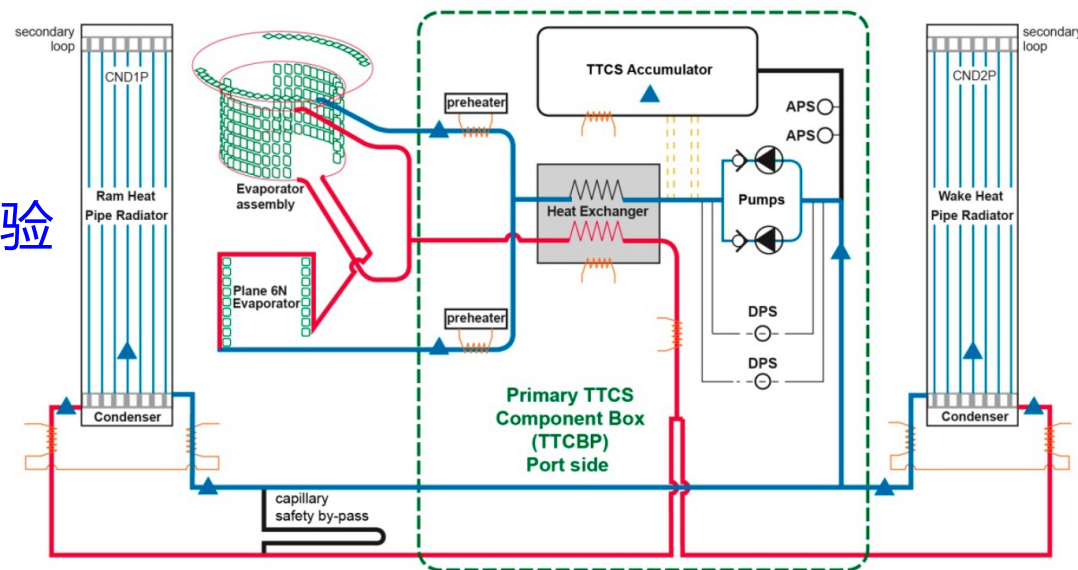
自制的1m长碳纤维机械结构样件（重量15g）负载形变测试



半导体探测器冷却技术



AMS实验



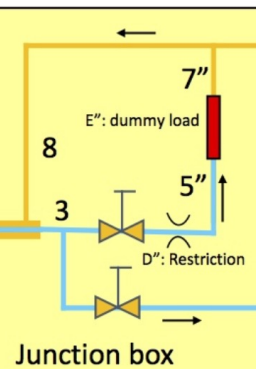
一级冷却系统

— Liquid flow
— 2-phase flow

F: Transfer line vapor return (annulus)
C: Transfer line liquid feed (center)

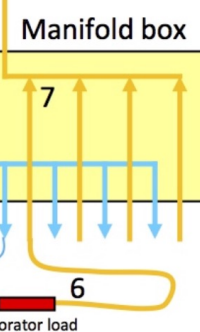
Transfer line, Ca 100m

UX15



LHC实验

探测器部分

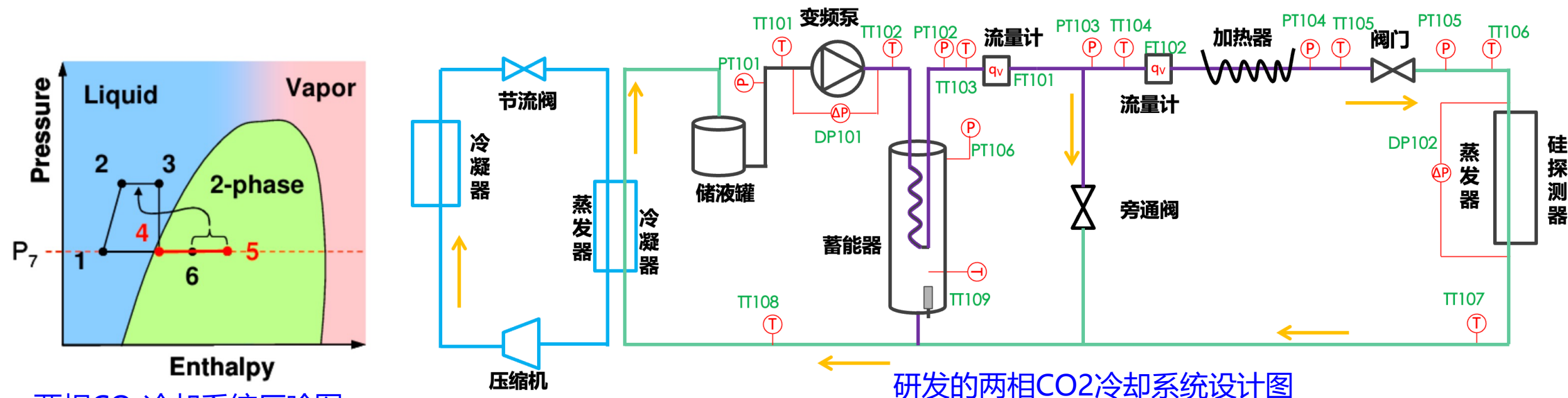


作为半导体径迹探测器的关键技术，无论是未来的天上实验或是地面实验，两相CO₂冷却系统必不可缺。除粒子物理外，还可用于航天载荷实验、电子设备冷却及其他高功率密度芯片散热场景

两相CO₂冷却系统研制

□ 研制国内首台高能物理气液两相CO₂冷却系统

⇒ 半导体探测器要求低温工作环境、以提升信噪比，CO₂是理想的冷却介质。**针对大功率半导体探测器低温运行需求，正与理化所联合研发国内首台完整两相CO₂冷却样机。**该系统采用紧凑便携式设计，额定散热功率~1.2千瓦（可升级至>2千瓦），工作温度-40℃至20℃可调，控温精度优于±1℃



两相CO₂冷却系统压焓图

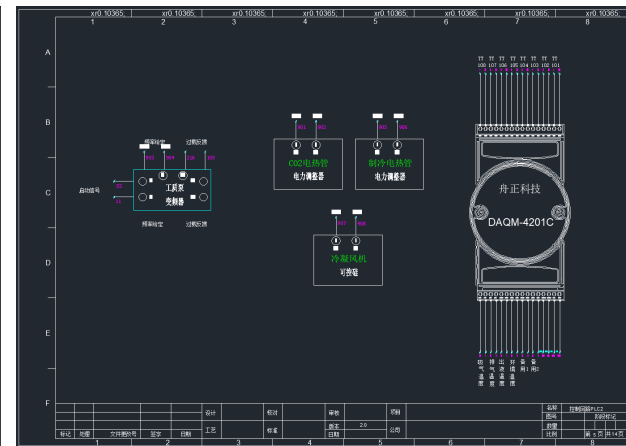
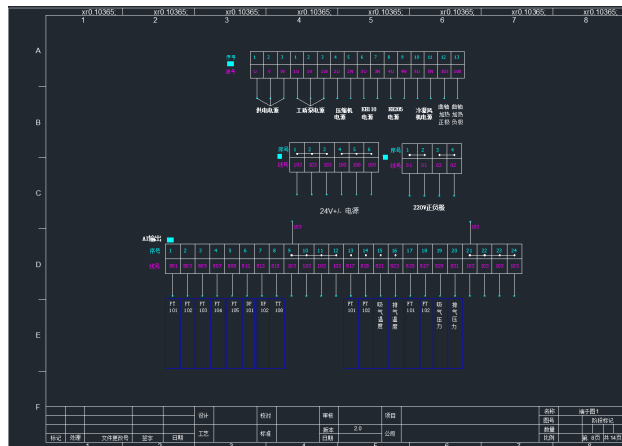
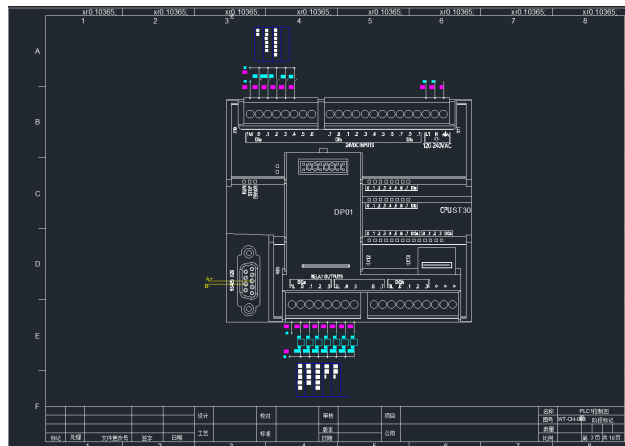
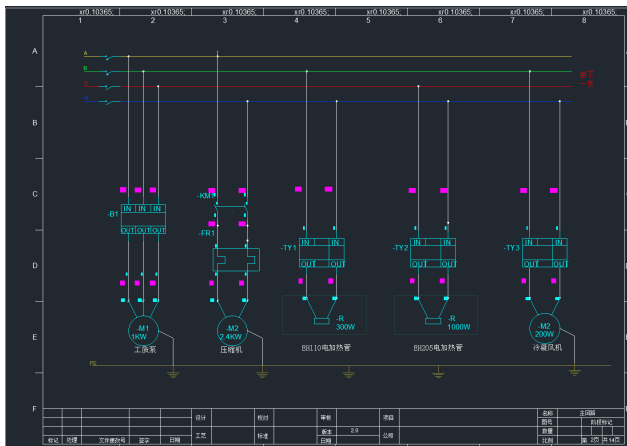
研发的两相CO₂冷却系统设计图

(测点：9个温度传感器、7个压力传感器、2个差压传感器、2个流量计、2个液位计)

该系统可与各种热负载系统进行集成，适用于不同的实验配置和应用需求。系统采用紧凑化布局设计（总重量约 100 kg）。同时，该系统还可支持扩展成更大规模冷却系统

两相CO₂冷却系统研制最新进展

➤ 系统电气图设计



➤ 系统排布设计

显示屏

控制柜放置处

负载连接处

负载箱

制冷机组

制冷机组

二氧化碳系统

负载连接处

➤ 部件实物图



压缩机



板式换热器



膨胀阀驱动



过滤器-



视液镜-



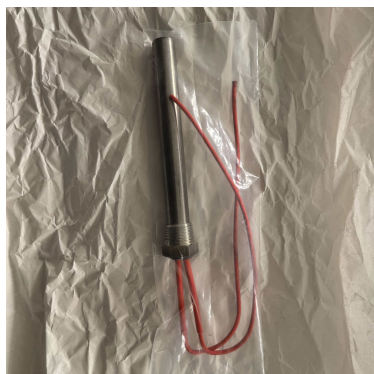
油分离器



增焓阀驱动



温度传感器



加热棒



压力传感器



过滤器-CO2



差压传感器



流量计



视液镜-CO2



系统总装最新进展

全套系统的集成工作正在推进，计划于 2026 年 10 月前完成整套系统调试

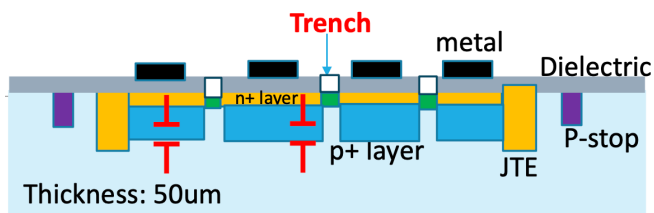
近期研发重点：传感器和芯片

□ 传感器和ASIC体系化整合

- 形成以“硅基为主线、多材料协同发展”的半导体探测器研发体系
- 涵盖从工艺、设计、测试、分析、整体系统集成等全链条研发链路

□ 传感器向大尺寸、高性能、低功耗发展

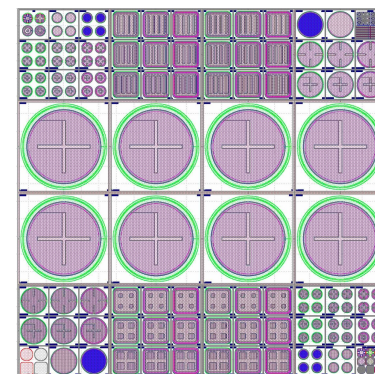
- 下一版研发的隔离结构传感器是迈向最终性能的重要一步：降低电容从而实现大尺寸、高精度、低功耗需求



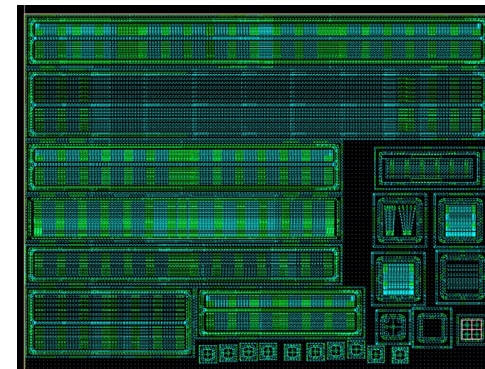
沟槽隔离结构

$$C = \epsilon_0 * \epsilon_r * A / d$$

增益型SiC



Trench LGAD

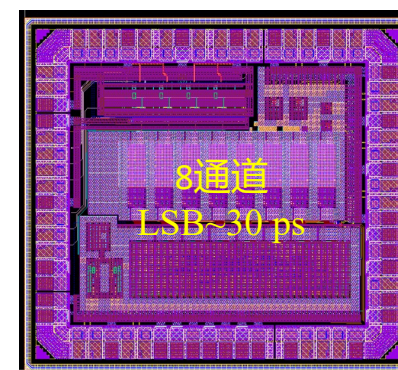


⇒ 传感器已完成初步设计流程，计划于今年内进行新的流片

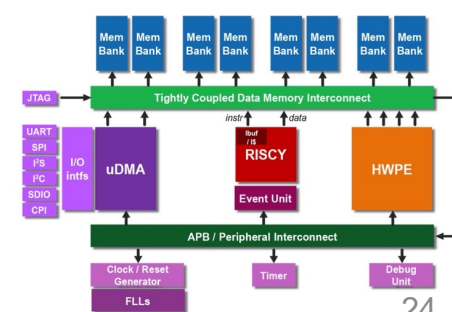
□ 高精度读出芯片LATRIC往多通道研发

- 最新32通道LATRIC2芯片设计工作正计划开展，下一版高性能RISC-V SoC HERIS-V2计划在2027年1月完成设计并提交流片

LATRIC1

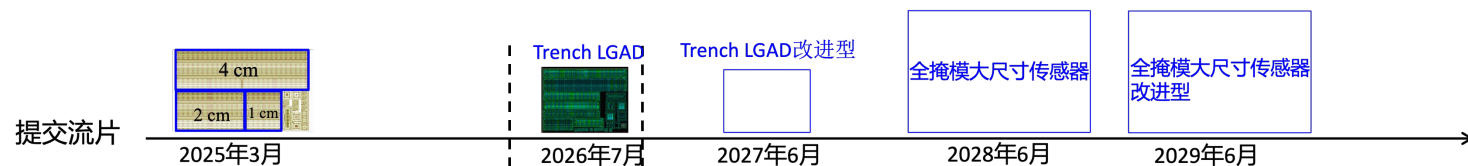


HERIS-V2 SoC核心框架

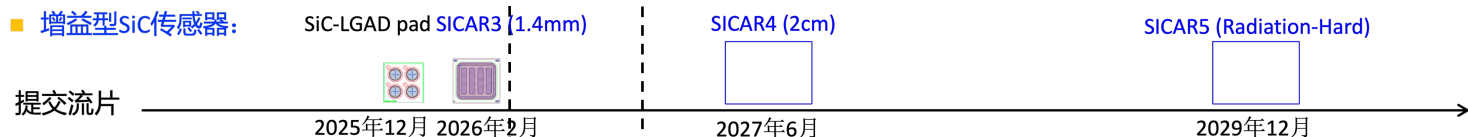


总结

- LGAD传感器将朝着工艺优化、大传感器尺寸、高探测性能、以及低功耗方向研发:



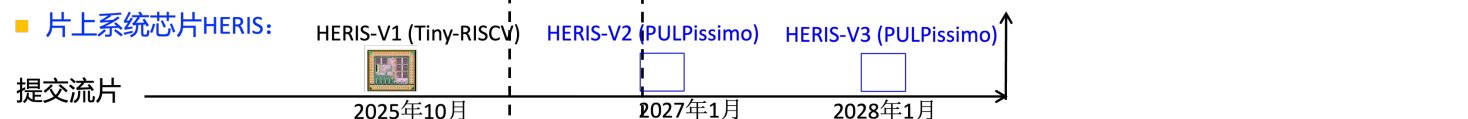
- 增益型SiC传感器:



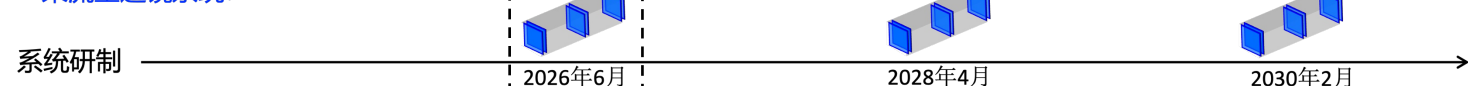
- 高精度读出ASIC芯片 LATRIC往更高集成度、多通道方向发展:



- 片上系统芯片HERIS:



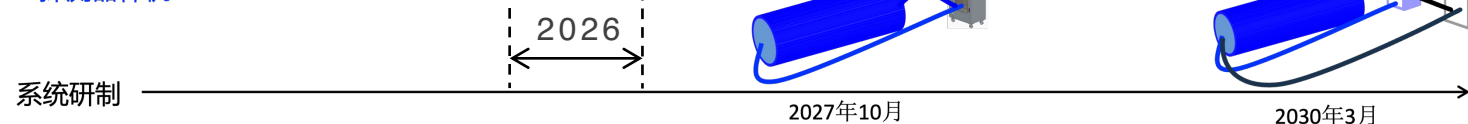
- 束流望远镜系统:



- 两相CO₂冷却系统:



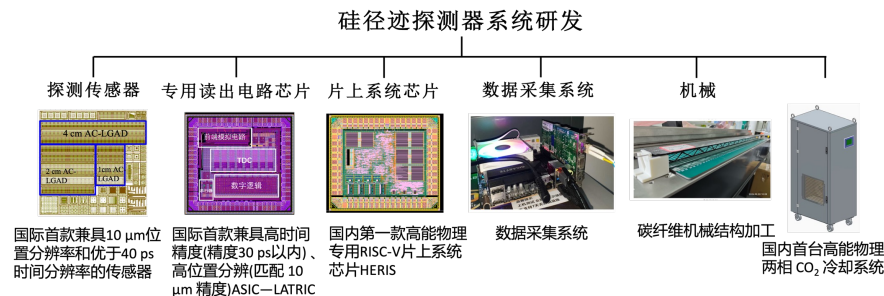
- 探测器样机:



2026年计划: 隔离版硅基LGAD流片、增益型SiC测试、读出芯片LATRIC2 (32通道) 研发、片上系统芯片HERIS-V2研发、束流望远镜研制 (束流测试)、两相CO₂冷却样机研制 (全系统调试) 等

□ 团队以研究成果可工程化落地为目标, 以工程样机为牵引, 构建覆盖传感器、专用读出电子学、机械冷却系统集成的全系统协同研发体系

□ 通过传感器、电子学、机械冷却系统集成及工程样机的研发, 实现半导体径迹探测技术的原创性突破、体系化发展与工程化能力提升, 形成完整的半导体径迹探测技术路线, 面向我国下一代地面及空间粒子物理实验探测装置开展关键核心技术研发和技术积累





- 半导体探测器的技术门槛高、迭代周期长。组建跨项目的研发联盟，各个感兴趣的研发单位共建研发生态、整合资源、共同研发、共享研发成果，实现化零为整是一个很好的发展模式。希望国内有兴趣的单位一道合作，从技术开始做起，在这一关键探测器技术领域深耕
- 除完成主线任务外，未来也将积极拓展半导体探测器的不同应用领域

谢谢！

