



中国科学技术大学
University of Science and Technology of China

10 Gps采样率高速波形数字化ASIC研究

秦家军，李秋阳，杨新成，喻嘉树，赵俊博，赵雷

中国科学技术大学 近代物理系

第二十三届全国核电子学与核探测技术学术年会

2026年8月11日 河南登封

目录

- ❖ 研究背景
- ❖ 5 Gsps采样率原型ASIC设计
- ❖ 10 Gsps采样率原型ASIC设计
- ❖ 总结

研究背景

◆ 核与粒子物理实验读出电子学测量的基本物理信息

➤ 电荷、时间、脉冲形状、个数等

◆ 代表性的传统电荷时间测量方法

➤ 电荷测量：成形寻峰、过阈时间 (TOT)

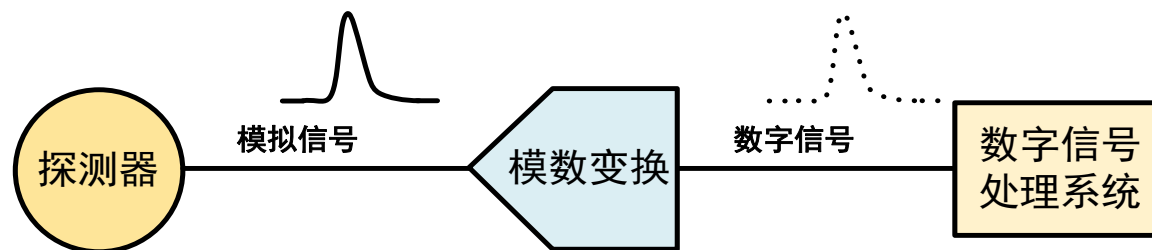
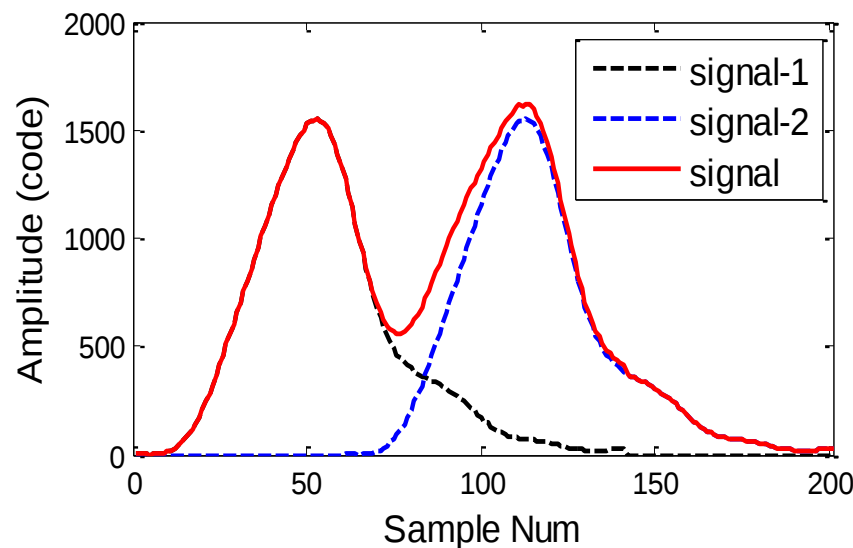
➤ 时间测量：时间检出 (甄别) + TDC

◆ 波形数字化方法

➤ 探测器输出的信号包含最全面的物理信息

➤ 数字信号处理方法灵活多样

- 波形前沿分析：获得时间信息
- 波形数字积分（计算面积）：获得电荷信息
- 可区分堆积事例



研究背景 – 波形数字化技术

◆ 两条技术路线：

① 高速ADC：高速采样保持 + 高速量化

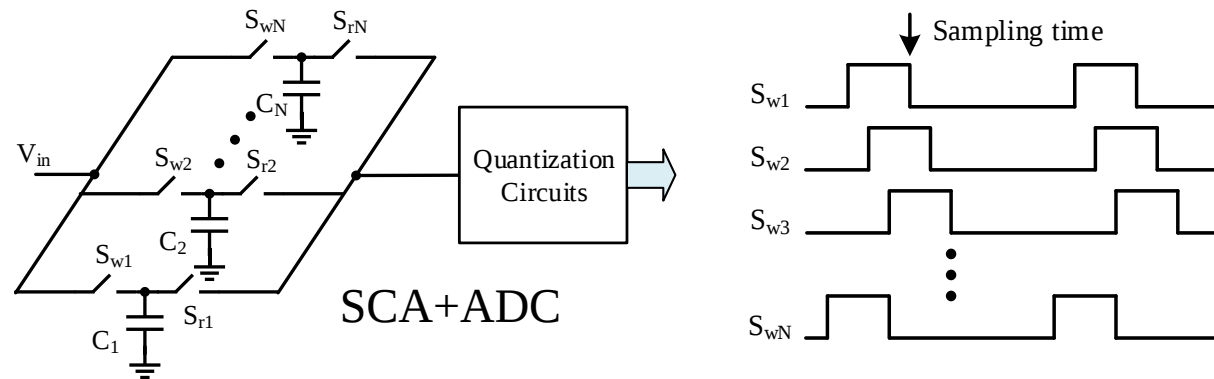
延时小、无死时间（连续采样）、精度高
单芯片采样率受限，采用TIADC技术提升
功耗高、系统复杂

应用场景：

- 雷达系统
- 时域电磁干扰测量系统（TDEMI）
- 超宽带脉冲无线电接收器（IR-UWB Receiver）

② 开关电容阵列(SCA)：高速模拟存储 + 低速AD读出

集成度高、功耗低
工作在触发模式



应用场景：事例偶发的物理实验

核心在于SCA ASIC的研制

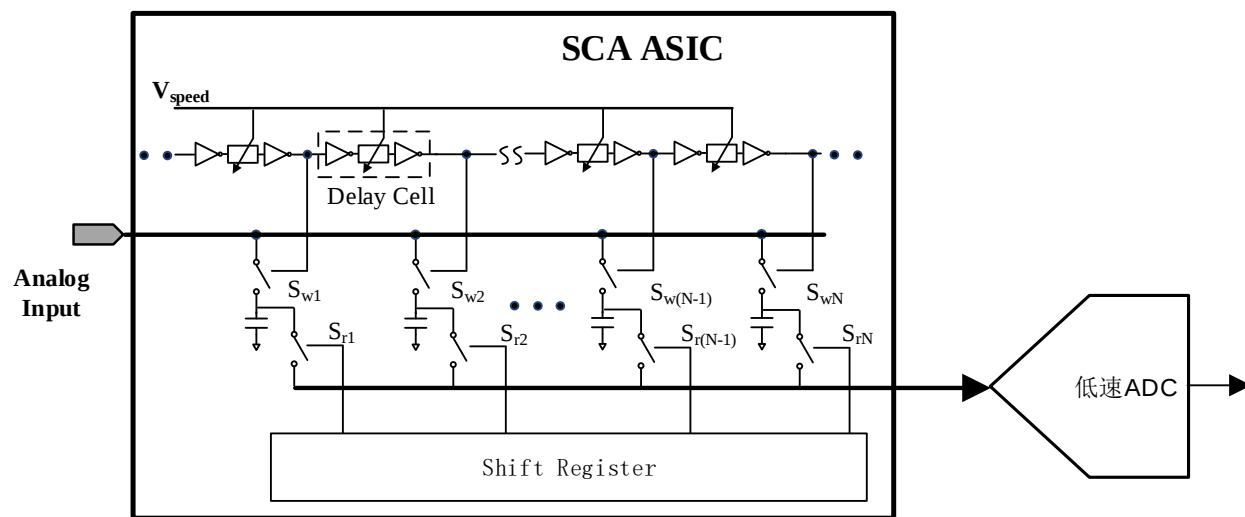
典型SCA ASIC芯片

Function\Chip	ATWD	SAM	LAB3	DRS4	PSEC4	SAMPIC	TARGET7	AARDVARC
采样率(Gsps)	50K-2G	1-2	0.02-3.7	0.7-5	4-15	3-8.4	0.5-1	10-14
模拟带宽(MHz)	350	250	1000	950	1500	1600	540	2000
采样深度	128	16×16	260	1024	256	64	16k	32k
通道数	4	2	8+1	8+1	6	16	16	4
RMS噪声(mV)	1	0.7	1.26	0.35	0.7	<1	1.76	0.7
输入范围(V)	3	2	/	1	1	1	1.9	0.6
内置ADC	Yes	No	Yes	No	Yes	Yes	Yes	Yes
功耗(mW)	150	300	/	140	100	180	/	/
芯片工艺(μm)	0.2	0.35	0.25	0.25	0.13	0.18	0.25	0.13

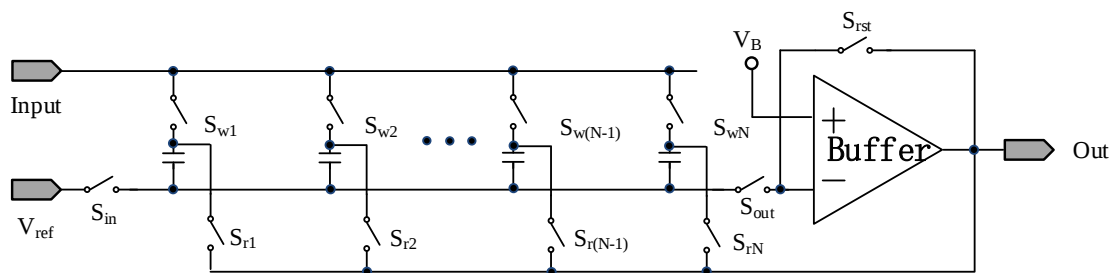
- ◆ 国内中科院高能所、清华大学和中科大三家曾合作设计1~2 Gsps采样率的SCA芯片
- ◆ 后针对不同的应用需求，各自推进

SCA ASIC基本结构1

◆ 模拟读出，片外量化



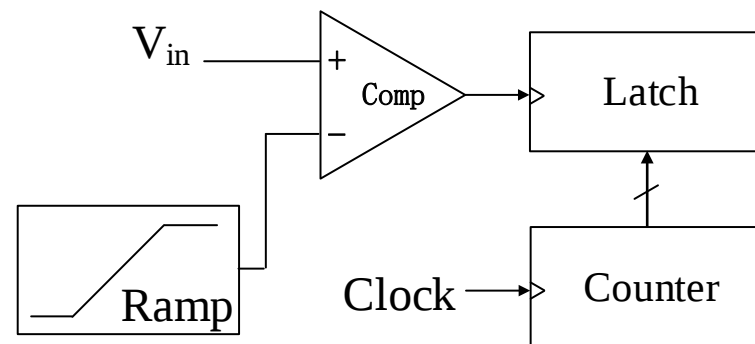
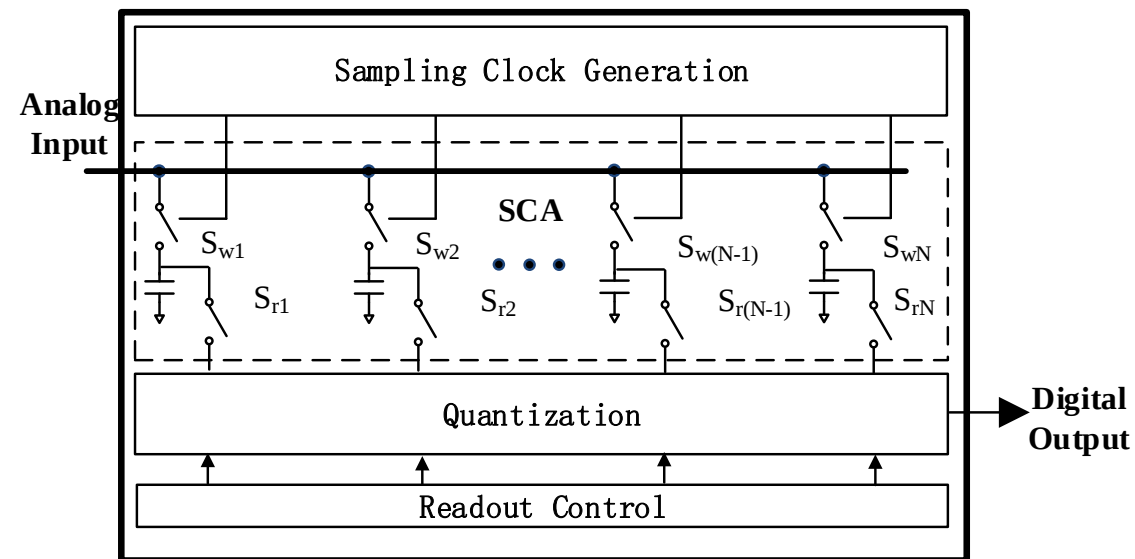
高精度、低噪声、大驱动运放



2026/8/8

代表芯片: DRS4

◆ 片内量化，数字读出



Wilkinson ADC结构框图

代表芯片: PSEC4、SAMPIC

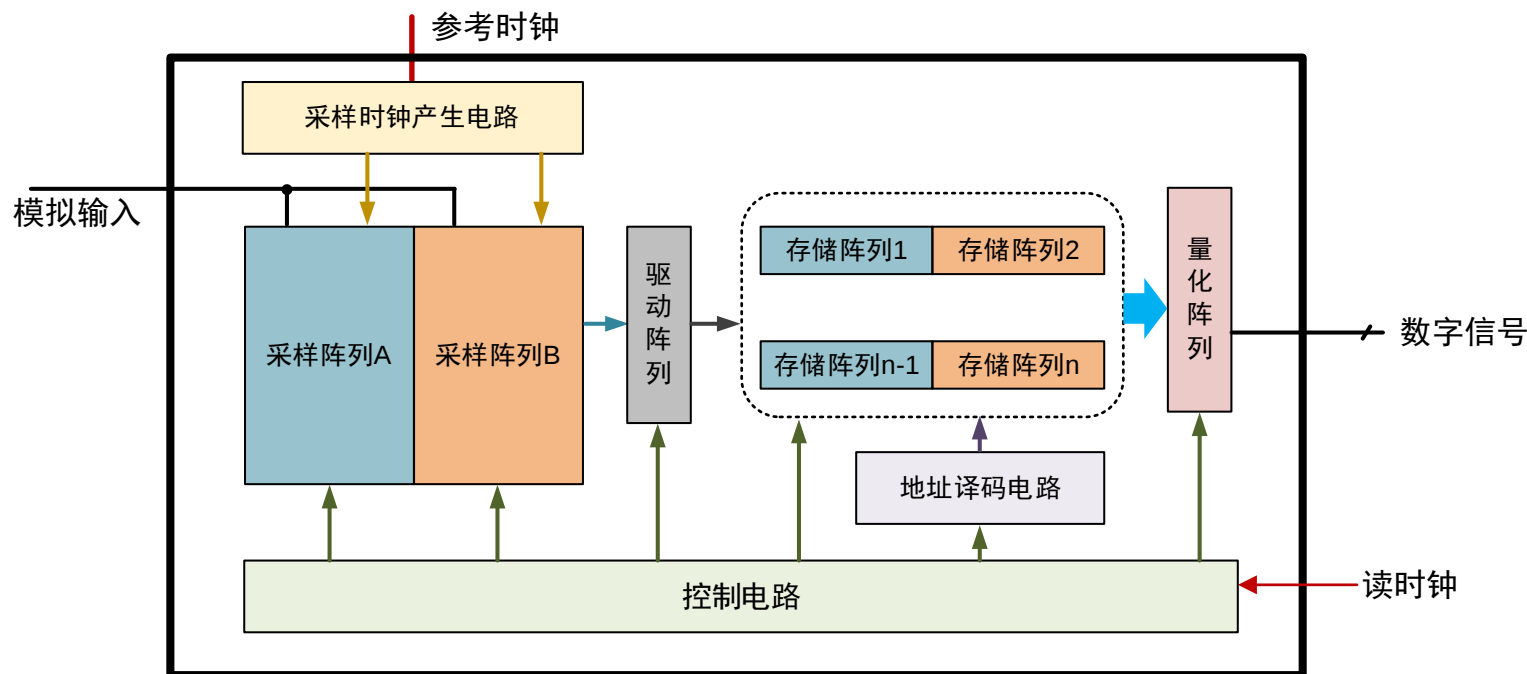
SCA ASIC基本结构2

◆ 采样存储分离

- 短链乒乓采样
 - ✓ 高速采样、高模拟带宽
- 阵列存储
 - ✓ 实现大的存储深度

◆ 电荷搬运

- 驱动电路：噪声、摆幅、驱动
- 时序控制
- 编解码电路
- 电容漏电



代表芯片：TARGET、AARDVARC

高模拟带宽、大存储深度，但电路结构复杂，信噪比、采样速度和功耗是挑战。

目录

❖ 研究背景

❖ 5 Gsps采样率原型ASIC设计

❖ 10 Gsps采样率原型ASIC设计

❖ 总结

5GspS SCA设计

◆ 采样时钟产生电路

- 延时链锁相环
- 整形电路

◆ 采样保持电路

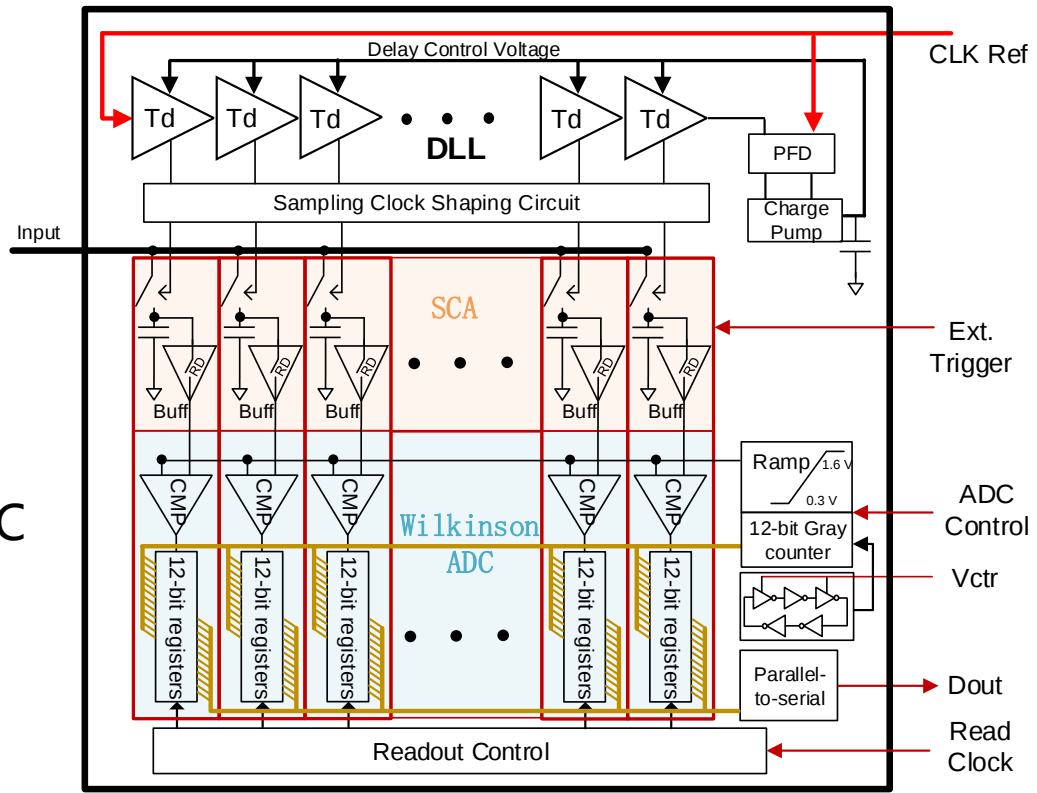
- 开关、电容
- 读出耦合

◆ 量化电路

- Wilkinson ADC

◆ 数据读出

- 读出控制电路
- 串行数据输出
- ROI模式

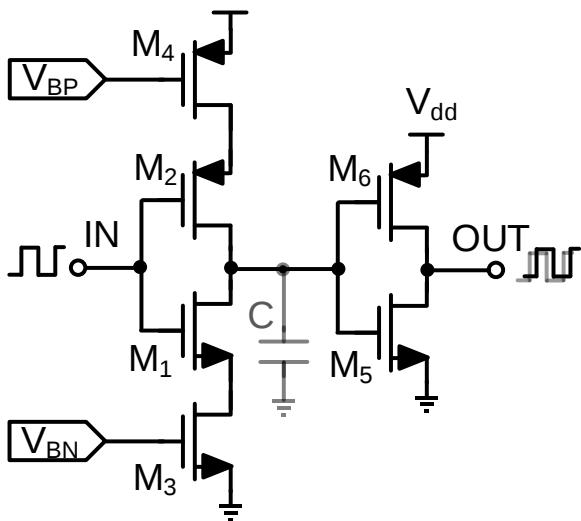
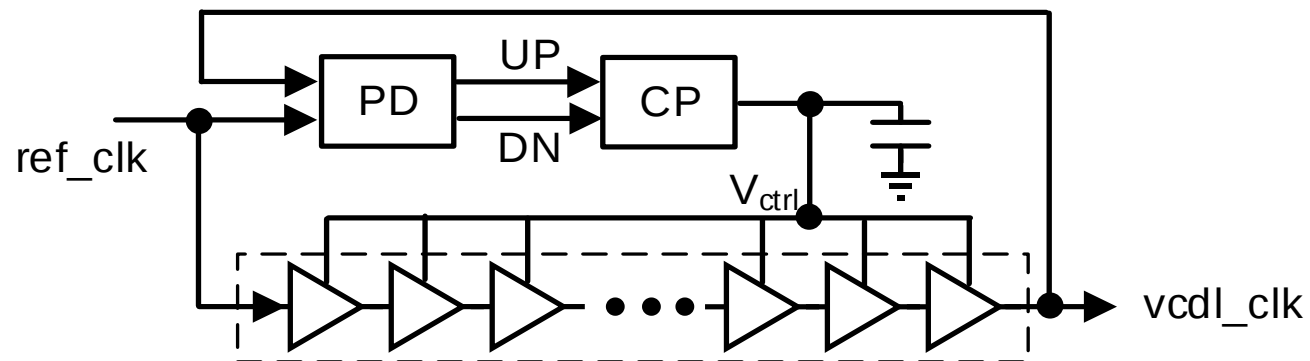


Parameters	Value
Sampling rate	1~5 GspS
Number of channel	8
Sampling Depth	256
Input Range	1 V
Voltage Noise	< 1 mV RMS
ADC resolution	12 bits @ 1 GHz
Conversion time	4 μ s
Trigger	External

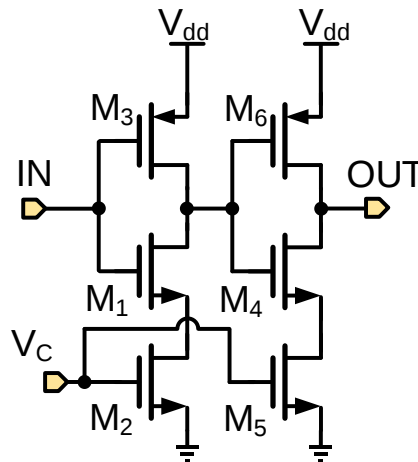
采样时钟产生电路

◆ 高采样率实现方法

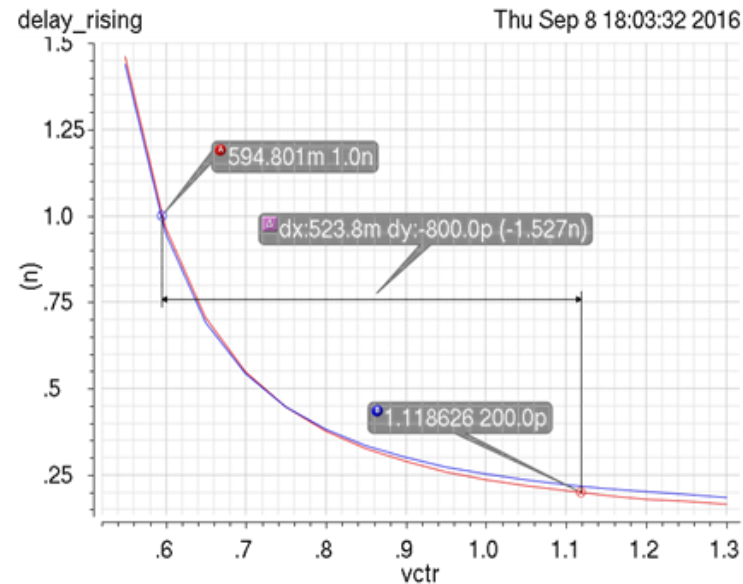
- 多相位时钟，等效高速采样
- DLL+整形电路



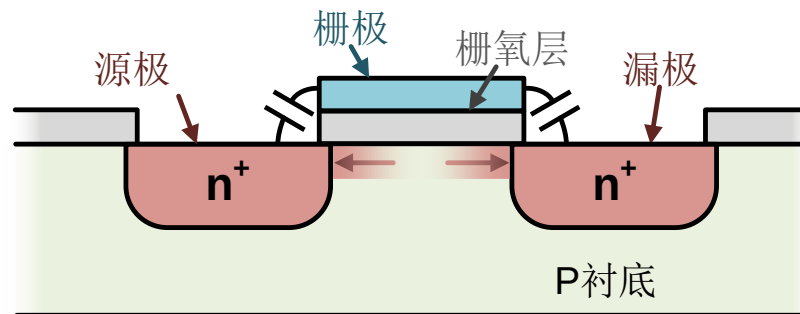
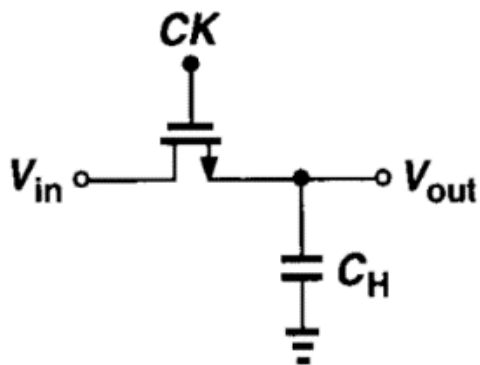
双边电流饥饿型延时单元



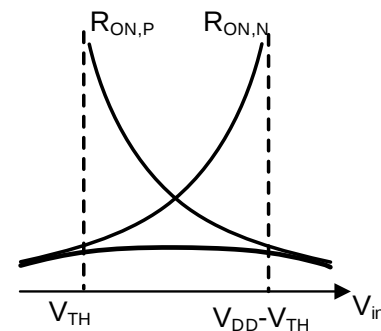
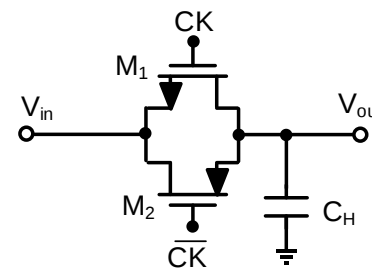
单边电流饥饿型延时单元



采样保持电路



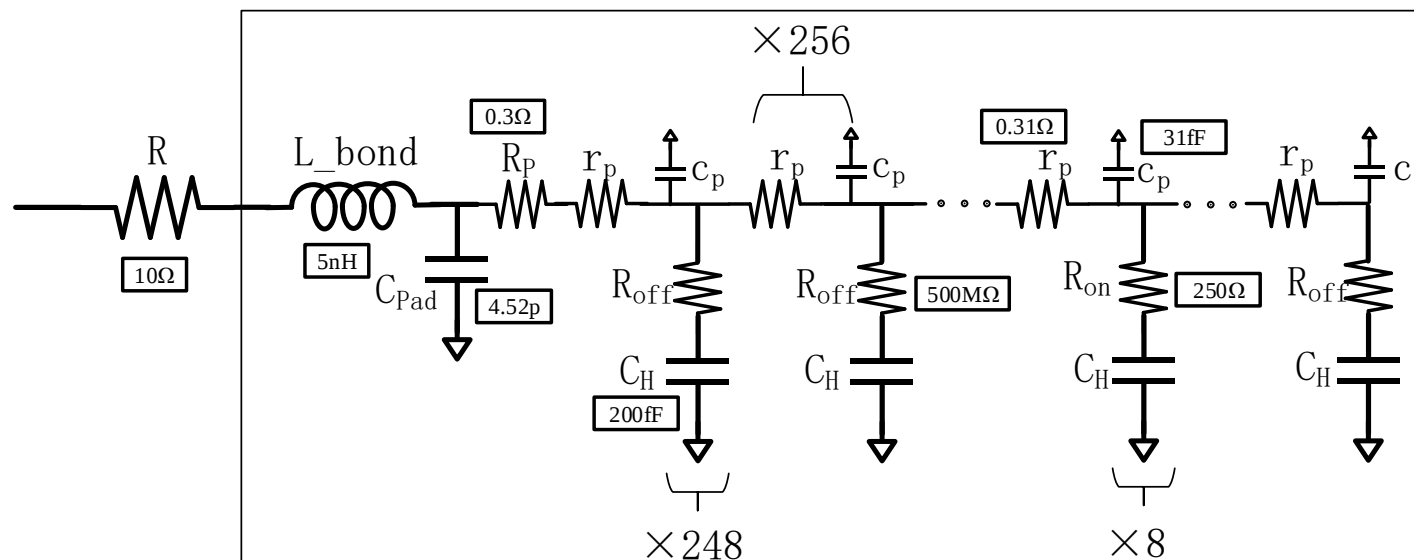
电荷注入与时钟馈通



导通电阻

◆ 采保电路设计考虑

- 结构简单的MOS开关
- 电荷注入效应
- 时钟馈通效应
- 导通电阻不平坦 (谐波失真)
- 开关跟随速度
- KT/C 噪声
- 输入带宽

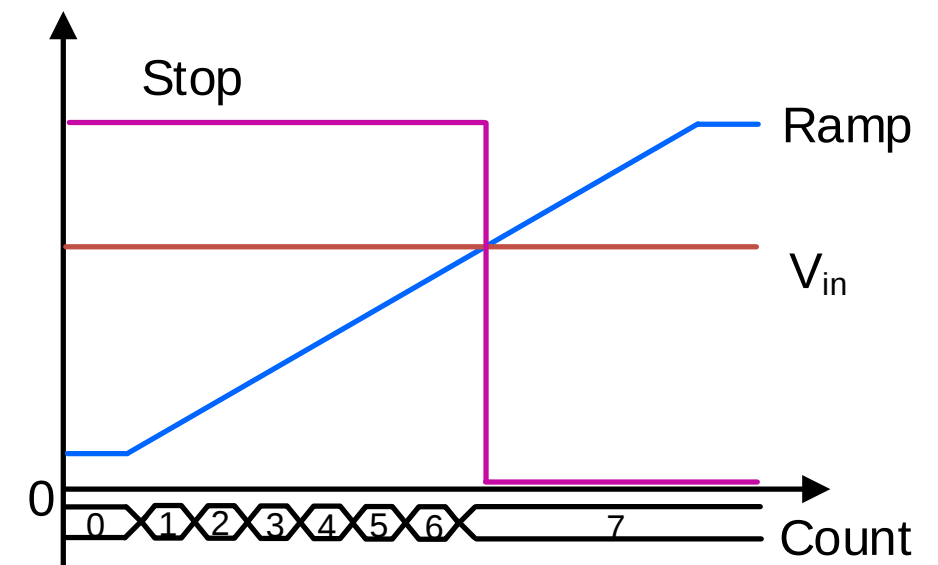
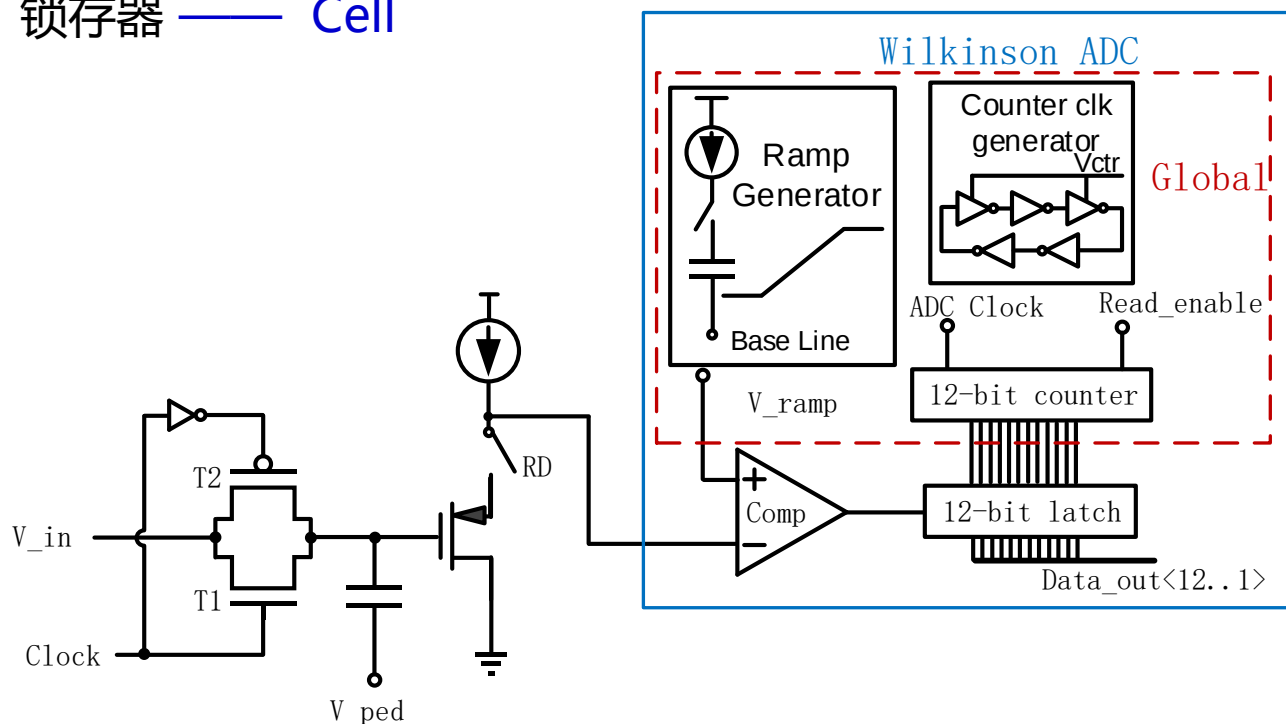


采样单元相关RLC网络原理示意图
(带宽从左向右减小)

片内量化电路

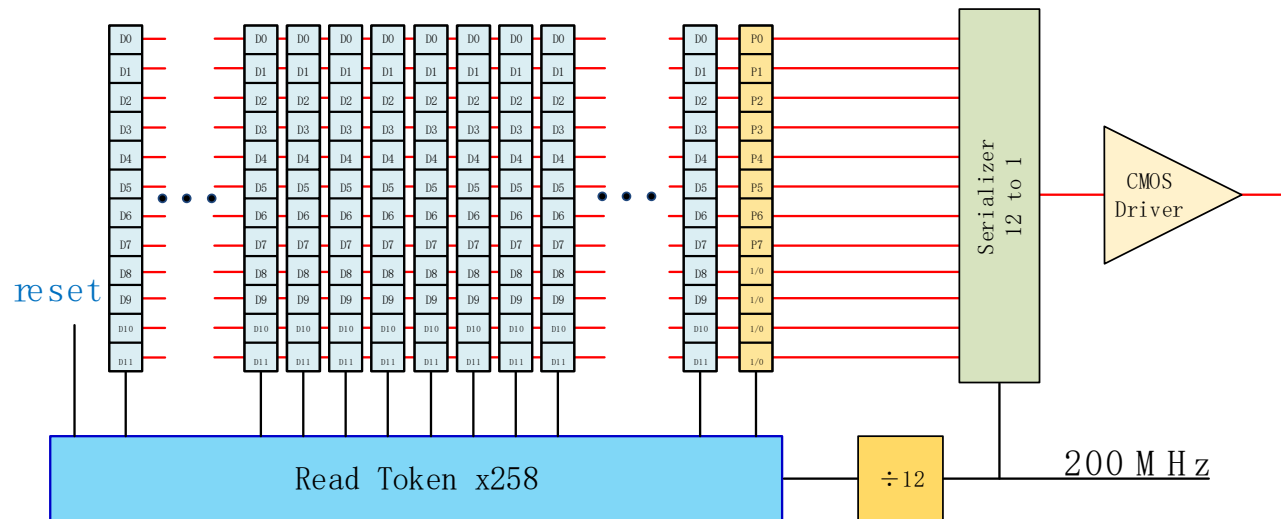
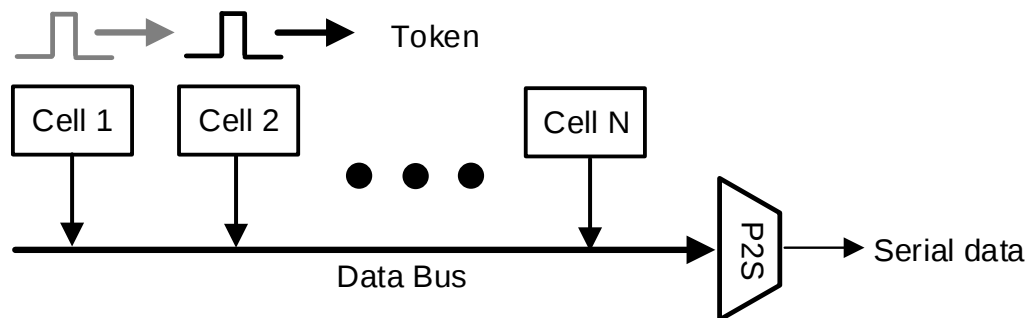
◆ Wilkinson ADC

- 比较器 —— Cell
- Ramp电路 —— Global
- 计数器 (时钟电路) —— Global
- 锁存器 —— Cell



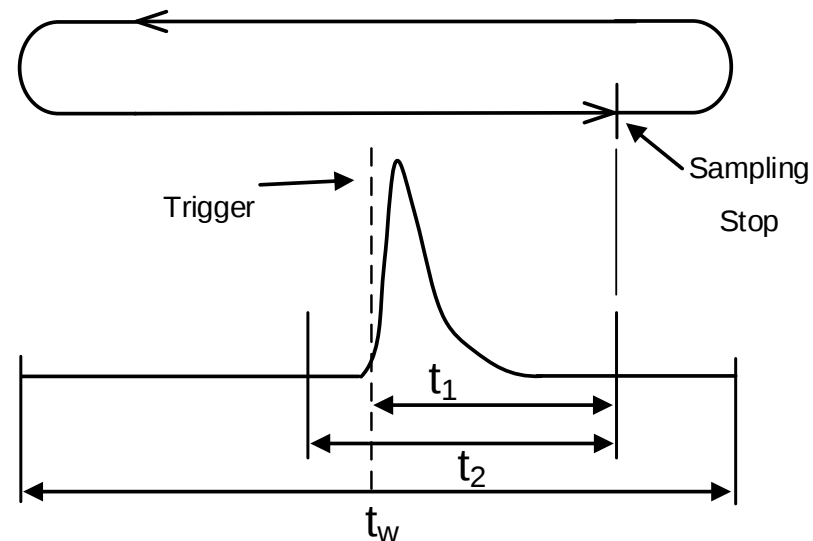
读出控制电路

◆ “令牌” 传递的方式实现

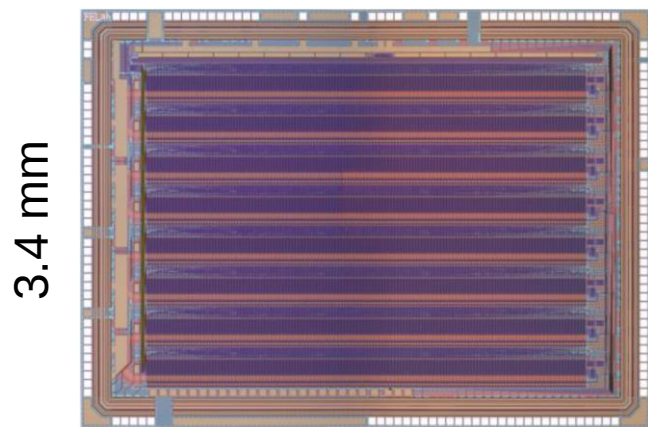
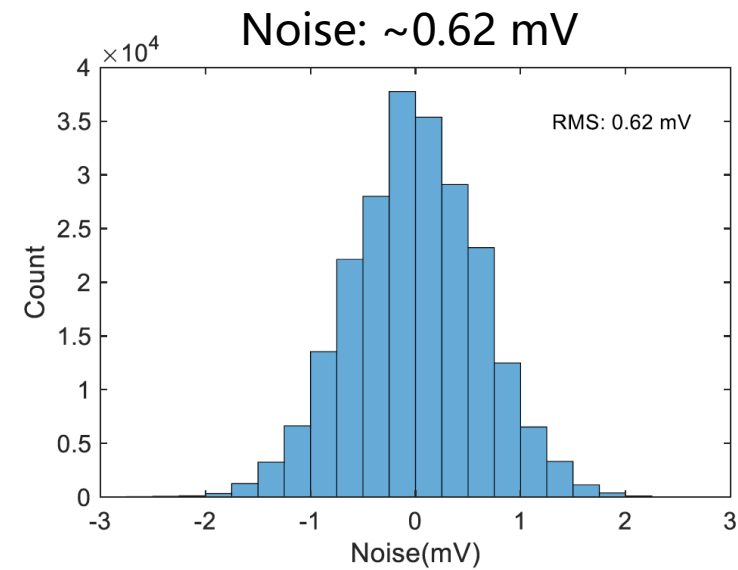
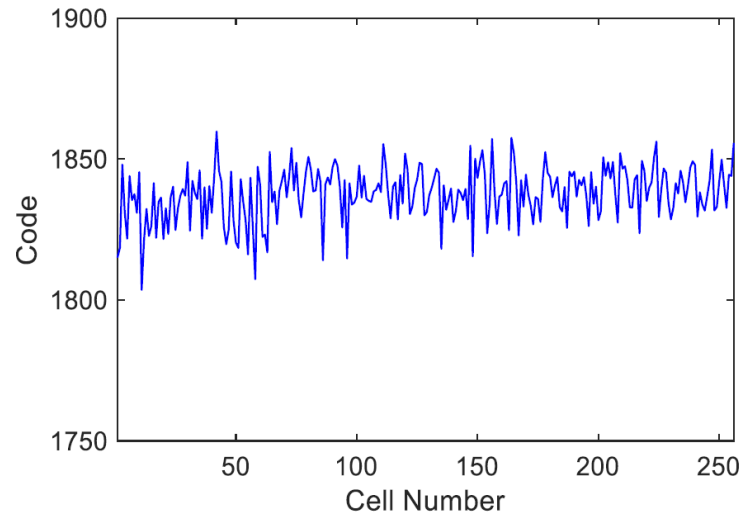
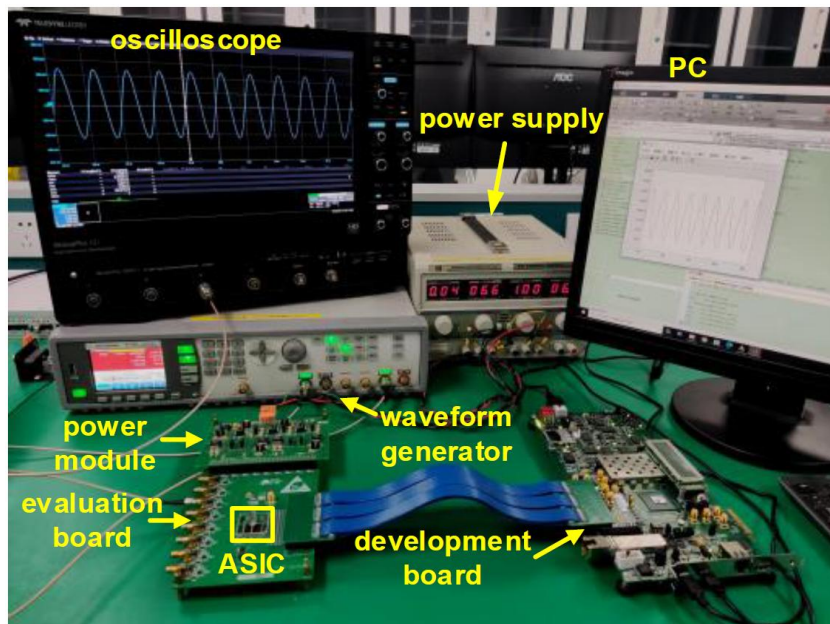


◆ ROI (Region-of-Interesting) 模式

- Trigger后 t_1 停止采样
- 读取停止位置前 t_2 时间内的单元
- 关键在于采样停止位置获取

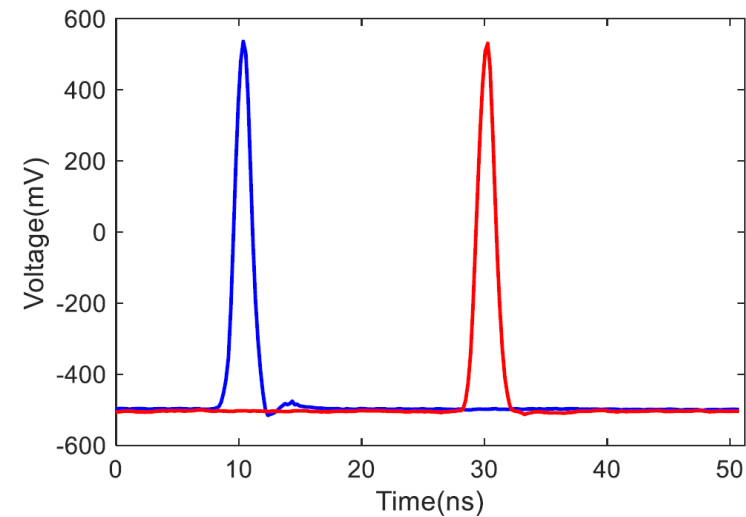
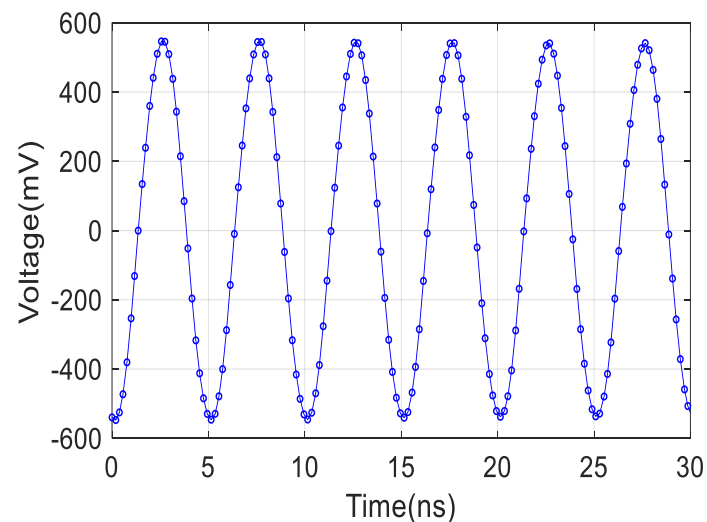


测试结果

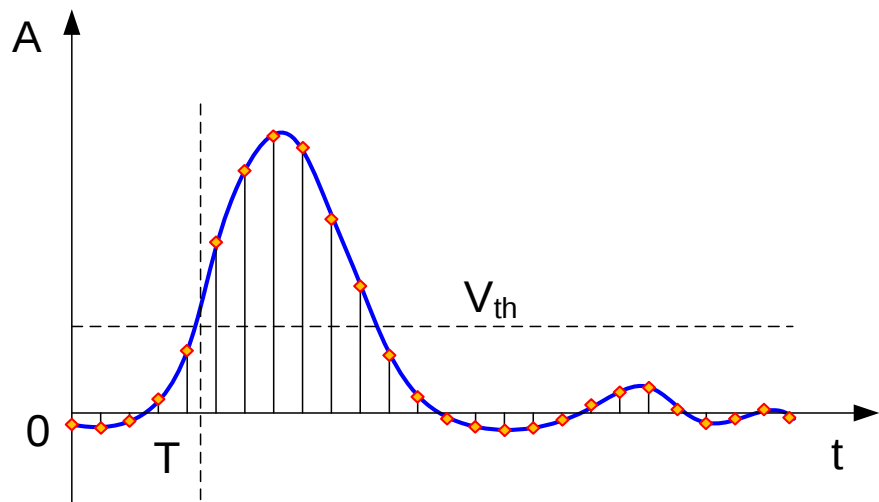


2026/8/9

4.6 mm

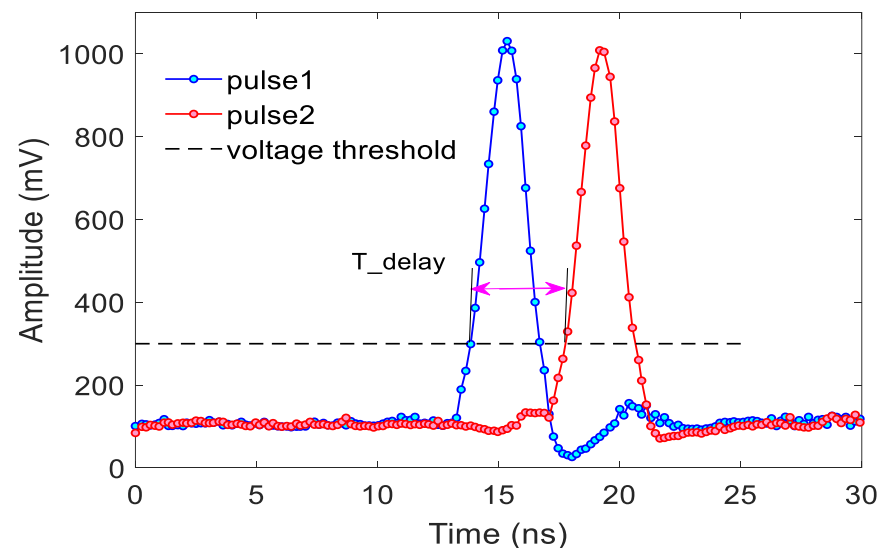
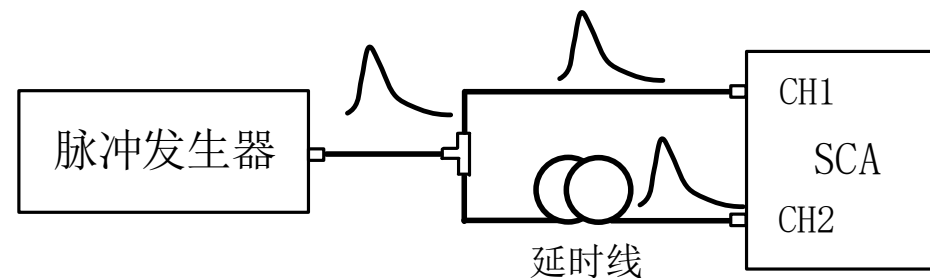


基于SCA的高精度时间测量



❖ 相对于传统时间测量方法优势：

- 最大程度获取原始波形信息
- 高速瞬态采样结合数值拟合和处理得到远超出采样周期(T_s)的精度
- 任意无规则的波形信号处理



采样间隔不一致性修正至关重要！

采样间隔刻度

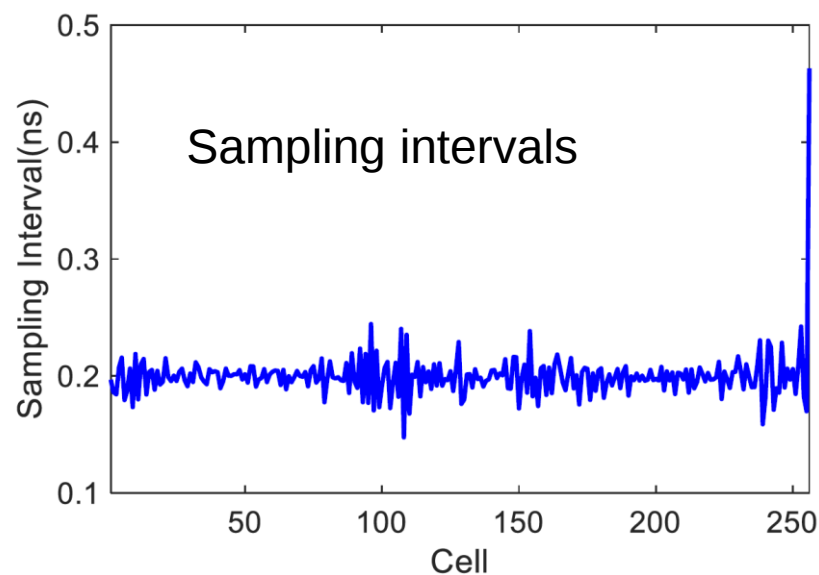
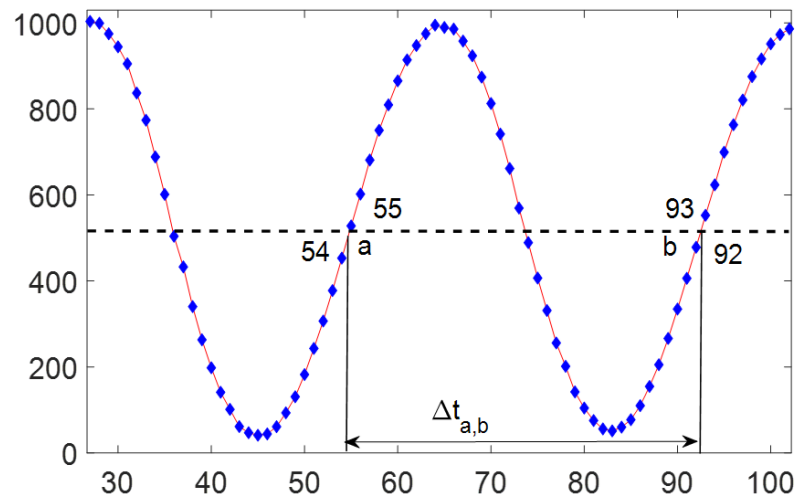
◆ 基于超定线性方程组的时间修正

$$\alpha \Delta t_{n_1} + \sum_{i=n_1+1}^{n_2-1} \Delta t_i + \beta \Delta t_{n_2} = T_S \quad (1)$$

$$\alpha = \frac{V_{n_1+1} - V_{DC}}{\Delta V_{n_1}}, \beta = \frac{V_{DC} - V_{n_2}}{\Delta V_{n_2}} \quad (2)$$

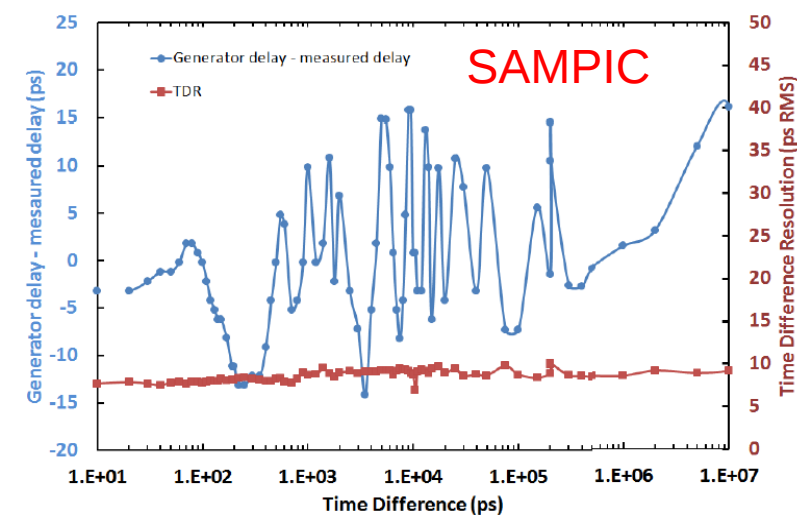
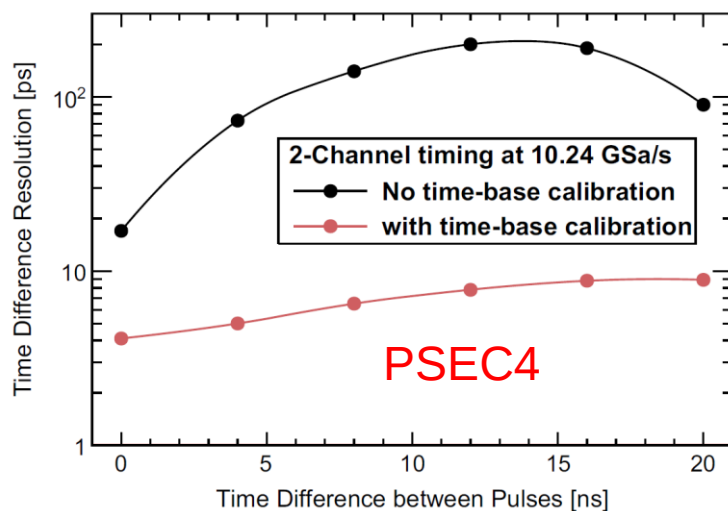
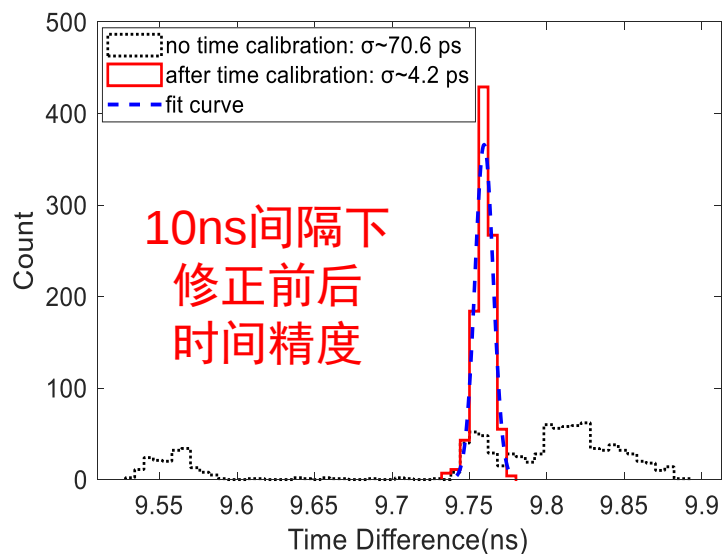
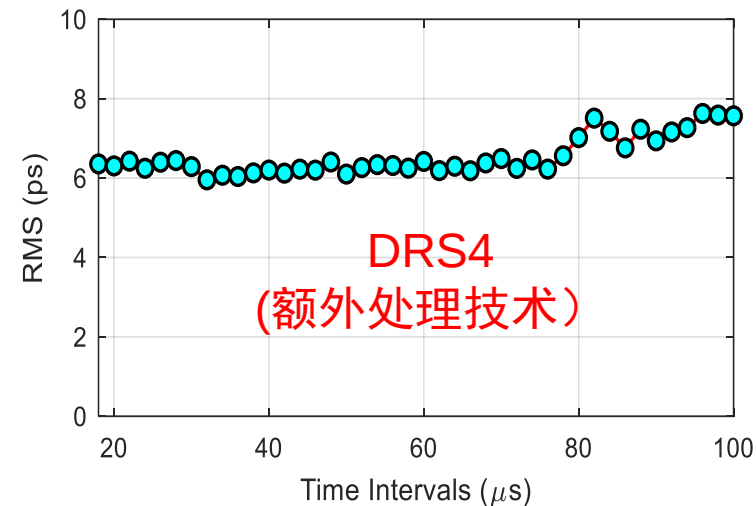
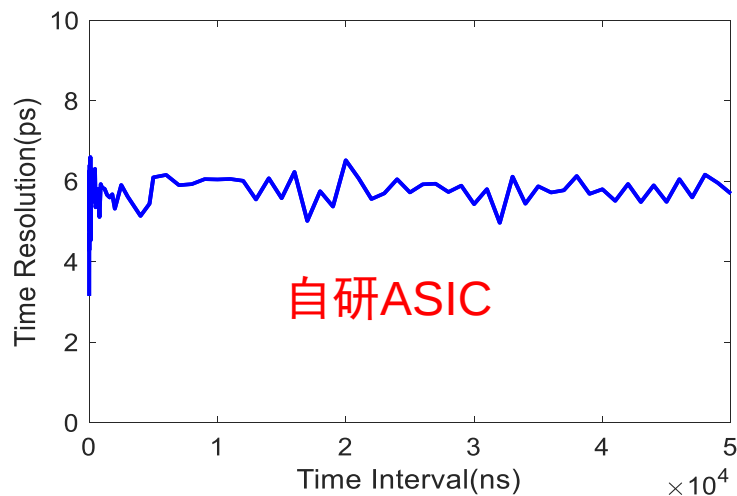
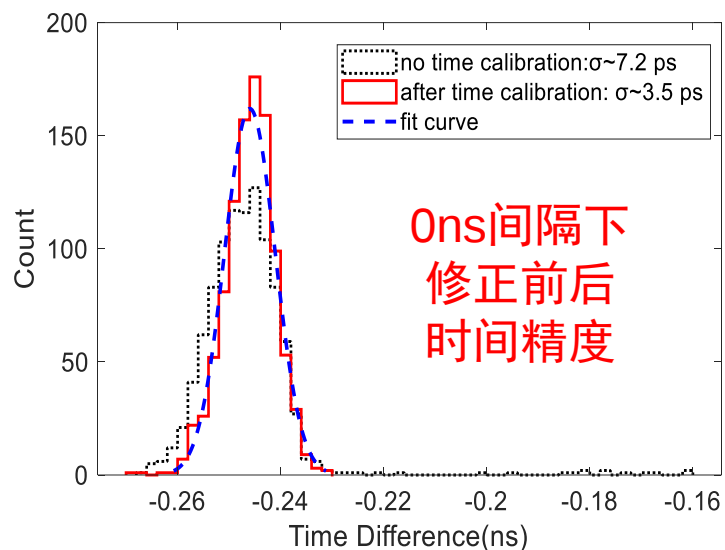
T_S 为输入信号理想周期, α 和 β 为系数

$$\begin{pmatrix} 0 & \cdots & 0 & \underline{\alpha_1} & 1 & \cdots & 1 & \underline{\beta_1} & 0 & \cdots & 0 \\ 0 & \underline{\alpha_2} & 1 & \cdots & 1 & \underline{\beta_2} & 0 & 0 & 0 & \cdots & 0 \\ \cdots & 1 & \underline{\beta_3} & 0 & 0 & \cdots & 0 & 0 & \underline{\alpha_3} & 1 & \cdots \\ \vdots & & & & & & & & & & \\ 1 & \cdots & 1 & \underline{\beta_M} & 0 & 0 & \cdots & 0 & \cdots & 0 & \underline{\alpha_M} \end{pmatrix} \cdot \begin{pmatrix} \Delta t_1 \\ \Delta t_2 \\ \Delta t_3 \\ \vdots \\ \Delta t_N \end{pmatrix} = \begin{pmatrix} T_S \\ T_S \\ T_S \\ \vdots \\ T_S \end{pmatrix}$$



时间精度测试

自研ASIC在大动态范围下具有时间测量的优势



目录

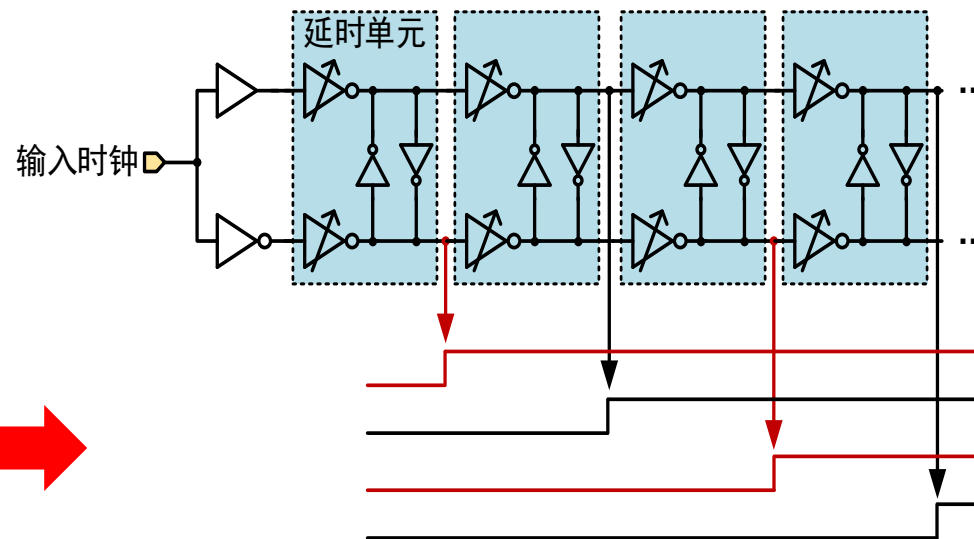
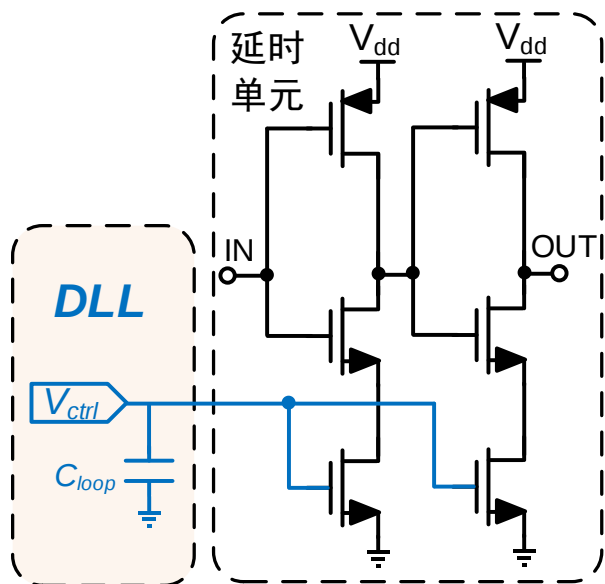
- ❖ 研究背景
- ❖ 5 Gsps采样率原型ASIC设计
- ❖ 10 Gsps采样率原型ASIC设计
- ❖ 总结

10Gps SCA设计目标

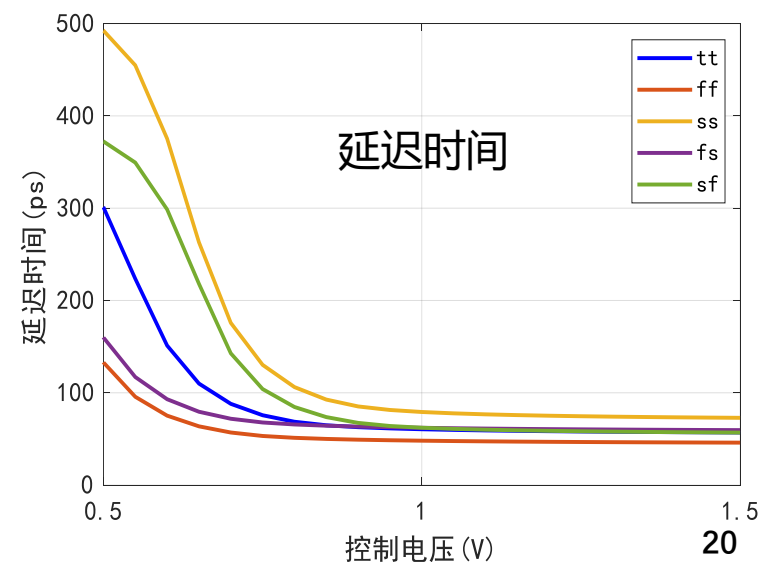
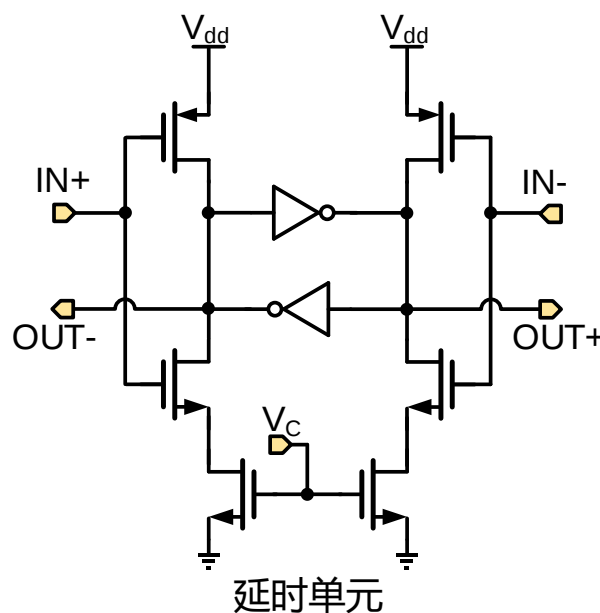
- ❖ 高速的脉冲波形前沿要求实现更高的采样率，更重要的是需要与信噪比结合考虑，探索更高采样率的电路结构。
- ❖ 采样率提升的同时，需要实现更高的采样深度，在片内数字化构架下需降低量化电路复杂度。
- ❖ 模拟带宽的不连续导致信号失真，为必须解决的重要问题。

指标名	指标描述
芯片工艺	0.18 μm CMOS
通道数	8
采样深度	512
数字化方式	片内
采样率	10 ~ 15 Gps
模拟带宽	> 1 GHz
输入动态范围	> 1 V
RMS噪声	< 1 mV

采样时钟产生电路

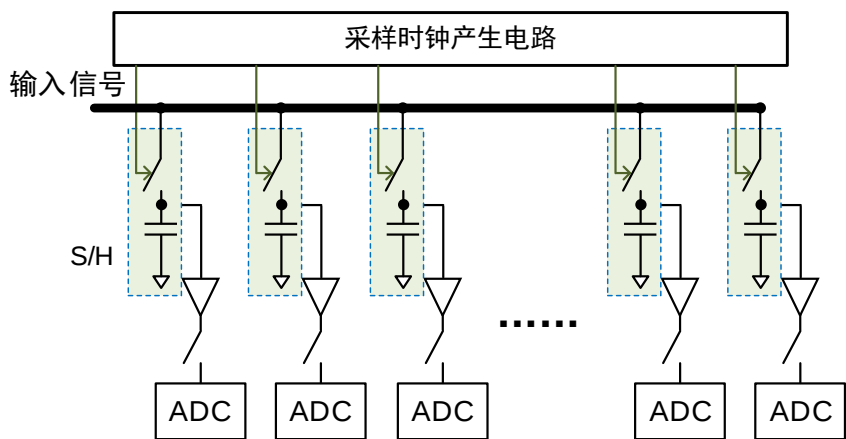


- 使用双链内插压控延时链结构
- 延时：仅为一级反相器延时，突破了传统结构的限制

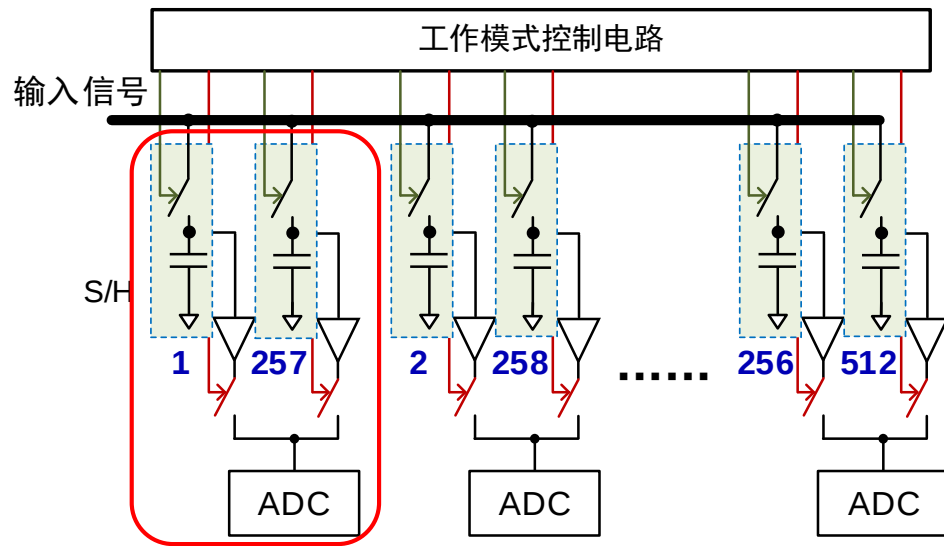


- 需要两级反相器结构的电路
- 最小延时：2×反相器延时

片内数字化电路



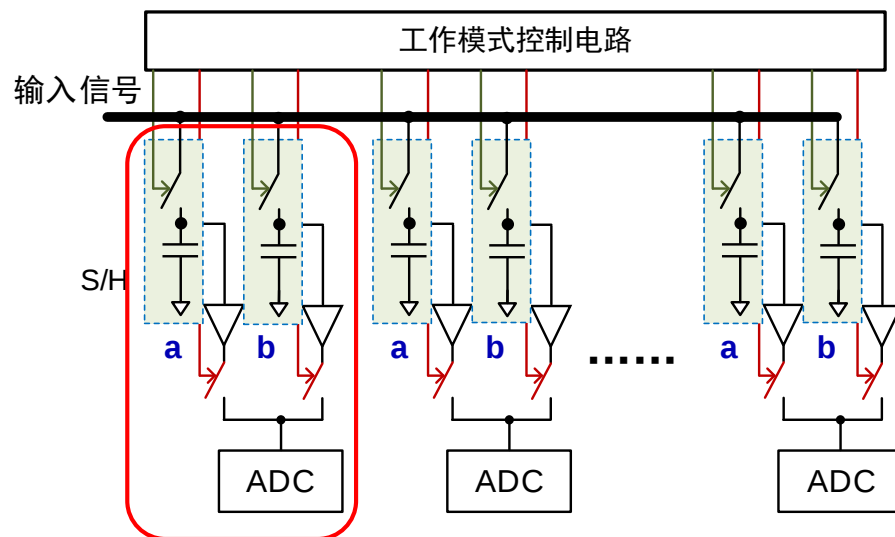
- 采样与量化单元一一对应
 - 一次性量化所有电压值
 - 量化电路占用较多电路资源



- 每个cell两套采保电路，一套量化电路

长链模式

- 两倍的采样深度
- 512深度

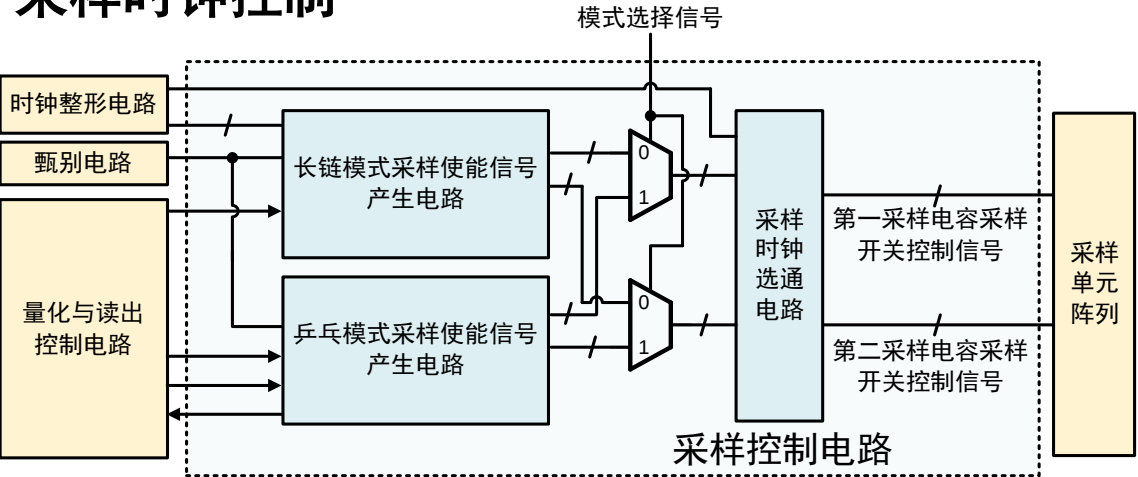


乒乓模式

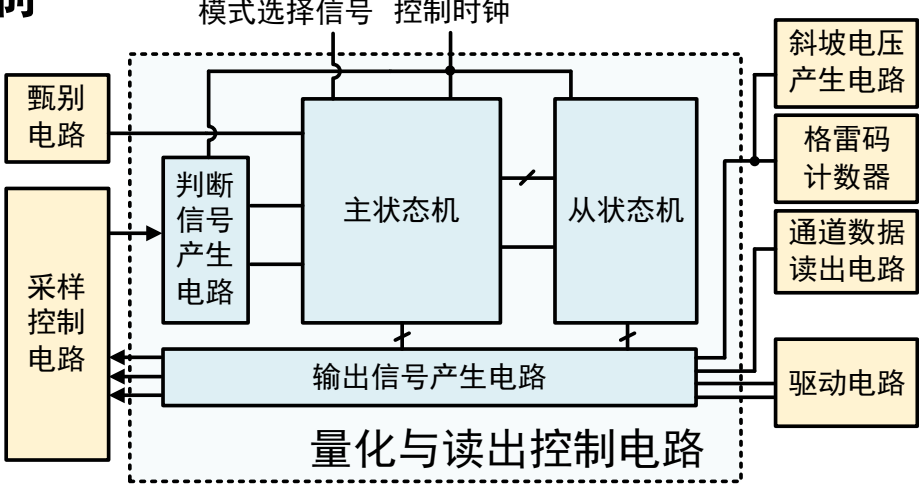
- 短时间内两次触发
- 采样深度256

工作模式控制电路

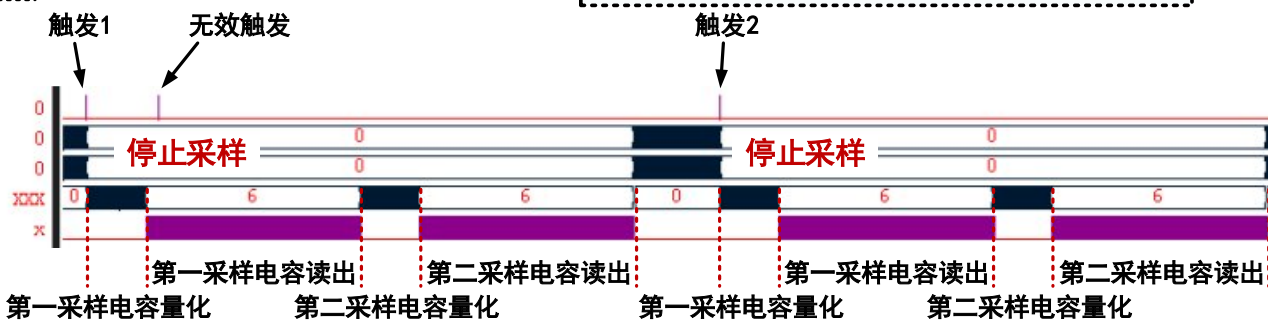
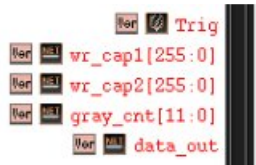
采样时钟控制



量化控制



长链模式仿真：



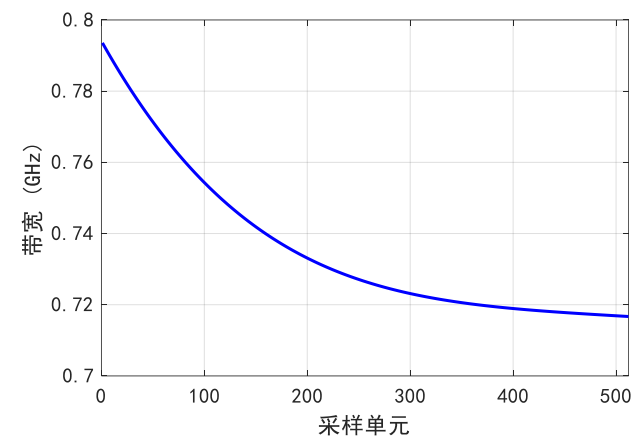
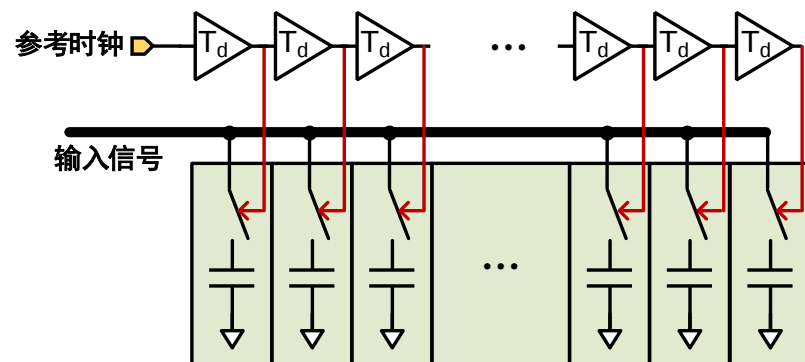
乒乓模式仿真：



带宽优化

- 链形采样顺序

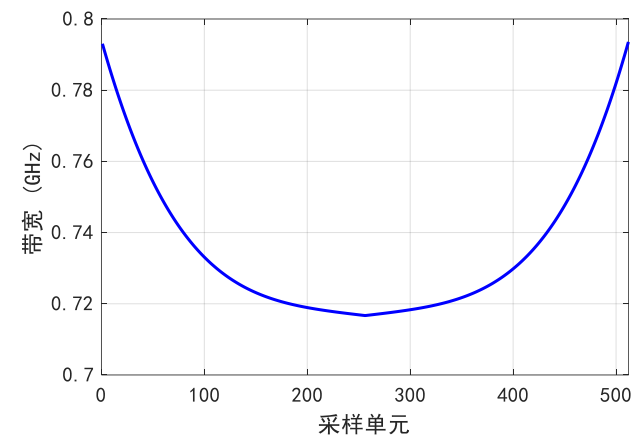
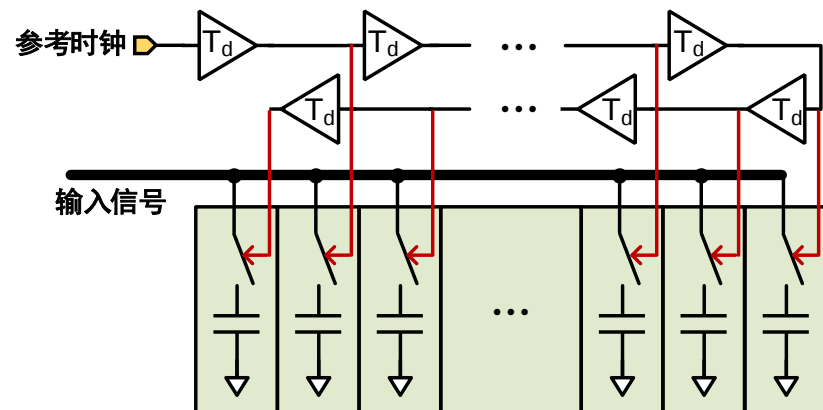
- 带宽存在跳变



- 环形采样顺序

- 带宽连续变化

- 调整压控延时链布局

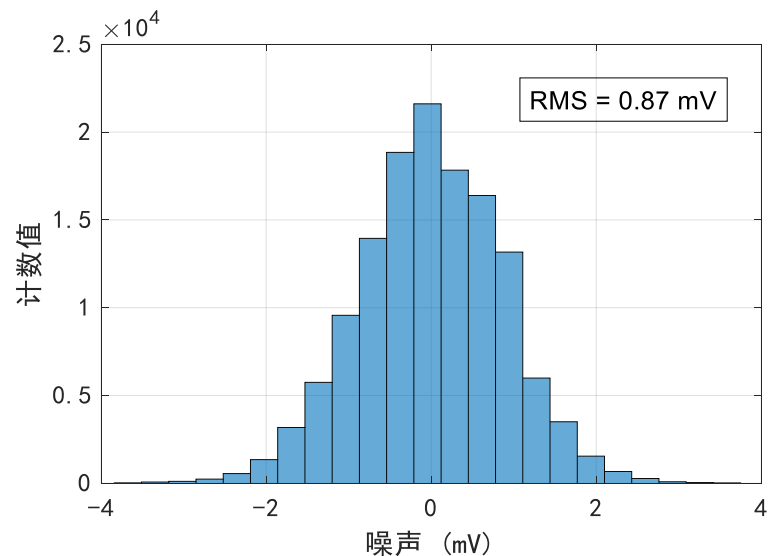


测试结果 – 静态性能测试

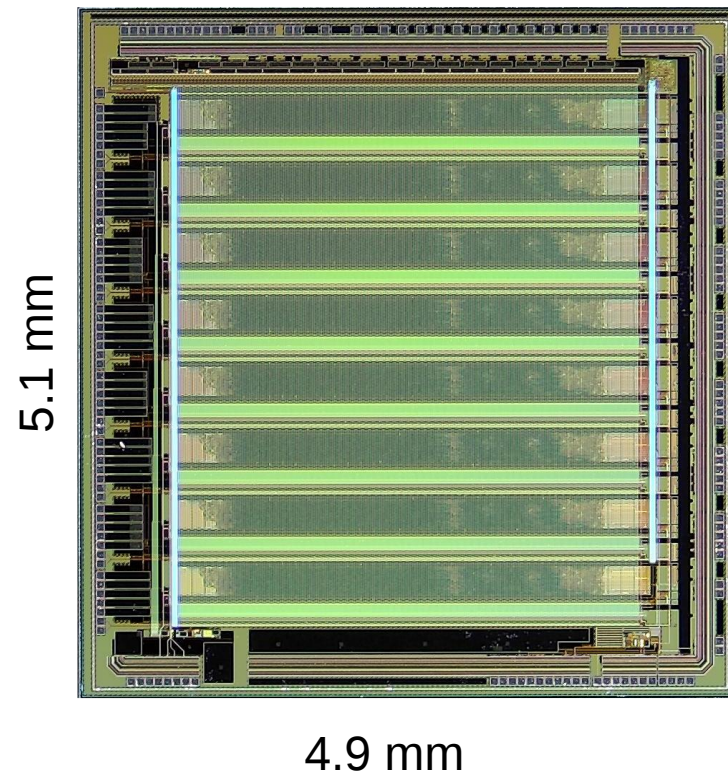
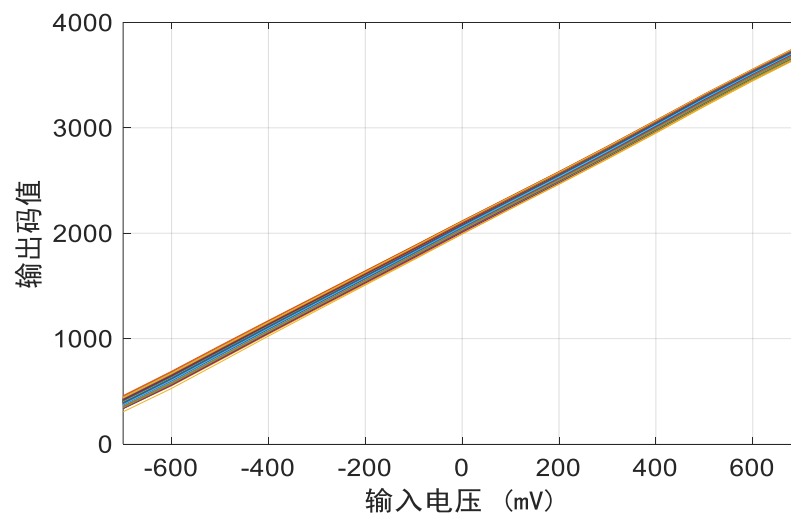
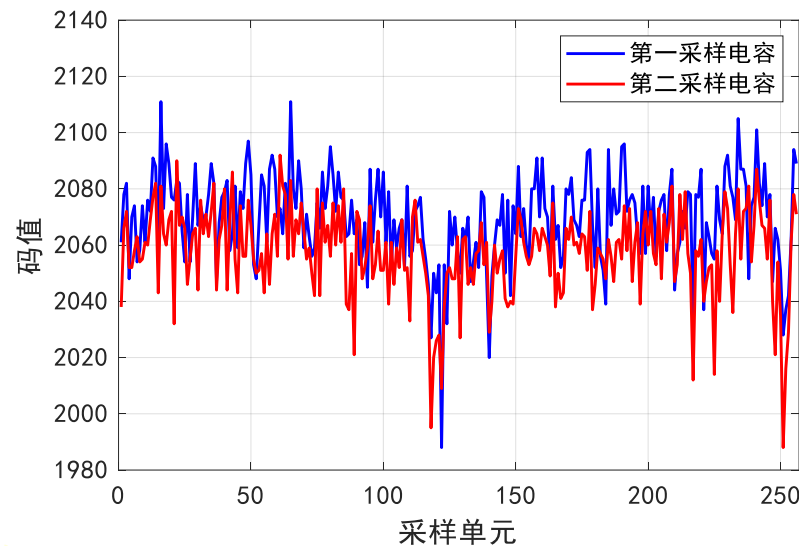
❖ 输入输出转换曲线

– 动态范围1.4 V

– RMS噪声约0.87 mV



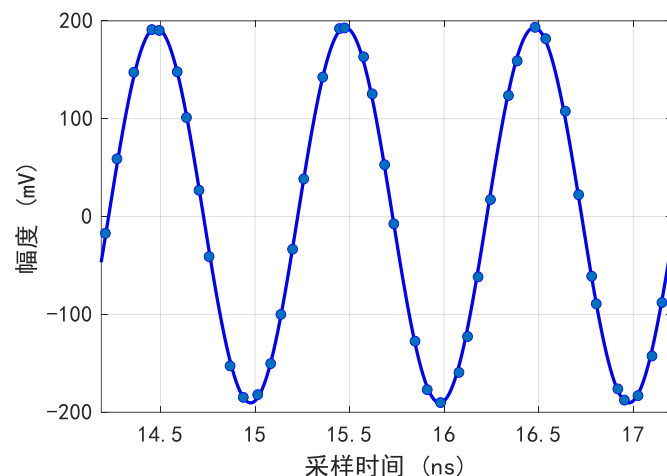
2026/8/9



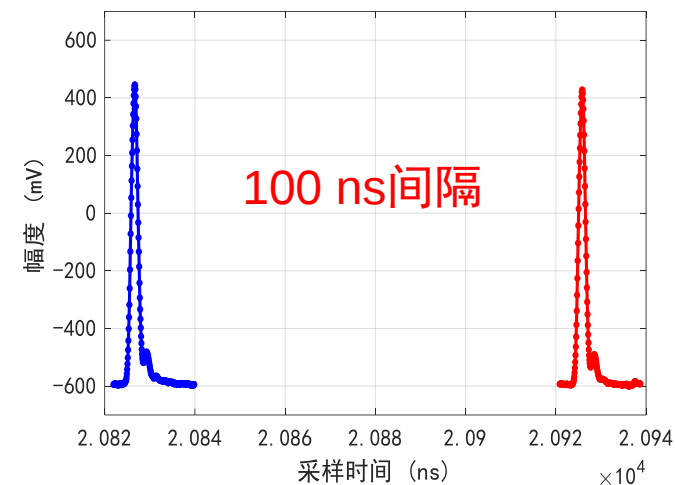
测试结果 – 波形采样

❖ 瞬态波形采样

- 采样率：14.25 Gsps
- 全读出事例率：50 kHz

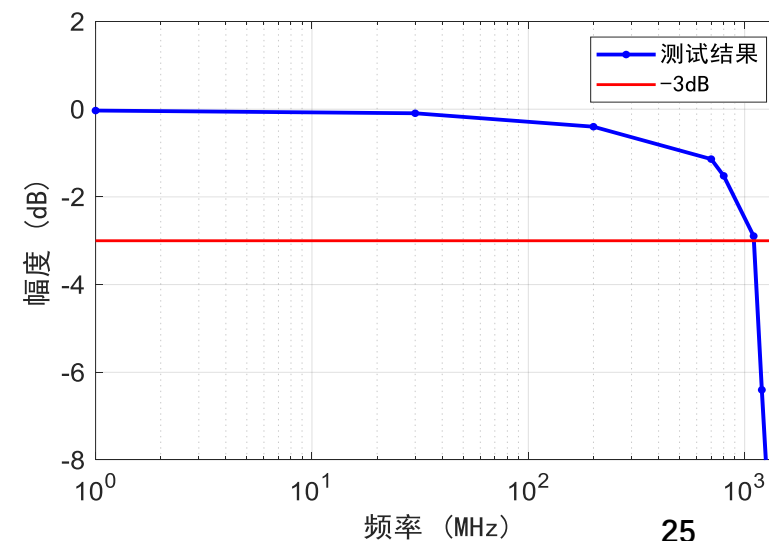
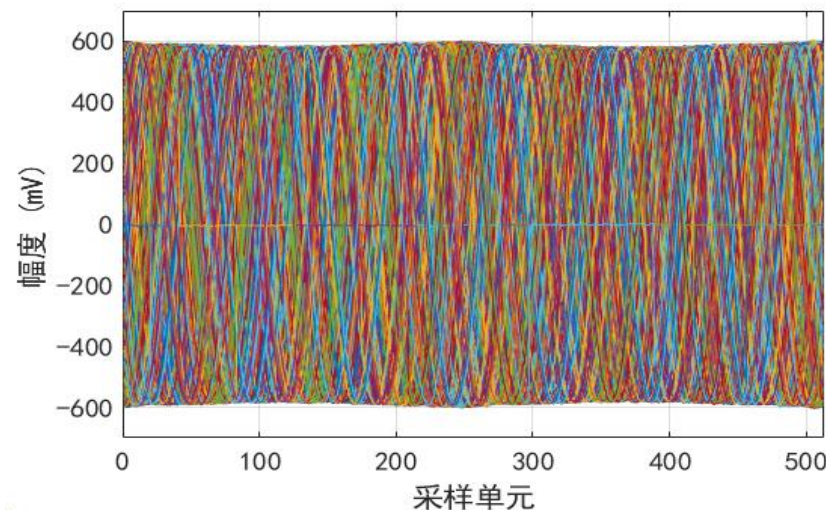


1 GHz正弦波

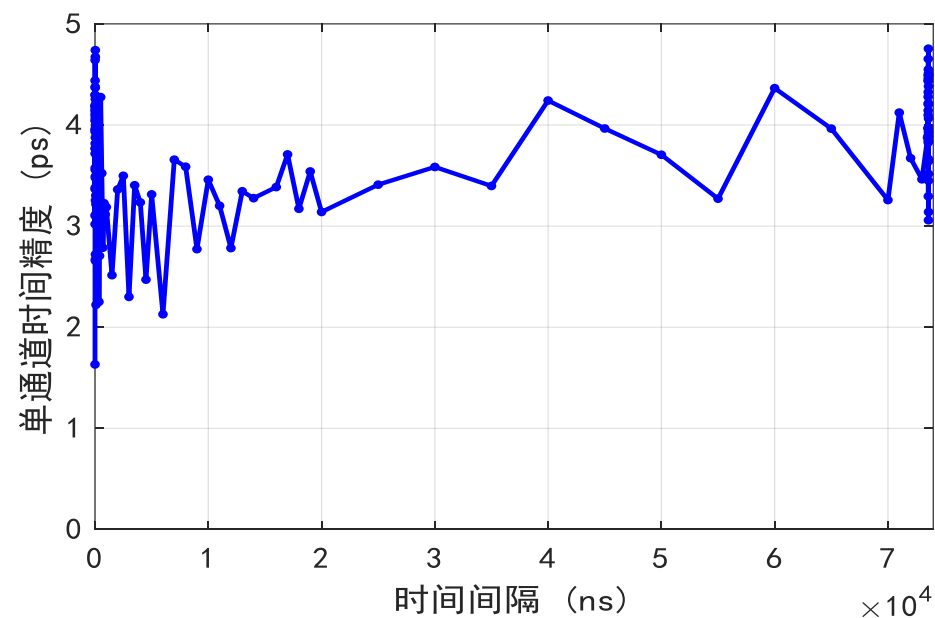
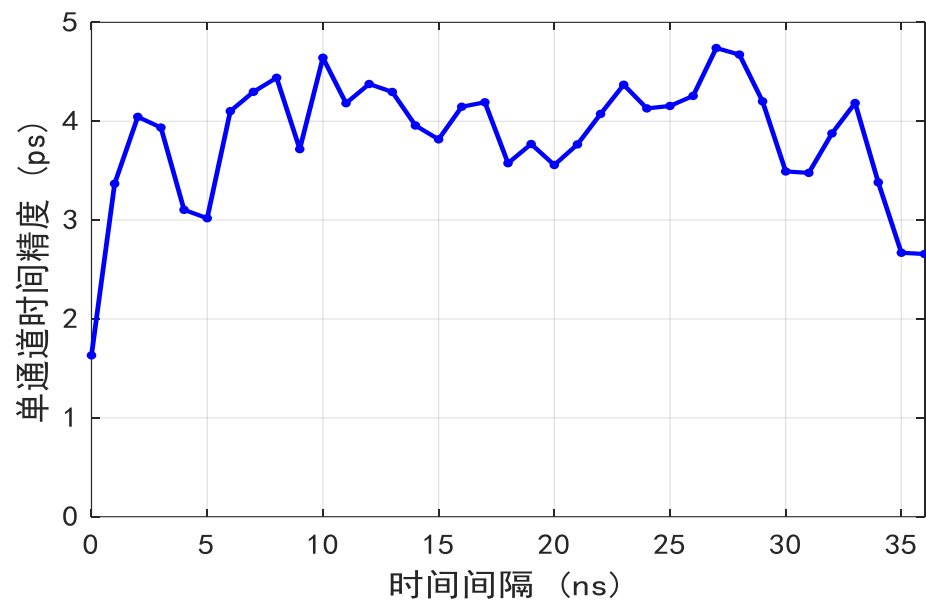


乒乓模式下两次连续触发

采样单元间波形连续变化
-3 dB带宽约1.1 GHz



测试结果 – 时间精度



❖ 全量程好于5 ps RMS

总结

- 波形数字化可获取原始信号波形，通过数字信号处理灵活提取信息
- SCA实现高速波形数字化具有高采样率、高集成度和低功耗等优势
- 5 Gsps采样率SCA原型ASIC芯片
 - 8通道256采样深度
 - 大动态范围内实现好于7 ps时间测量精度
- 10 Gsps采样率SCA原型ASIC芯片
 - 采样率最高14.25 Gsps
 - 8通道256/512采样深度
 - 支持长链模式和乒乓模式
 - 大动态范围内实现好于5 ps时间测量精度

Thanks!