



中国科学院高能物理研究所
Institute of High Energy Physics, CAS

基于55nm标准CMOS工艺的SPAD探测器 与TIA读出单片集成芯片研制

中国科学院高能物理研究所



报告人：黄文豪^{1,2}、赵梅^{1,2}、严雄波^{1,2}、叶竞波¹

日期：2026.8.12

1.中国科学院高能物理研究所 2.中国科学院大学



第二十三届核电子学与核探测技术学术年会

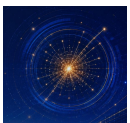
目录▶

① 背景介绍

② 芯片设计

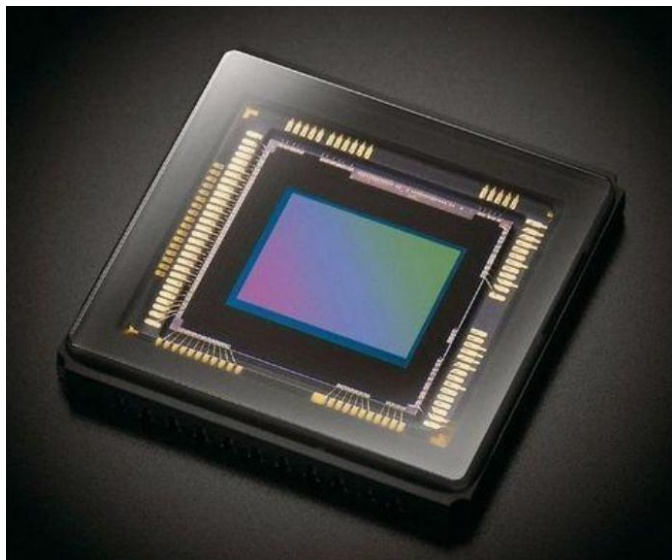
③ 测试结果

④ 总结



■ 背景介绍

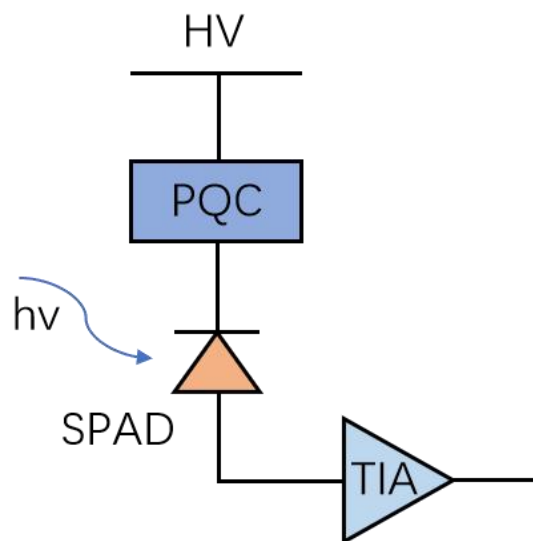
- 单光子雪崩二极管（SPAD）是一种具有极高灵敏度的半导体光电探测器，已成为微弱光传感领域的关键技术。SPAD广泛应用于高能物理、医学显像、荧光寿命及激光雷达等前沿领域。
- 传统的 SPAD 探测系统受限于分立器件巨大的寄生参数，难以兼顾高速度与高信噪比。标准 CMOS 工艺为探测器与电路的低成本、大规模共集成提供了可能。本研究采用 55nm 标准工艺，将探测器与淬灭电路和跨阻放大器（TIA）进行单片集成，可以降低互连线的寄生电容，实现了更高的信噪比与像素集成密度。



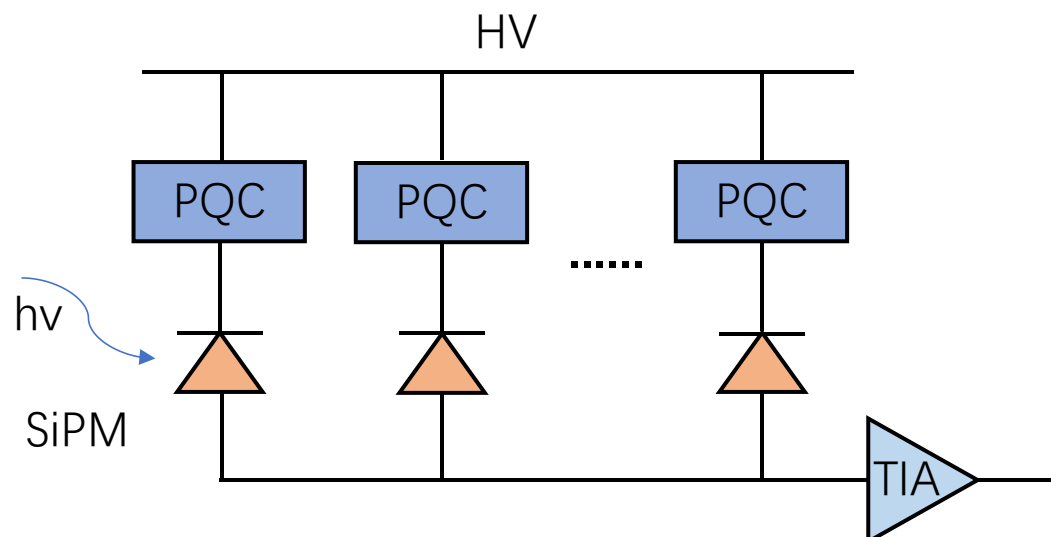


■ STIC芯片介绍

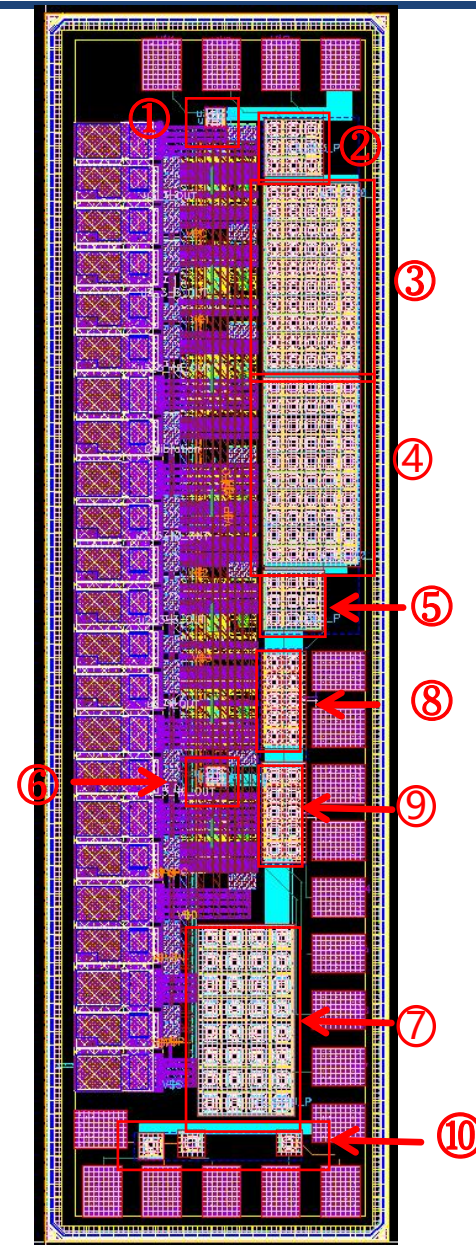
- 基于55nm标准工艺制备SPAD探测器与SiPM阵列，并将其与跨阻放大器（TIA）和被动淬灭电路（PQC）单片集成，最终实现具有片上前端的探测器芯片——STIC（SPAD TIA Integrated Circuit）
- STIC芯片整体版图如右图所示：
 - ① ⑥：带有PQC和TIA的SPAD
 - ② ③ ④ ⑤ ⑦：带有PQC和TIA SiPM
 - ⑧ ⑨ ⑩：单独的SPAD和SiPM，用于测试探测器的性能



SPAD、PQC与TIA集成的示意图



SiPM、PQC与TIA集成的示意图

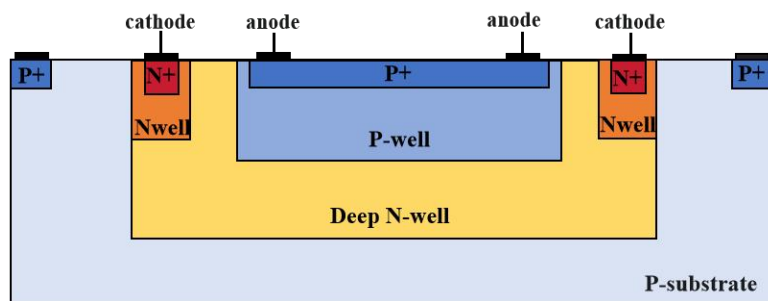




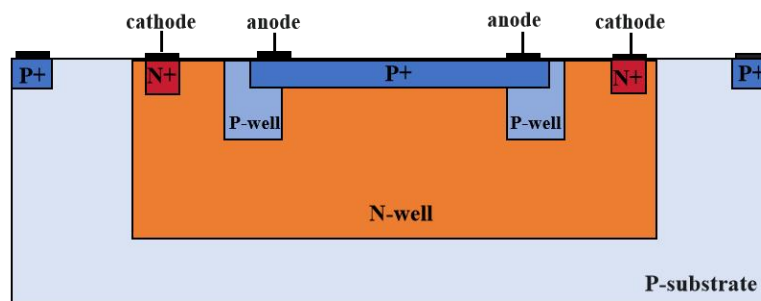
■ 探测器结构与版图

➤ 设计的SPAD有以下两种结构：

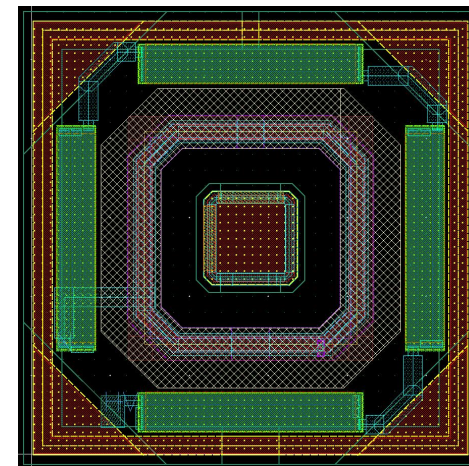
- 结构一采用Pwell层与深N阱来形成PN结作为SPAD、
- 结构二采用P+层和NW层形成PN结作为SPAD。



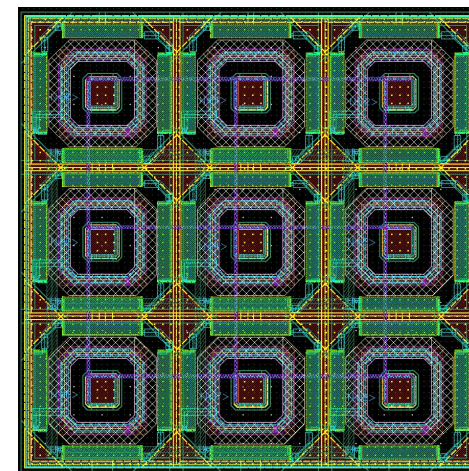
SPAD结构1



SPAD结构2



SPAD结构2版图

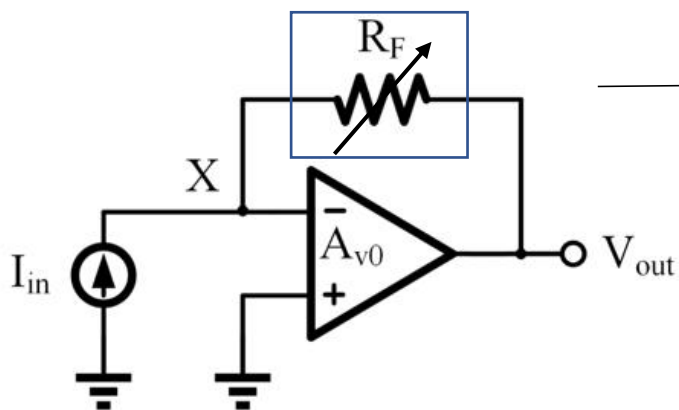


SPAD结构2 3*3阵列



■ TIA结构

- TIA使用了前期验证过的放大器，对其添加了三个不同的反馈电阻来调整TIA的跨阻增益用于应对SPAD及SiPM不同的增益，内部集成3档可调反馈电阻，通过晶体管开关进行配置。
- 仿真所得不同反馈电阻可以应对的SPAD/SIPM产生电子数如下表所示



TIA结构

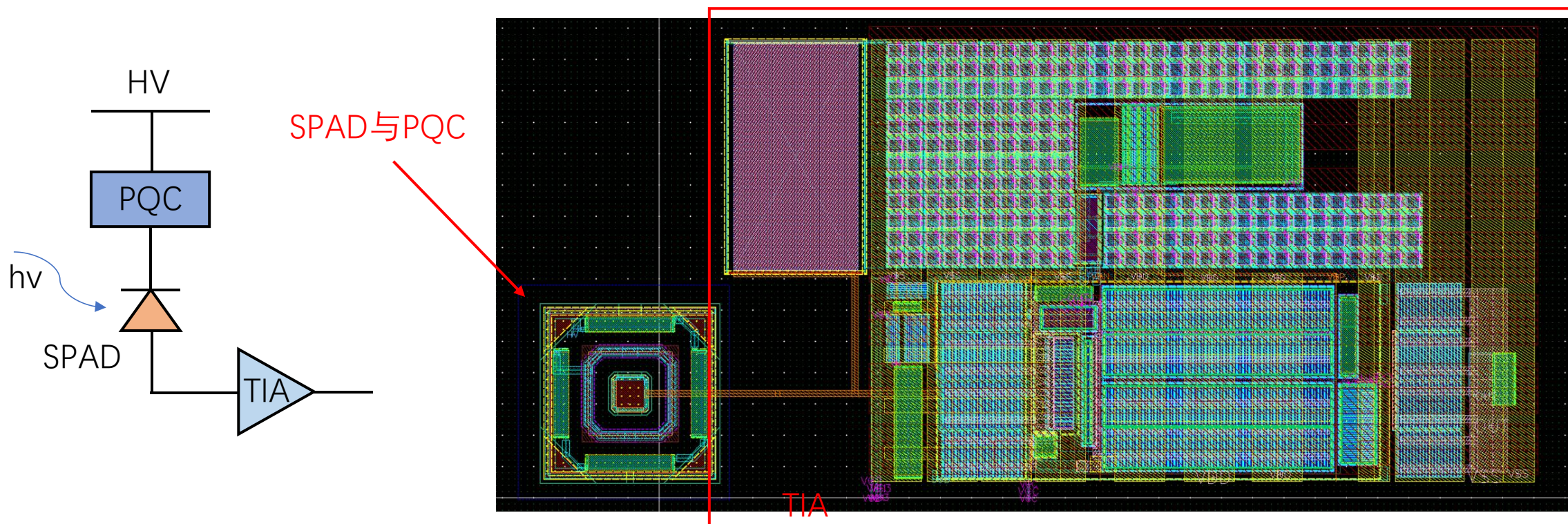
反馈电阻 R_F	对应SPAD/SIPM产生电子数
500 Ω	$(6.21 \times 10^5 \sim 1 \times 10^7)$
3000 Ω	$(9.80 \times 10^4 \sim 1.56 \times 10^6)$
12000 Ω	$(2.43 \times 10^4 \sim 3.75 \times 10^5)$



■ 单个SPAD与电子学电路集成

➤ SPAD与电子学电路的集成框图如左图所示，具体版图如右图所示。

- SPAD工作在雪崩状态下，SPAD的N端连接到被动淬灭电路（PQC），PQC由大电阻组成，SPAD的P端连接到TIA的输入端

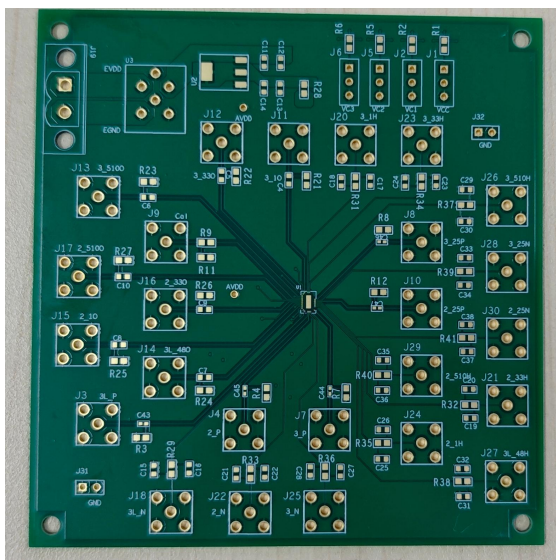


单个SPAD探测器与电子学电路结合的原理图与版图

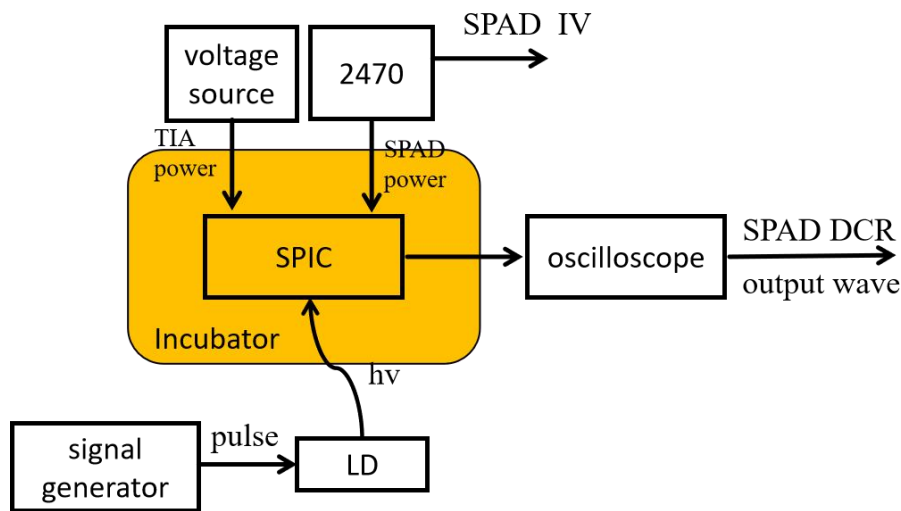


■ 测试方法

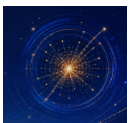
- 本次测试利用示波器，恒压源，2470源表，温箱，信号发生器，LD。
- 测试方案：
 - IV特性测试：温箱 + 2470源表 ➡ 获取不同温度下SPAD的击穿电压。
 - 暗计数率（DCR）与波形测试：温箱 + 恒压源 + 示波器 ➡ 获取不同温度下SPAD的DCR及不同反馈电阻挡位下TIA的输出波形。
 - 感光测试：信号发生器 + LD + 恒压源 + 示波器 ➡ 验证SPAD的光响应功能。



PCB测试板

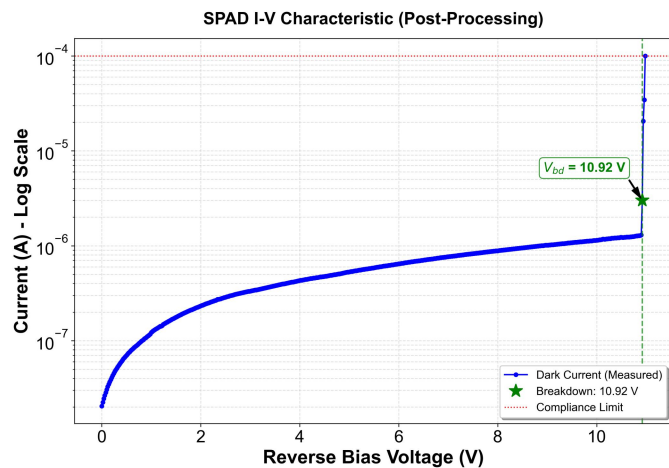


芯片测试框图

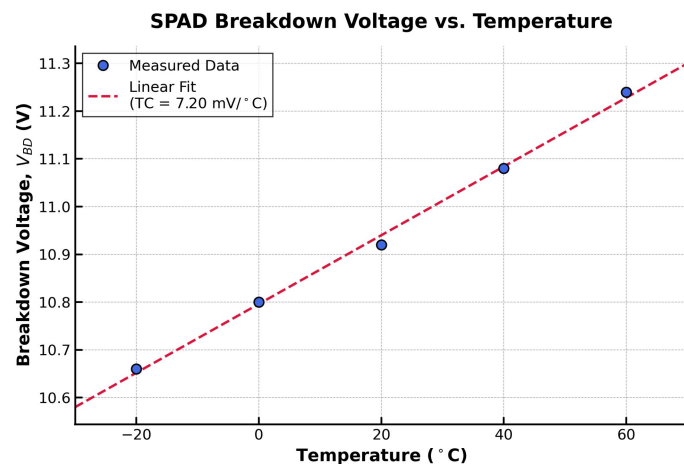


■ 探测器的击穿电压与温度关系

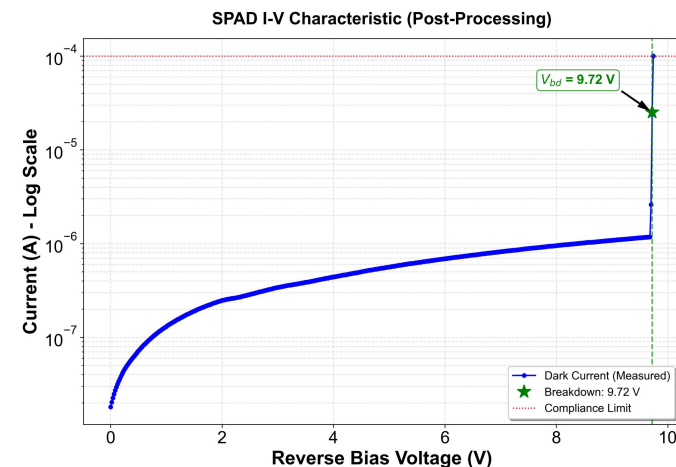
➤ SPAD击穿电压随温度升高呈线性正相关



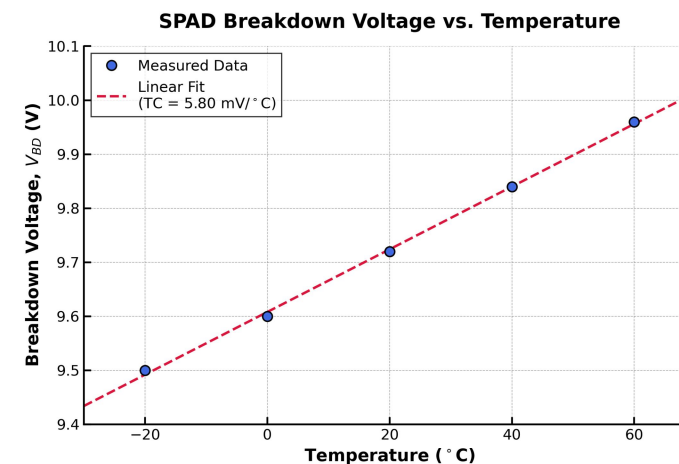
SPADv1 IV曲线 20°C



SPADv1 击穿电压和温度曲线



SPADv2 IV曲线 20°C

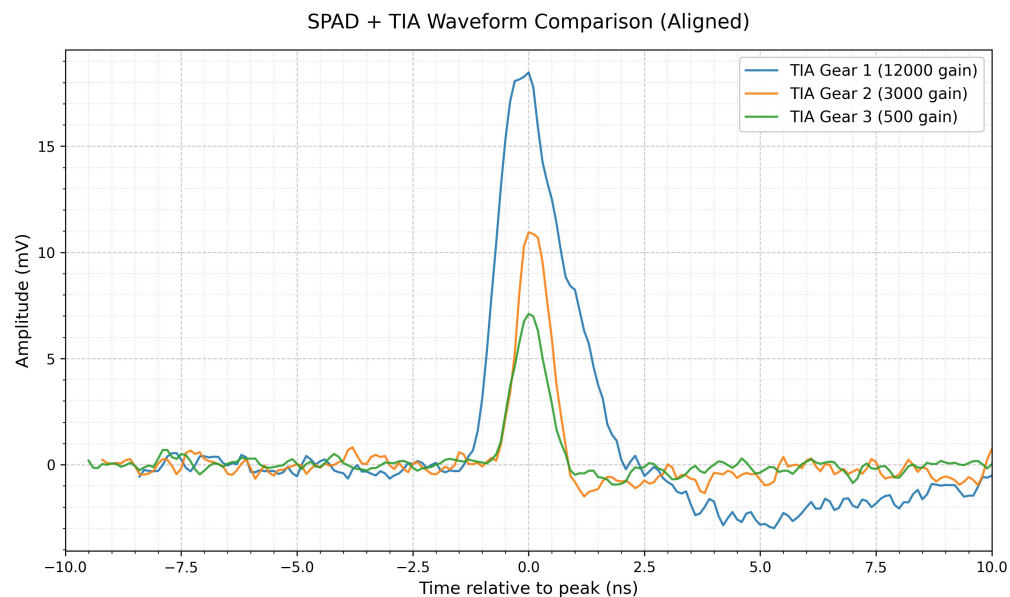


SPADv2 击穿电压和温度曲线

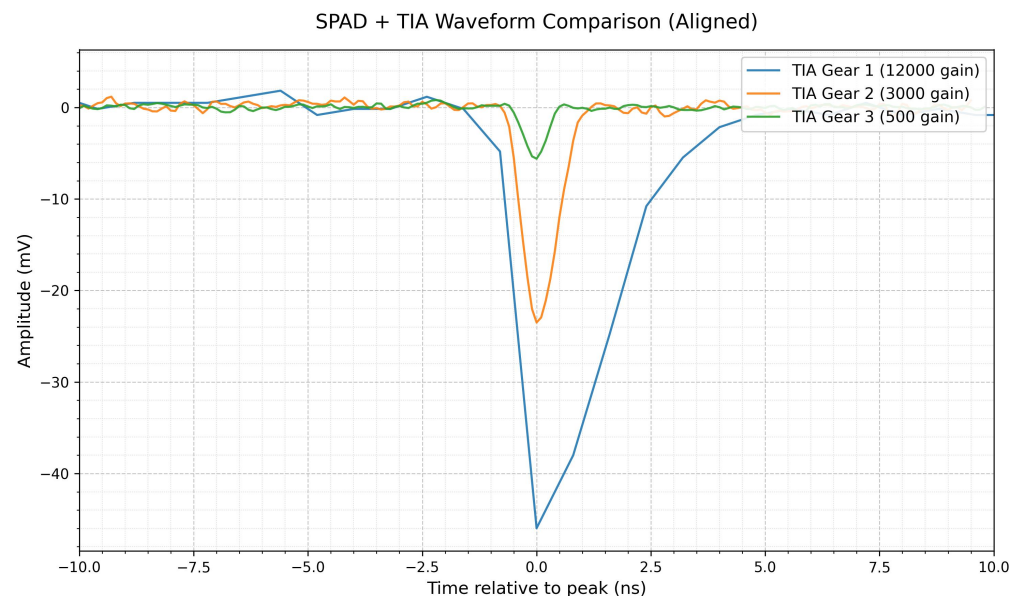


■ 不同TIA挡位下芯片输出的波形

- TIA一共有三种反馈电阻阻值：500Ω，3000Ω，12000Ω。
- 在0.4V过偏压下，根据波形面积理论折算出结构一与结构二的单次雪崩电子数分别约为 3.0×10^4 个与 1.5×10^5 个，落入预设的 TIA 动态范围内，各挡位增益调节功能符合预期。
- SPAD结构二的TIA三个挡位的输出波形宽度依次约为：2ns，4ns，6ns



SPADv1 不同TIA挡位的波形（过偏压为0.4V）

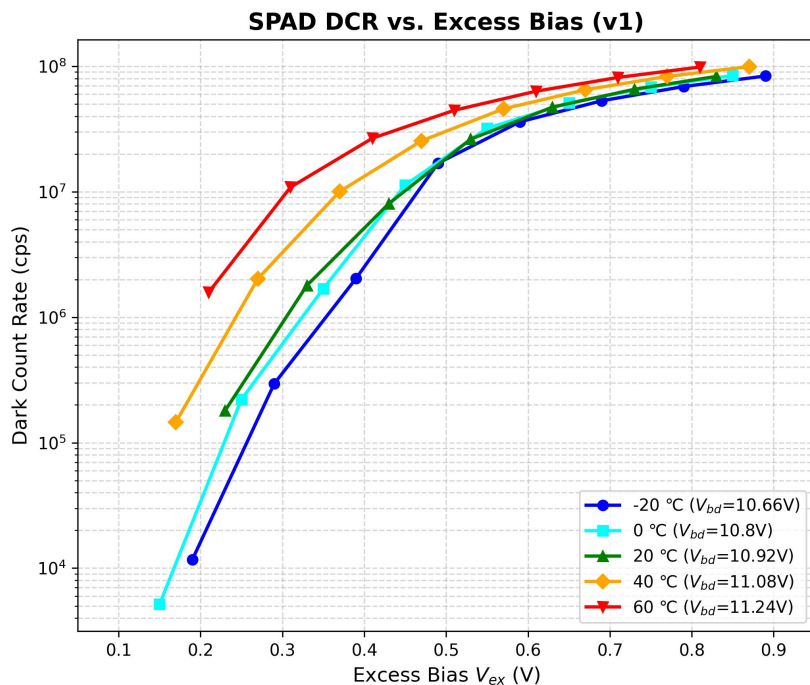


SPADv2 不同TIA挡位的波形（过偏压为0.4V）

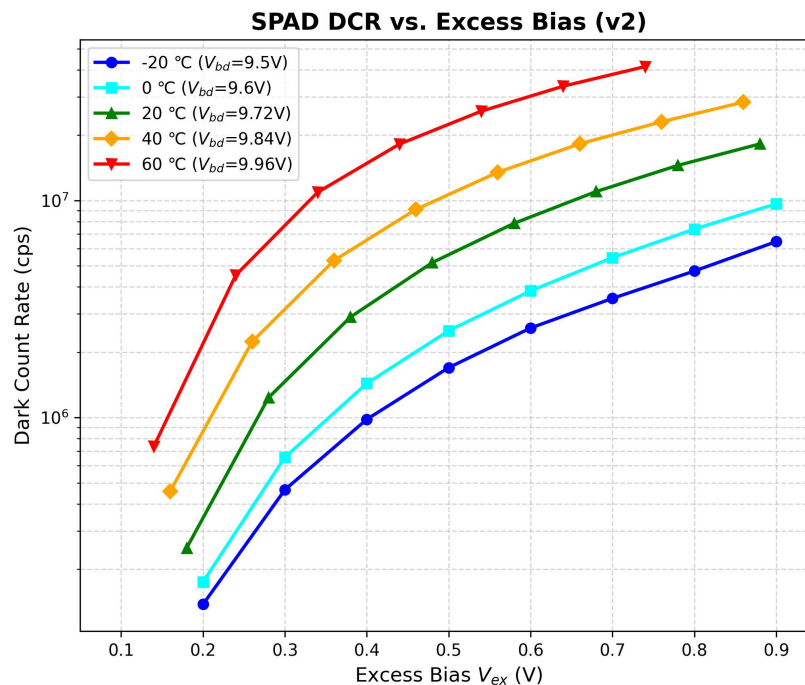


■ SPAD暗计速率

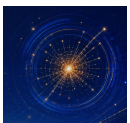
- 测试方式：芯片在温箱中热平衡半小时后，外部加一级放大器输入到示波器中，利用示波器的Edge Counter（边沿计数）功能统计脉冲个数。
- SPAD1（结构一）：低偏压下基本符合热激发规律。高偏压下DCR很接近，温度对DCR的影响减弱。
- SPAD2（结构二）：表现出典型的热激发主导特征，在各偏压下均呈现温度越高、DCR越大的正相关规律。



SPADv1 暗计速率和温度及过偏压的关系



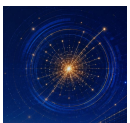
SPADv2 暗计速率和温度及过偏压的关系



■ SPAD感光测试

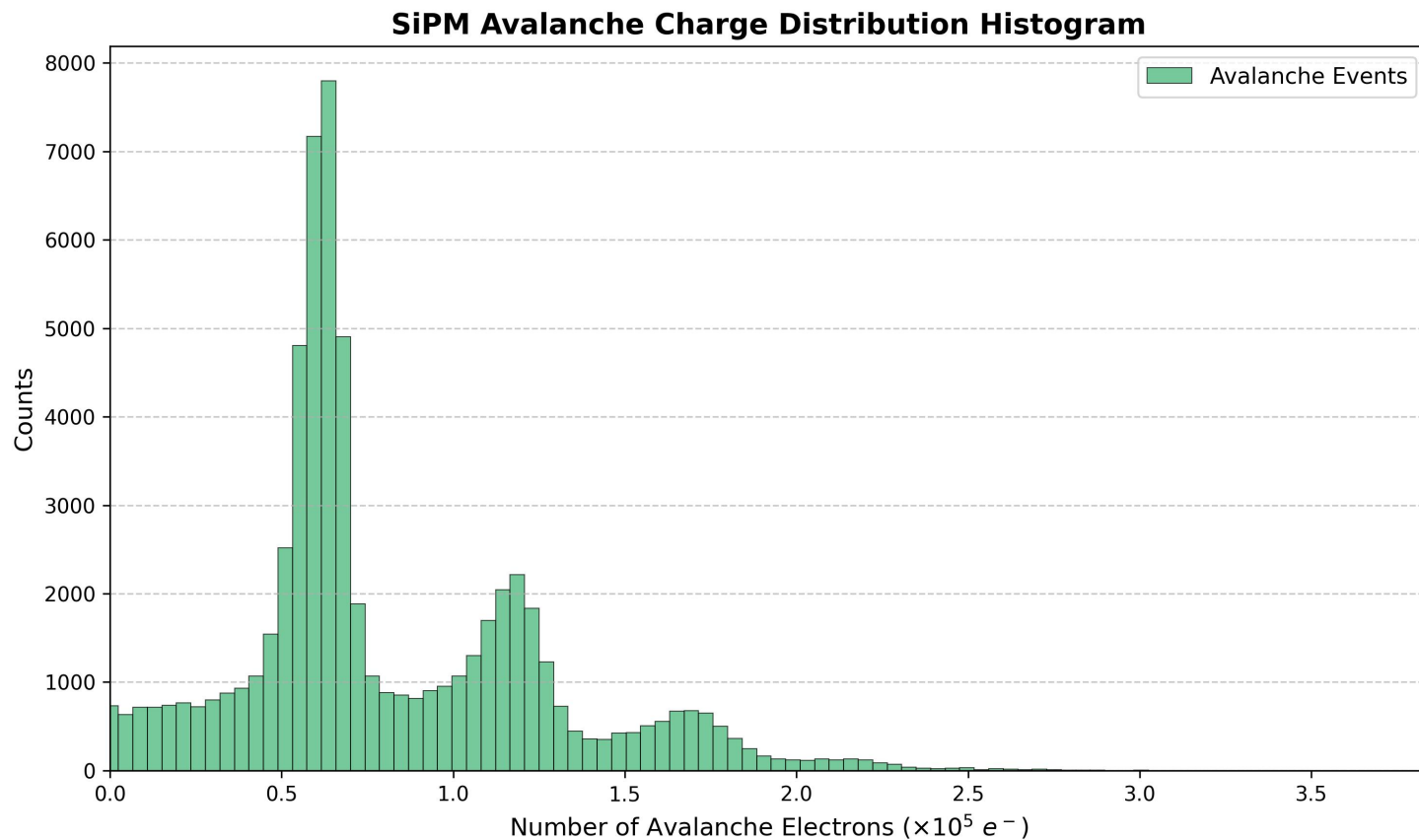
- 测试方法：采用625 nm LD照射SPADv2 5*10阵列，使用信号发生器驱动LD，信号频率为4MHz，脉宽为5ns，利用信号发生器的TTL输出做触发信号，可以看到每个TTL上升沿都有信号（黄色信号为输出，粉色信号为TTL触发）
- SPAD时间分辨率未测量，后续会用ps激光器进行测量





■ SiPM电荷谱测试

- 测试方法：在室温，无光条件下，过偏压0.3V，统计SPAD结构2的5*10阵列5000个输出波形，进行积分计算，可以看到多光子峰。





■ CMOS SPAD调研

文献 / 年份	工艺	结构类型	击穿电压	暗计数率 $V_{ex}=0.2V$	时间抖动 Jitter (FWHM)	前端
Charbon(IEDM 2013)	65nm	n+/p-well	~9.1V	~1.5kHz/ μm^2	235ps	数字反相器 (Inverter)
Webster (IEDM 2012)	90nm	p+/n-well	~11.5 V	~100Hz/ μm^2	105 ps	外部淬灭 / 比较器
Veerappan (ISSCC 2014)	65nm	p+/n-well	~13.5 V	~400Hz/ μm^2	130 ps	全数字 TDC 读出
Al Abbas (Opt.Exp 2016)	40nm	p+/n-well	~10.5 V	~3kHz/ μm^2	85 ps	数字缓冲器 (Buffer)
本研究 (2026)	55nm	p+/n-well & PW/DNW	9.7V & 10.9V	~984Hz/ μm^2 & ~295Hz/ μm^2	(待测)	单片集成模拟 TIA + PQC



■ 完成的工作

- 利用55nm工艺设计并流片了一款SPAD/SiPM与PQC和TIA集成的单片式探测器芯片，芯片功能正常，可实现光子探测。
- 验证了SPAD的击穿电压与 DCR 的温度特性，证明了 TIA 多挡位设计的适配能力，并成功实现动态感光测试。

■ 后续的工作

- 继续测试 SiPM 阵列的多光子分辨能力。
- 测试芯片的时间分辨率（Timing Jitter）及不同波长下的光子探测效率（PDE）。
- 研制集成主动淬灭（AQC）与高速时间数字转换器（TDC）的SPAD/SiPM单片式探测器芯片。

Thank You!