



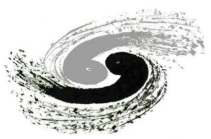
DRD1
Gaseous Detector Technologies



时间投影室粒子鉴别模拟及 读出pad尺寸优化研究

张锦闲，祁辉荣，王贻芳

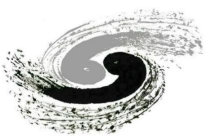
1. 中国科学院高能物理研究所
2. 中国科学院大学



目录

CONTENTS

- 1 / TPC的物理需求
- 2 / 模拟框架与PID算法
- 3 / 读出单元尺寸优化
- 4 / 探测模块研发进展



正负电子对撞机对粒子鉴别的严苛要求

本底研究见余信报告

物理目标及要求：

- ◆ CEPC（及FCC-ee等）聚焦于Higgs粒子性质精确测量、电弱物理与味物理。
- ◆ 要求在宽动量范围内，实现极强的粒子鉴别（PID）能力

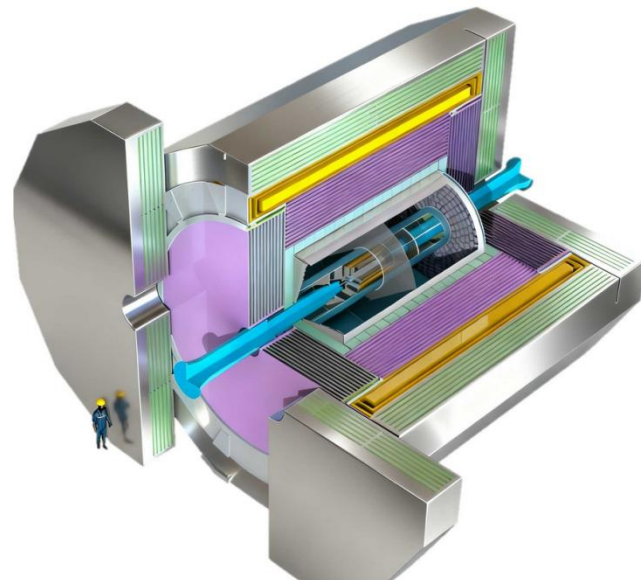
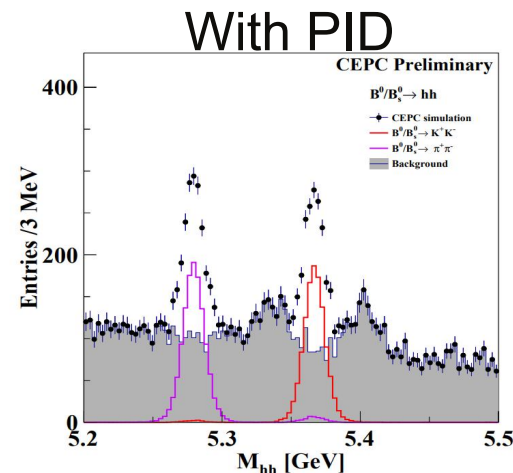
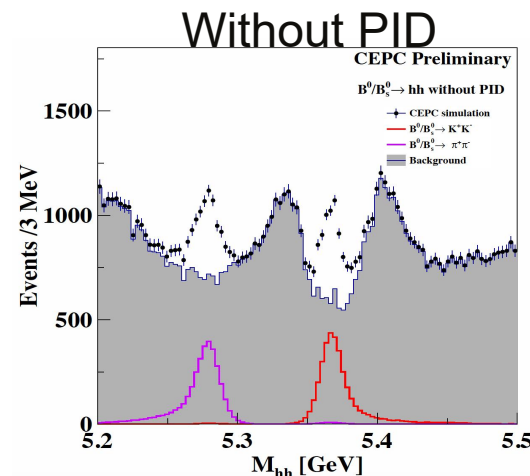
TPC作为主径迹探测器的优势：

- ◆ 低物质量（ $\sim 0.1X_0$ ），精确位置测量（ $\sim 100\mu\text{m}$ ），优秀的PID潜力

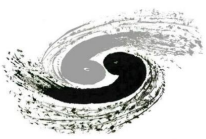
核心性能指标（已发表CEPC Ref-TDR设计报告）：

- ◆ 径迹重建：对于TPC单个探测器， $\sigma(1/P_T) \sim 10^{-4} (\text{GeV}/c)^{-1}$ ；联合硅探测器达到 $3 \times 10^{-5} (\text{GeV}/c)^{-1}$
- ◆ 粒子鉴别： π/K separation power $> 3\sigma$

- ◆ 本研究着眼于高粒度TPC读出与PID优化，研究内容为CEPC、FCC-ee、ILC等未来正负电子对撞机方案共性技术需求。

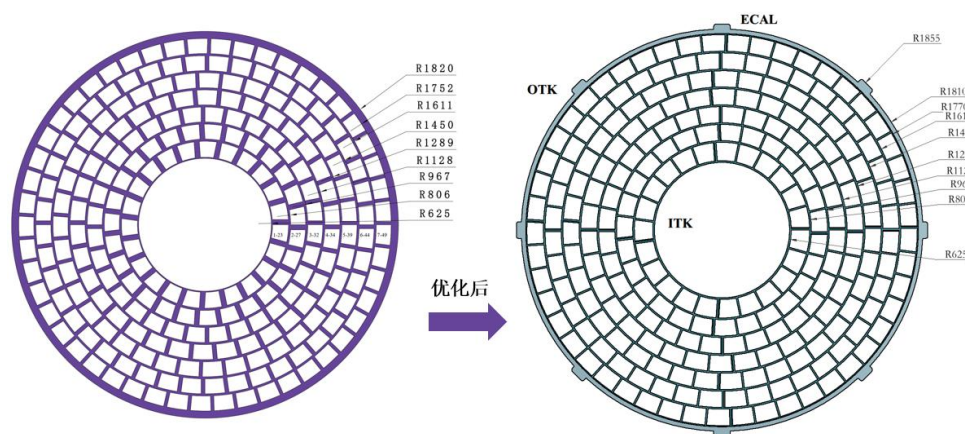


CEPC TDR探测器结构

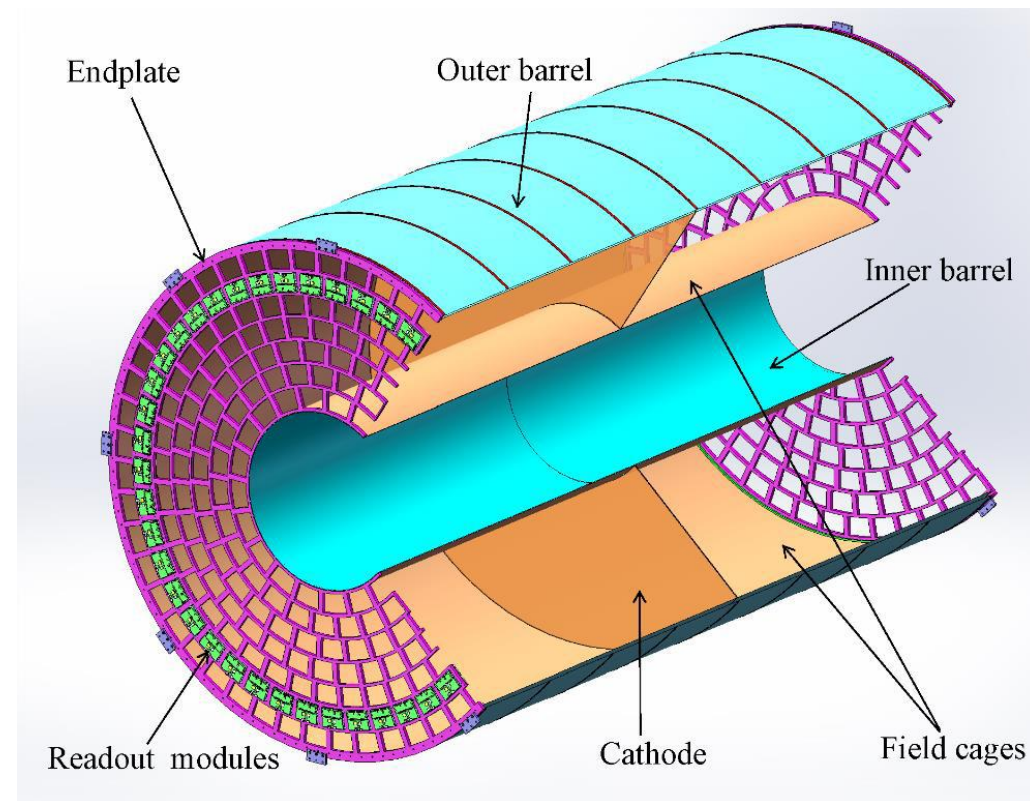


AGORA: TPC设计

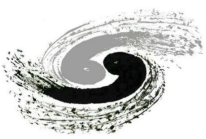
- ◆ **端盖**: 模块化设计, 易于安装和独立调整增益, 尽可能大的覆盖读出有效区域 (96%)
- ◆ 读出有效区域 $\sim 9 \text{ m}^2$, 共安装248读出模块
- ◆ **读出模块**: $\sim 500 \mu\text{m}$ 高粒度像素化设计, Micromegas读出结构
- ◆ **电子学设计**: 搭载低功耗TEPIX前端电子学芯片, 单个端盖总功耗控制在 $\sim 10 \text{ kW}$



经过优化的读出模块排布



TPC探测器设计
($r = 0.6 \sim 1.8 \text{ m}$)



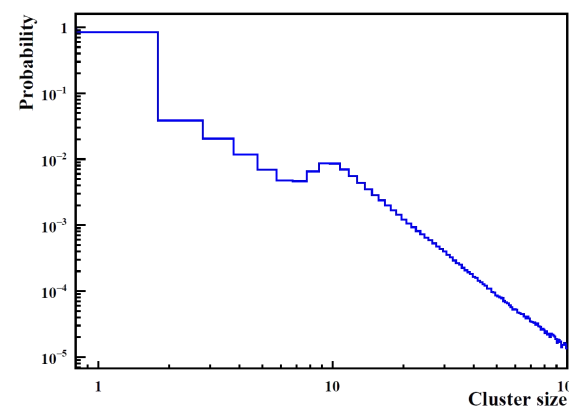
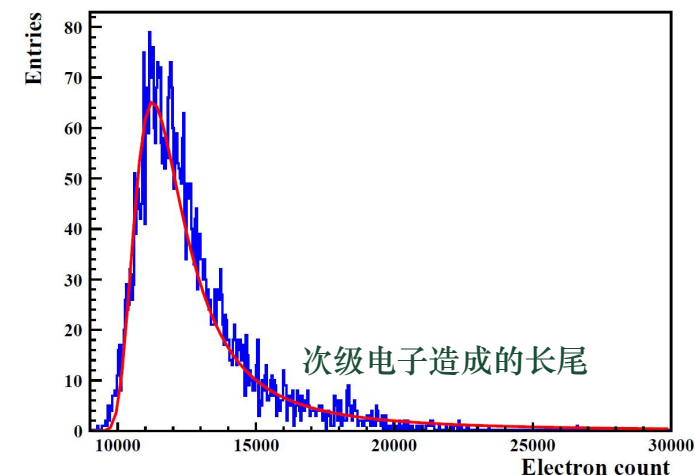
高粒度读出TPC方案

◆ TPC读出的传统方案：大尺寸pad读出 + dE/dx PID (pad size: $\sim 1 \text{ mm} \times 6 \text{ mm}$)

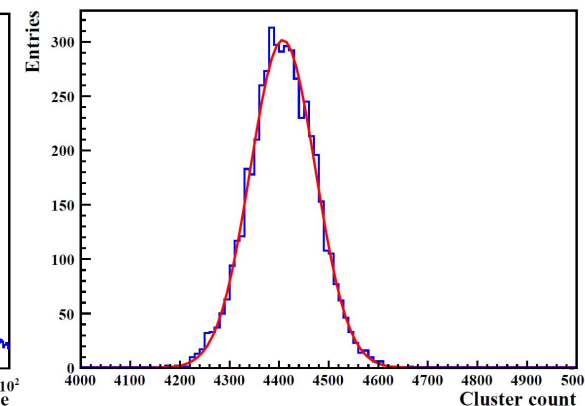
- ◆ 优点：技术成熟
- ◆ 不足：取样点较少， dE/dx 的朗道分布长尾效应明显，对波动较为敏感
- ◆ 大尺寸单元的 dE/dx 已没有大幅提升的空间

◆ 针对更高的TPC探测器物理需求，我们提出像素化读出方案：

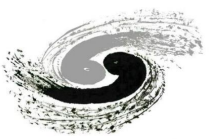
- ◆ pixel size: $\sim 500 \mu\text{m}$ (第一步验证阶段)
- ◆ 结合cluster counting (dn/dx) 算法，实现更好的PID
- ◆ 优点： dn/dx 具有更强的稳定性，PID有提升潜力
- ◆ 挑战：需准确计数cluster数量（通过响应pad数，机器学习计数等）



电离cluster的电子数量集中

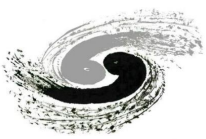


径迹上cluster数量为高斯分布



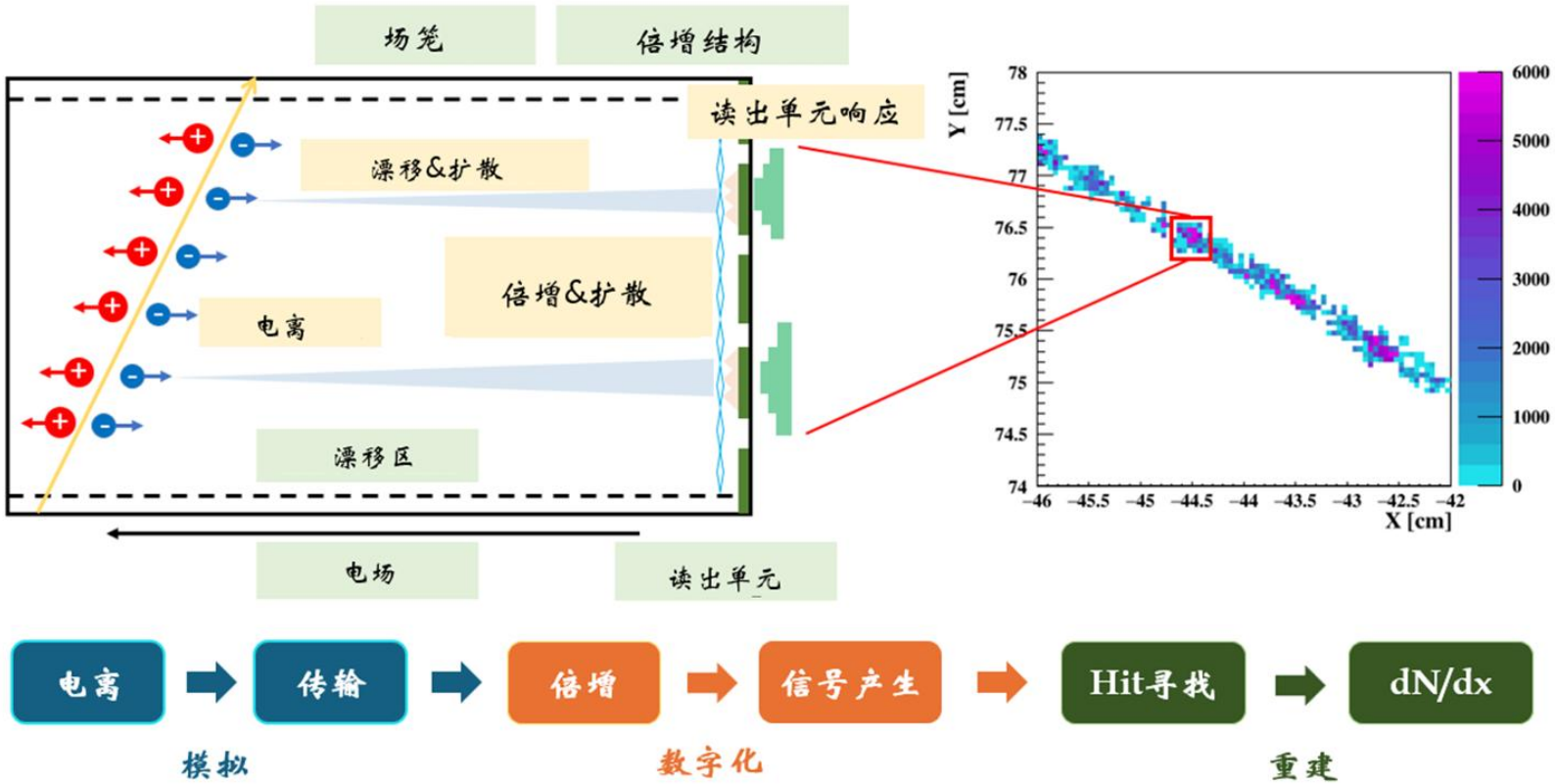
高粒度读出：优势与关键技术权衡

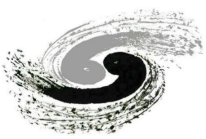
- ◆ 采用Micromegas+像素型读出，初步模拟研究表明：利用响应pad计数 (dN_p/dx) 实现较好的簇团计数，PID性能远好于传统 dE/dx 。
- ◆ 优势及关键技术权衡：
 - ◆ 小尺寸pad ($\sim 55 \mu\text{m}$)：单电子分辨好，但通道数平方级增加，功耗、冷却成本急剧升高，且信噪比降低。
 - ◆ 大尺寸pad ($\sim 500 \mu\text{m}$)：工程实现更加简单、功耗低，但簇团区分度下降，损失一定PID优势。
- ◆ 需要综合考虑真实物理效应（电离、扩散）与工程代价，寻找最优的读出pad尺寸
- ◆ 研究策略：
 - ◆ 软件模拟：建立TPC全物理过程模拟软件框架，针对 $55 \sim 500 \mu\text{m}$ pad尺寸模拟读出信号和PID效果。
 - ◆ 实验支撑：研制全漂移长度 (2.9 m) TPC原型机，确认关键漂移参数。



物理模拟：全模拟物理软件框架搭建

- ◆ 模拟软件框架的功能和 workflows 如图所示。
- ◆ 物理过程：入射粒子电离 → 电子漂移 → 雪崩倍增 → 信号产生与读出
- ◆ 重建算法： dE/dx （电离能损）， dn/dx （簇团计数）
- ◆ 径迹可视化：腔体内径迹三维显示，端盖投影重建效果

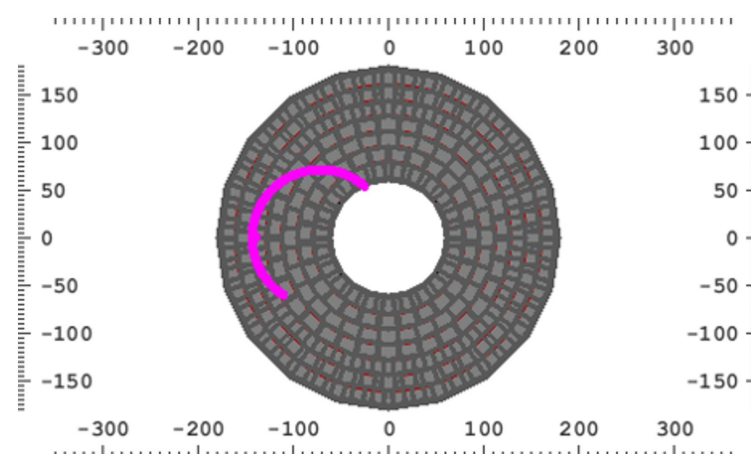
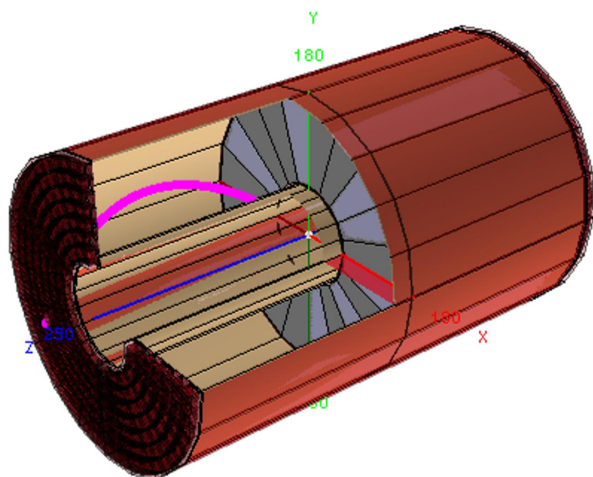




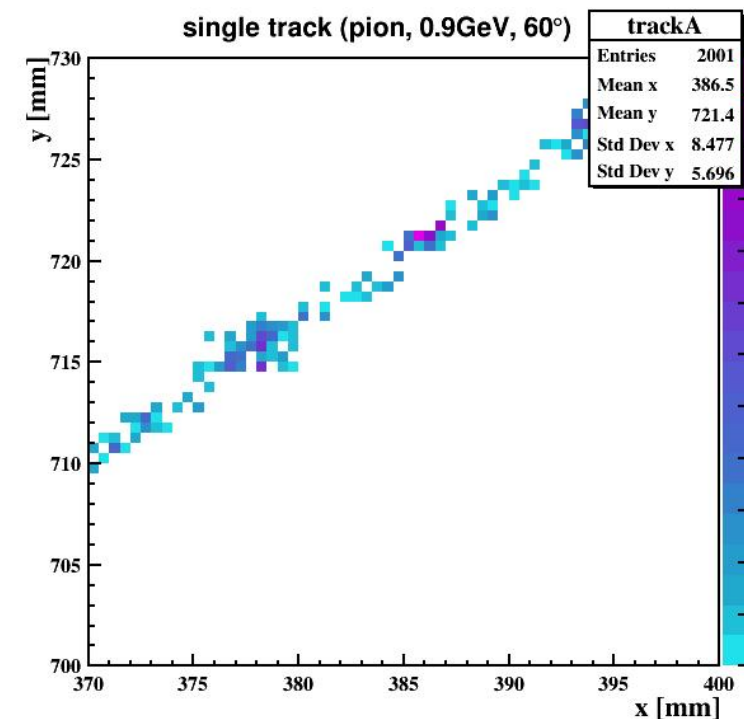
物理模拟：探测器几何参数构建

◆ 模拟框架中的TPC，各项参数均与CEPC-TPC的设计一致：

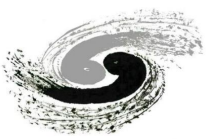
- ◆ 内径：0.6 m 外径：1.8 m
- ◆ 全长：5.8 m
- ◆ 工作气体：T2K气体， $\text{Ar}/\text{CF}_4/\text{iC}_4\text{H}_{10} = 95/3/2$
- ◆ 电场：230 V/cm 磁场：3 T



径迹的三维显示和端盖投影



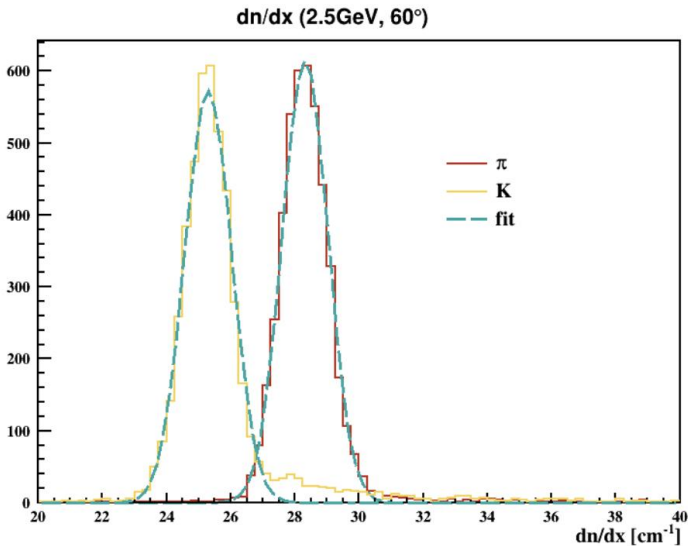
径迹的pixel响应



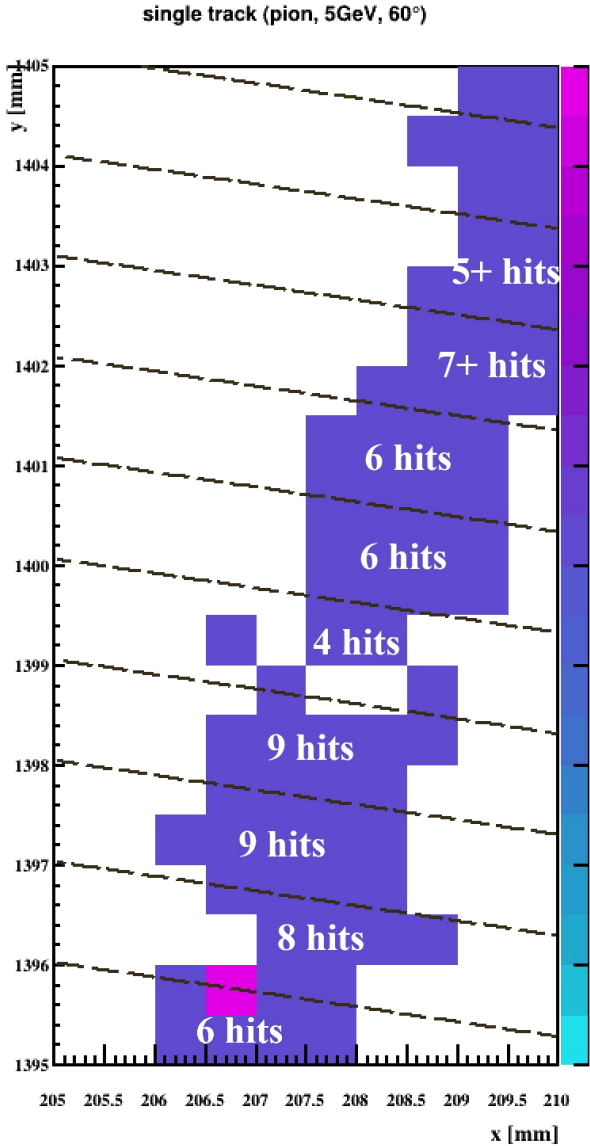
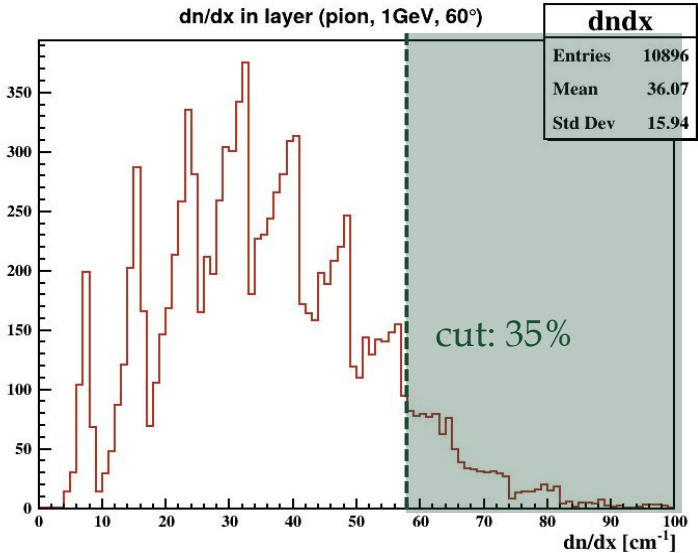
TPC 中 dN_p/dx 的模拟评估

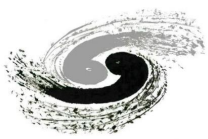
- ◆ dN_p/dx 的计算:
- ◆ Basically, $dN_p/dx = \frac{(\text{Num of hits})}{(\text{Length of track})}$
- ◆ 为减少次级电子的影响，将径迹分为多个layer计算 dN_p/dx ，并以一个truncation rate截断尾部:

$$dN_p/dx = \left(\sum_{\text{layer}} (\text{Num of hits})_{\text{in layer}} \right) / \left(\sum_{\text{layer}} (\text{Length of track})_{\text{in layer}} \right)$$



A typical dN_p/dx PID example



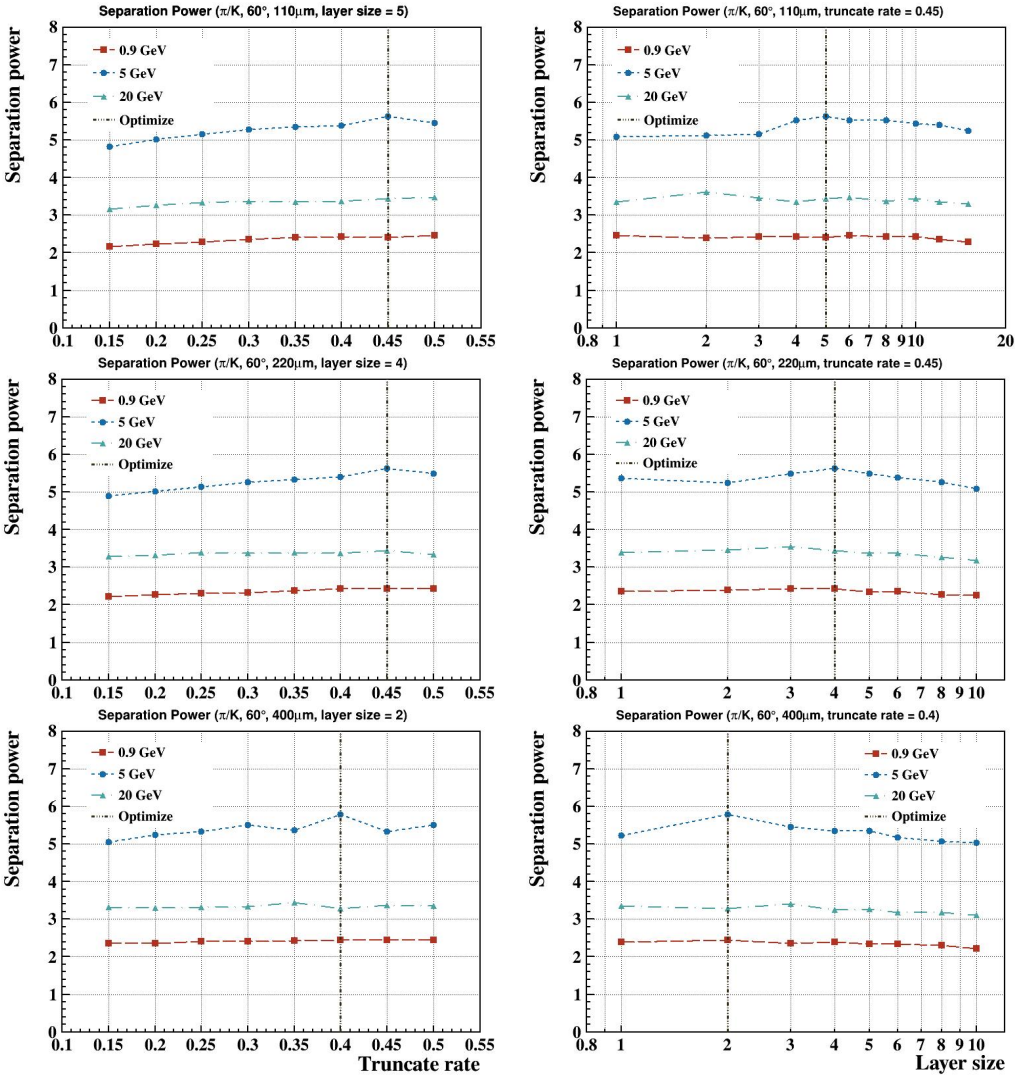


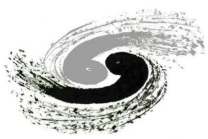
物理模拟：重建算法参数优化

- ◆ dN_p/dx 重建的关键参数：合并行数，尾部截断比例
- ◆ 定义separation power，定量衡量PID性能：
- ◆ $Sp_{A,B} = \frac{|\mu_A - \mu_B|}{(\sigma_A + \sigma_B)/2}$
- ◆ 选取0.9, 5, 20 GeV三个动量点， 60° 入射角作为参数优化的基准，得到最优方案：

Pad size [μm]	Rows per layer	Truncate rate
55	8	0.45
110	5	0.45
220	4	0.45
330	3	0.4
400	3	0.4
500	2	0.35

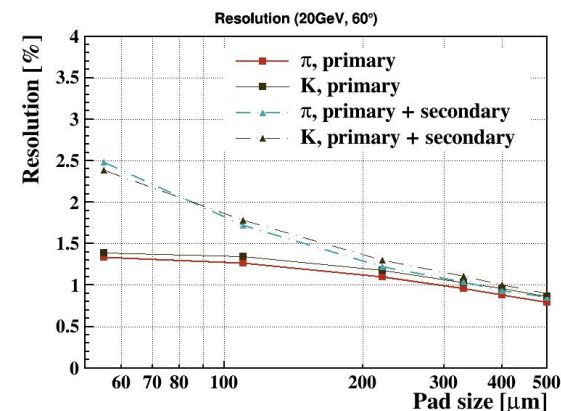
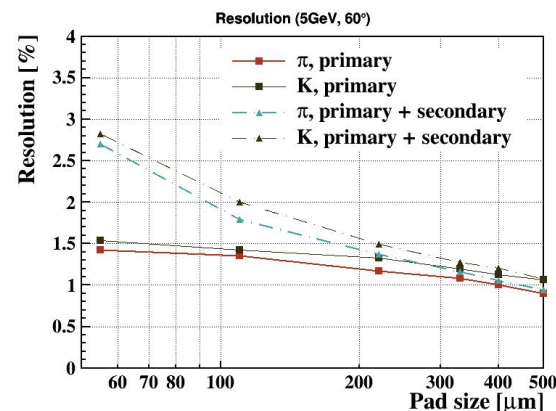
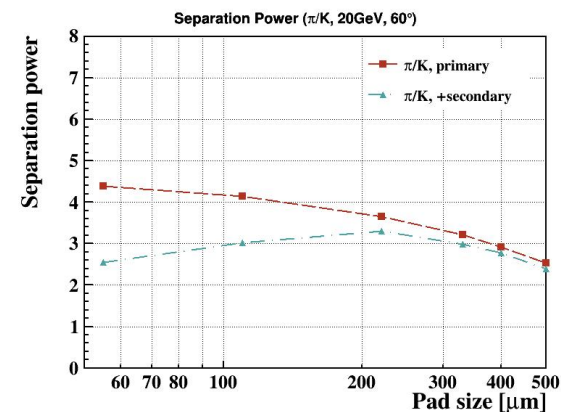
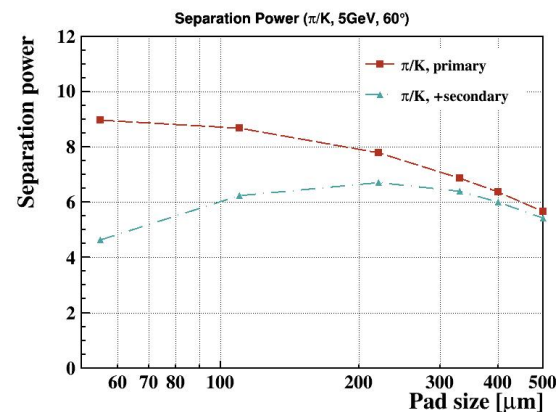
- ◆ 后续所有对比均基于各个尺寸的最优参数进行。

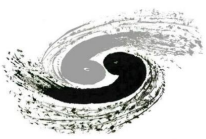




物理模拟验证：无电子扩散情况

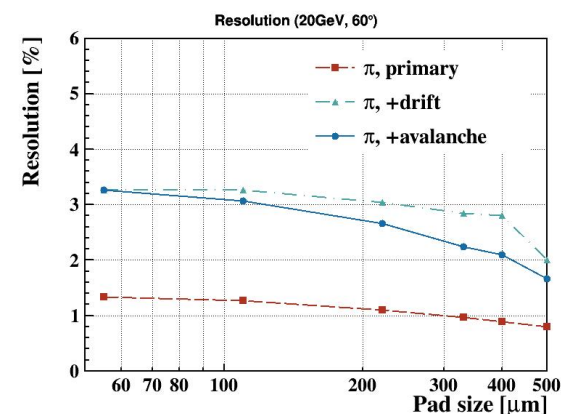
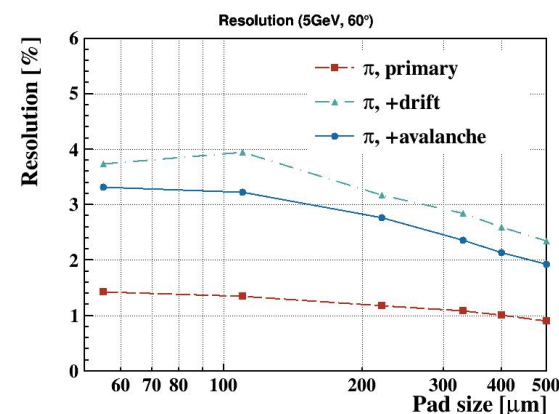
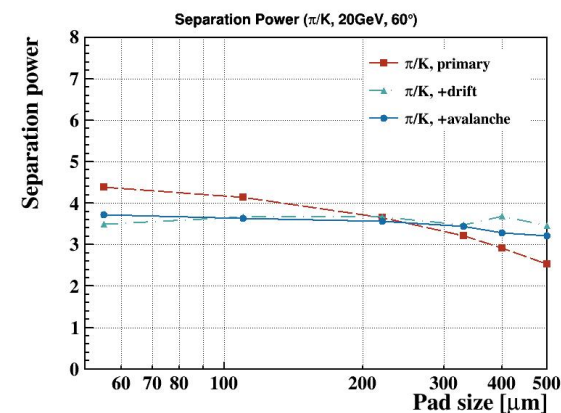
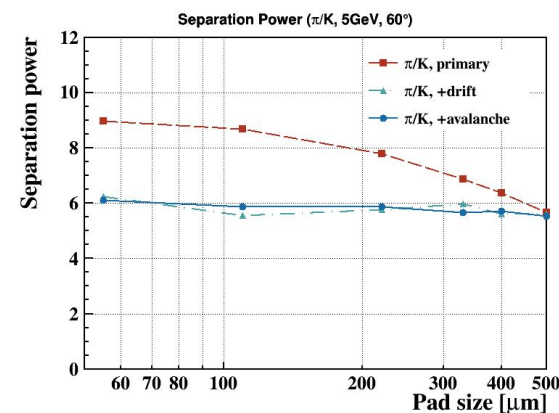
- ◆ 暂不考虑漂移扩散与雪崩展宽，仅观察电离簇团的空间分布（理想状态，未应用截断算法），实现算法框架验证
- ◆ 仅计数原初电离时：pad尺寸越小，分离度越高。55 μm 表现最佳
- ◆ 加入次级电离后：最优尺寸移至约 220 μm
- ◆ 初步结论：次级电离簇团在空间上的尺度与220 μm pad size匹配，既能高效收集信号，又避免将单个簇团过度分割引入额外涨落

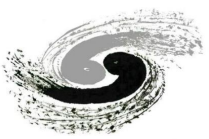




物理模拟：实际扩散系数和信号展宽

- ◆ 同时开启漂移扩散、雪崩倍增展宽，并应用优化后的截断算法（第10页）。
- ◆ 性能平台区：在 $55 \sim 500 \mu\text{m}$ 整个区间内， π/K 分离度几乎保持恒定，均满足 3σ 基准要求。
- ◆ 值得注意的是，加入扩散后，大尺寸pad（如 $500 \mu\text{m}$ ）的分离度高于不考虑扩散时的纯电离情况。
- ◆ 初步结论：漂移扩散效应容易分开在电离生成时距离很近的电子，使它们能被较大尺寸的pad有效区分。





物理模拟：单元尺寸优化和噪声混入考虑

◆ 边界探索 (pad size扩展至 1000 μm) :

- ◆ π/K 分离度在pad size > 500 μm 时出现明显下降。

◆ 噪声容忍度研究:

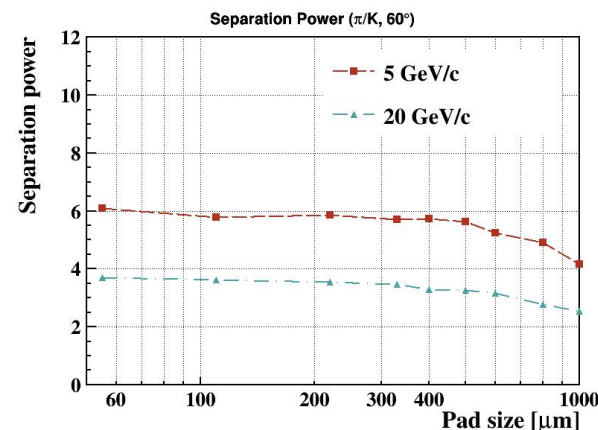
- ◆ 220 μm pad 可耐受噪声 $\sim 300\text{ e}^- \text{ ENC}$;
500 μm pad 可耐受噪声提升至 > 400 $\text{e}^- \text{ ENC}$ 。

- ◆ 更大的容噪空间直接降低前端读出芯片 (如 TEPIX) 的设计压力, 允许更低的功耗 (< 0.1 mW/ch) 和更简化的冷却方案

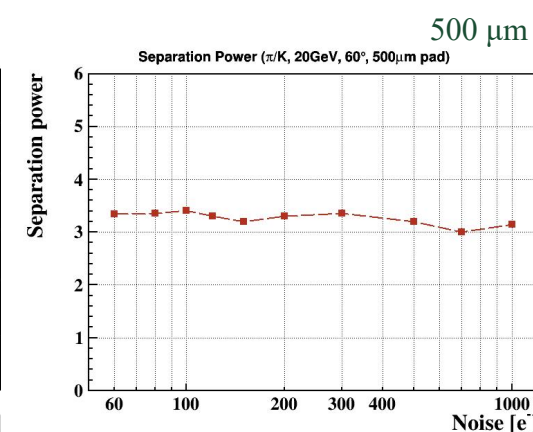
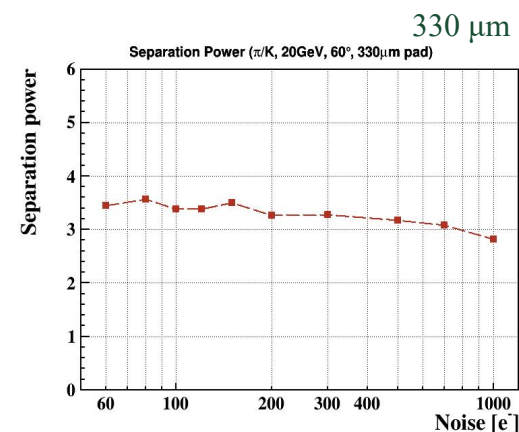
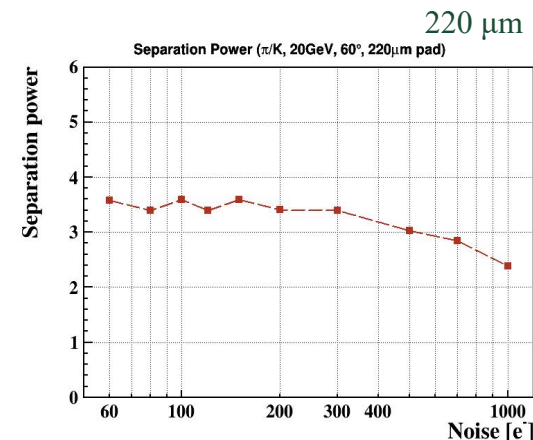
- ◆ 初步结论: 500 μm 对CEPC-TPC是一个优秀的选择, 工程设计允许时, 进一步确保PID性能可选220 ~ 330 μm 。

- ◆ 该工作为未来国际上的大科学装置TPC设计提供了重要技术

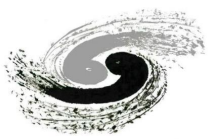
参考, 已发表在EPJ: <https://doi.org/10.1140/epjs/s11734-026-02533-2>



pad尺寸扩展至1 mm,
PID性能的变化趋势

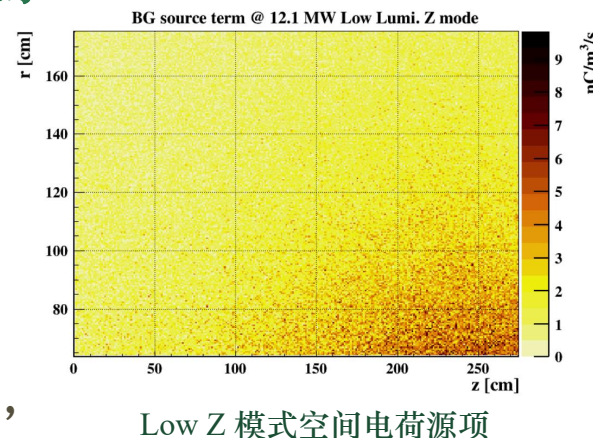


不同尺寸读出pad受噪声的影响

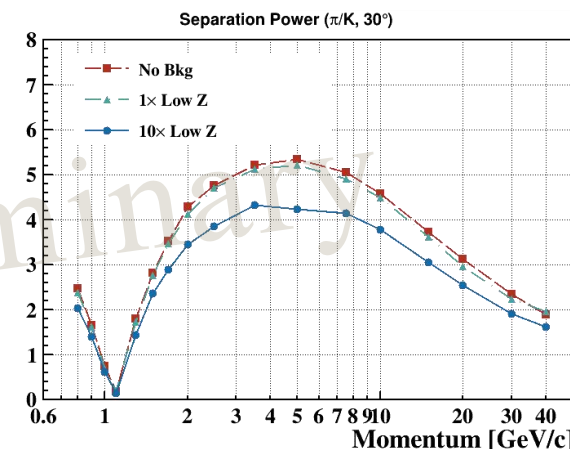
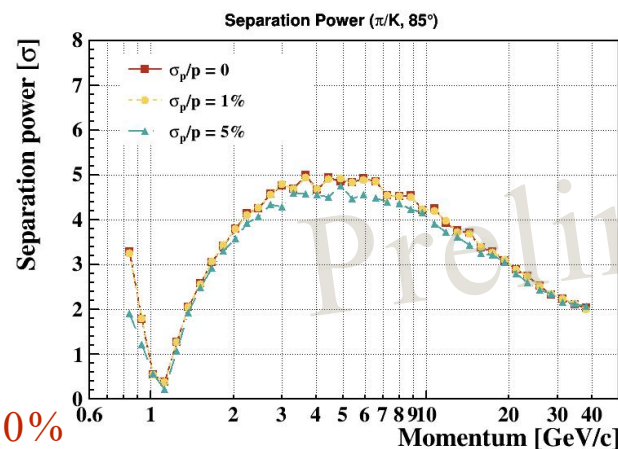
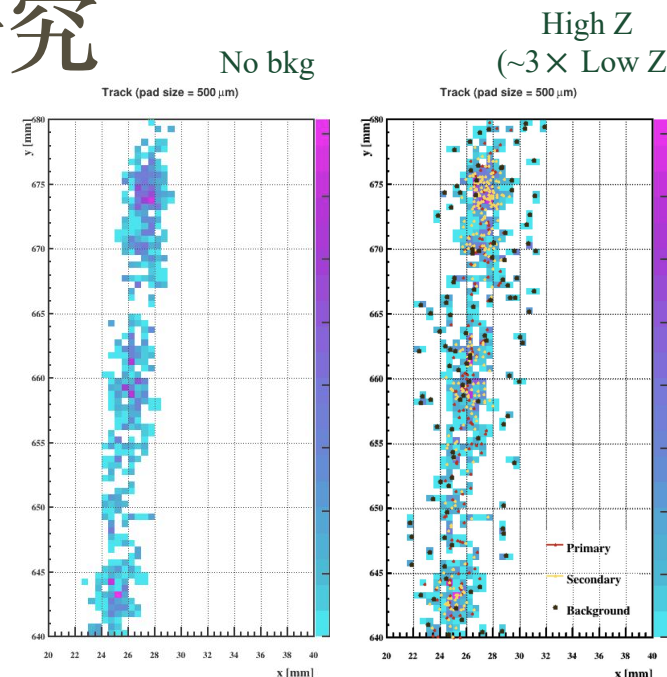


物理模拟：PID性能受本底影响的初步研究

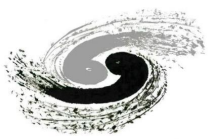
- ◆ 下一步工作：对撞机工作环境下，本底对PID性能的影响。
 - ◆ 径迹畸变本身对 dN_p/dx 计算的影响（极小）
 - ◆ 径迹畸变导致的动量分辨率变化（极小）
 - ◆ 本底粒子对 dN_p/dx 计算的影响（较大）
- ◆ 本底粒子影响的研究方式：根据本底沉积能量分布，在径迹簇团漂移扩散的范围内，添加本底电子信号。
- ◆ 本底类型：Beamstrahlung, BGC, BGB, BTH, TSK
- ◆ 同步辐射本底目前难以估计，使用已有本底的倍数进行限制。
- ◆ 初步结果：Low Z模式本底 $\sim 3\%$ PID性能下降，本底强度增加一个量级（ $\times 10$ ），性能下降达到 $\sim 20\%$



Low Z 模式空间电荷源项



左：动量分辨率导致的PID性能下降 右：本底粒子导致的PID性能下降 14



实验研究进展：全漂移长度原型机

该结果已正式发表在EPJ:
Jinxian Zhang, Huirong Qi etc.
[10.1140/epjs/s11734-026-02533-2](https://doi.org/10.1140/epjs/s11734-026-02533-2)

◆ 设计目标：

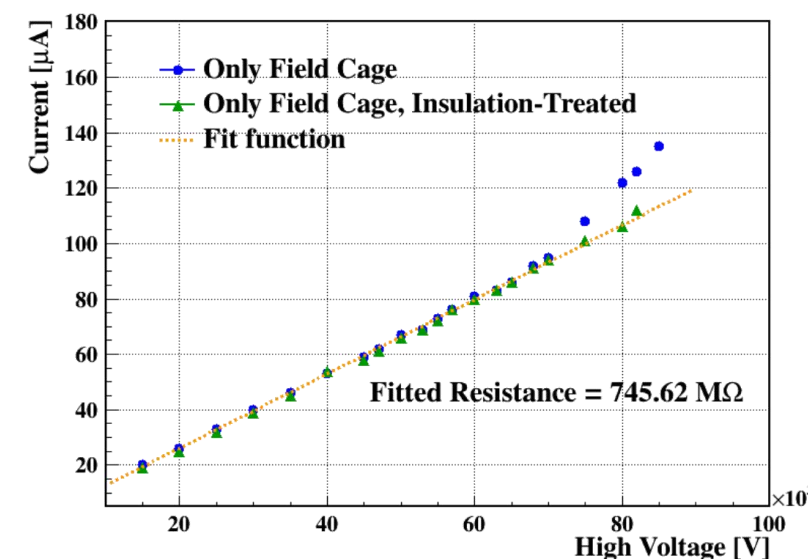
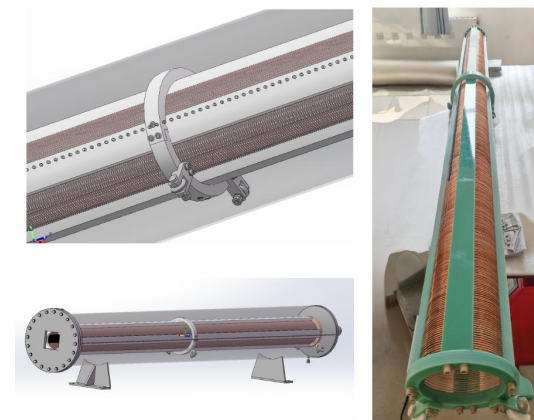
- ◆ 验证模拟中使用的关键漂移参数（漂移速度、横向/纵向扩散系数、电子附着率）。
- ◆ 在真实物理环境下，直接测量不同pad尺寸对簇团计数性能的影响，与模拟结果交叉校验。

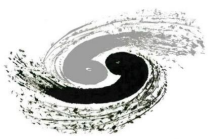
◆ 关键设计参数：

- ◆ 漂移长度：2.9 m（与CEPC Ref-TDR设计值一致）
- ◆ 场笼结构：706 个铜环，通过 1 M Ω 电阻串联，确保电场均匀性

◆ 目前，该原型机已通过高压模块调试。

- ◆ 绝缘处理后的高压系统可耐受80 kV高压，具备安全稳定运行条件，**完全满足**后续物理取数实验。





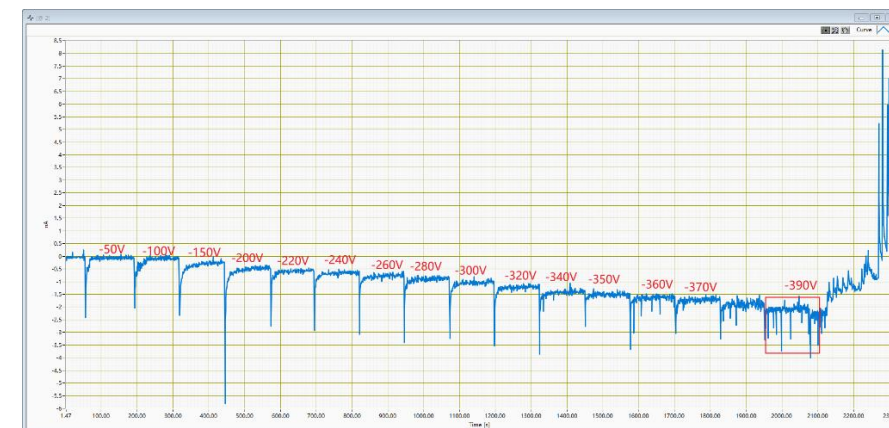
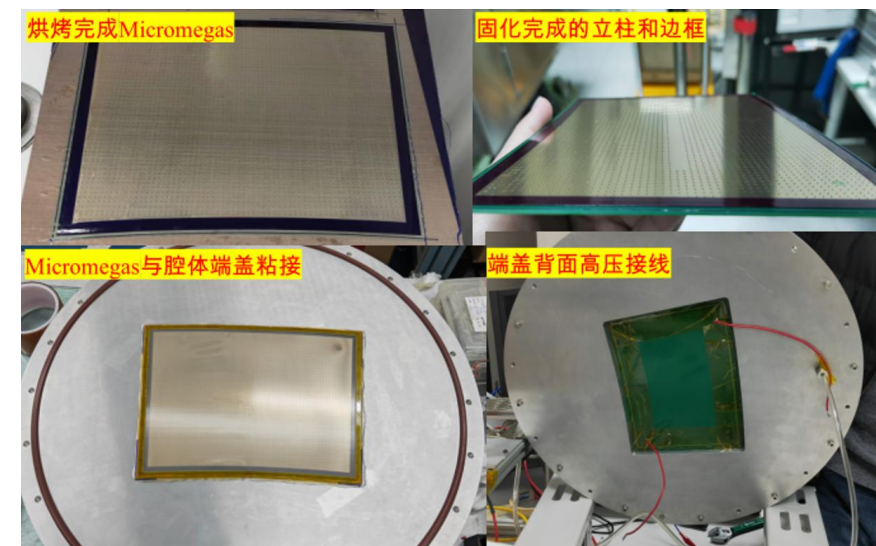
实验研究进展：Micromegas制备

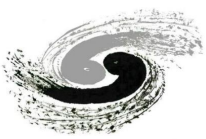
- ◆ 采用**Micro-bulk工艺（干膜刻蚀法）**，**解决关键的工艺难点：**

- ◆ 拉制钢网时，保持张力稳定、均匀
- ◆ 在保护背板读出芯片的同时，保持干膜辊压的压力均匀
- ◆ 保证钢网均匀性，避免打火

- ◆ **实现技术参数：**

- ◆ 支撑柱高度 $\sim 100\text{ }\mu\text{m}$ ，通过调试冲洗时间，与铜电极粘接牢固。
- ◆ 支撑柱直径 $\sim 260\text{ }\mu\text{m}$ ，覆盖3 ~ 4个钢网节点，间距 $\sim 3\text{ mm}$ ，可稳定支撑钢网。
- ◆ T2K气体环境中，**漏电流 $\sim 1\text{ nA}$ (300 V)**，**耐受380 V高压。**
- ◆ 空气中（经低温烘烤脱水），**漏电流 $< 20\text{ nA}$ (300 V)**。
- ◆ 目前，**已实现**单层Micromegas的稳定生产，双层Micromegas的初步工艺实现。

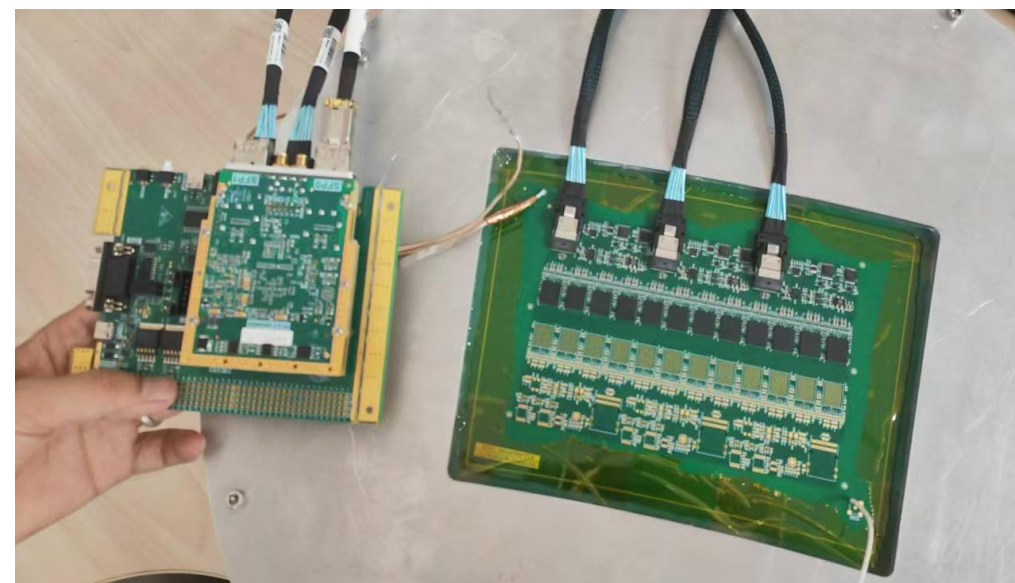
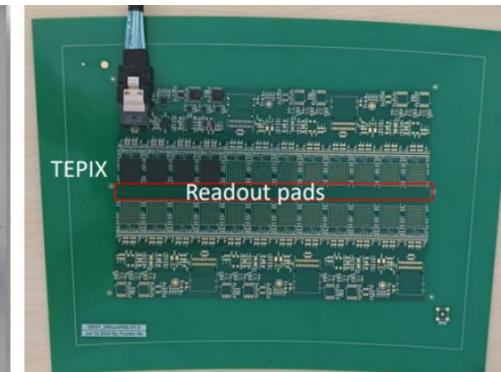
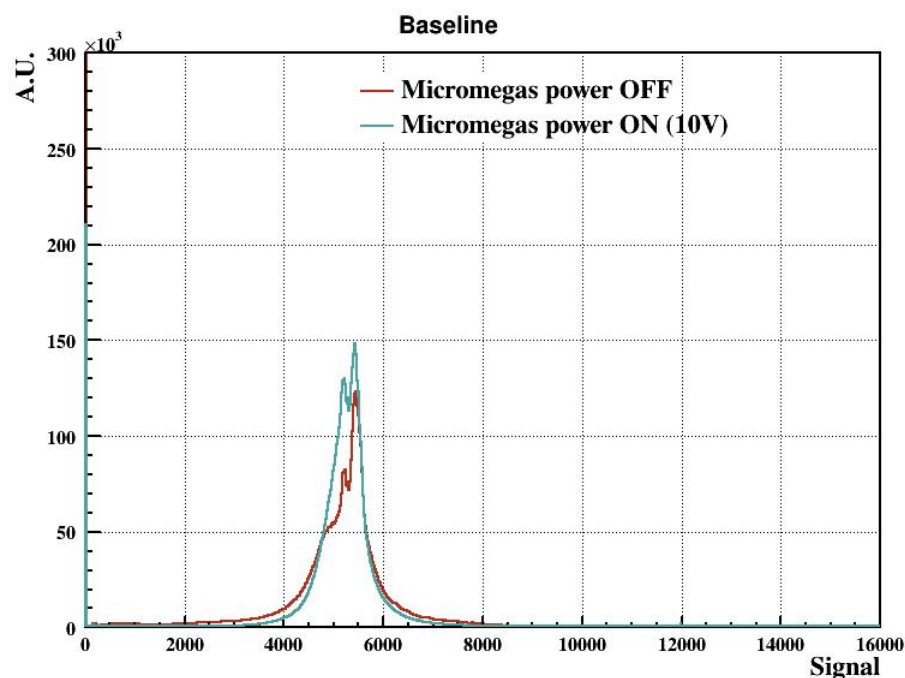


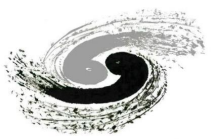


实验研究进展：TEPIX读出芯片

感谢清华大学邓智老师团队

- ◆ Micromegas读出模块搭载最新的低功耗前端电子学芯片TEPIX，已实现12芯片 $\times$ 128通道取数
- ◆ 优化测试正在进行，准备5 GeV电子束束流实验（下半年或明年1月）





小结

- ◆ 建立了完整的TPC PID模拟框架，可作为对撞机TPC模拟的通用平台，方便后续多种TPC性能的模拟研究。
- ◆ 基于PID性能的TPC高粒度读出尺寸优化研究表明，在考虑CEPC的真实物理效应（电离+扩散）后，55 ~ 500 μm 范围内的PID性能几乎相同。
- ◆ 基于噪声容忍度和工程成本考虑，给出500 μm 作为CEPC-TPC读出的建议尺寸，工程设计允许时，可选220 ~ 330 μm 进一步确保PID性能。
- ◆ 2.9 m全漂移原型机和已完成机械设计与高压测试，单层Micromegas制备工艺成熟，TEPIX读出芯片已可投入使用，针对TPC读出模块优化的实验进入取数准备阶段。
- ◆ 该成果写入CEPC Ref-TDR，并已发表在国际期刊EPJ。

THANKS

感谢各位专家的意见和建议！

