半导体径迹探测体系建设与高能所PWFA束流测试站点：BEPCII-PWFA Beam Test Station (BII-PBTS)

常正则、陈娇龙、陈思雨、陈义仁、崔宇鑫、符晨曦、郭迪舟、胡俊、胡坤、贾文韬、荆小平、李大章、李刚、李筱婷、黎紫瑶、刘佰奇、刘泊璇、刘磊、骆首栋、马忠剑、孟才、钱小辉、瞿锐、史欣、石澔玓、石雪岩、Teoh Jiajian（张嘉健）、王传烨、王聪聪、汪凯宁、王毅伟、魏微、严雄波、杨俊玲、叶竞波、越云凯、张理凯、张希媛、张奕晗、张颖、张振涛、张志航、赵梅、赵旭航、赵展鸿、周嘉奇、周宁闯、**严琪***

中国科学院高能物理研究所*

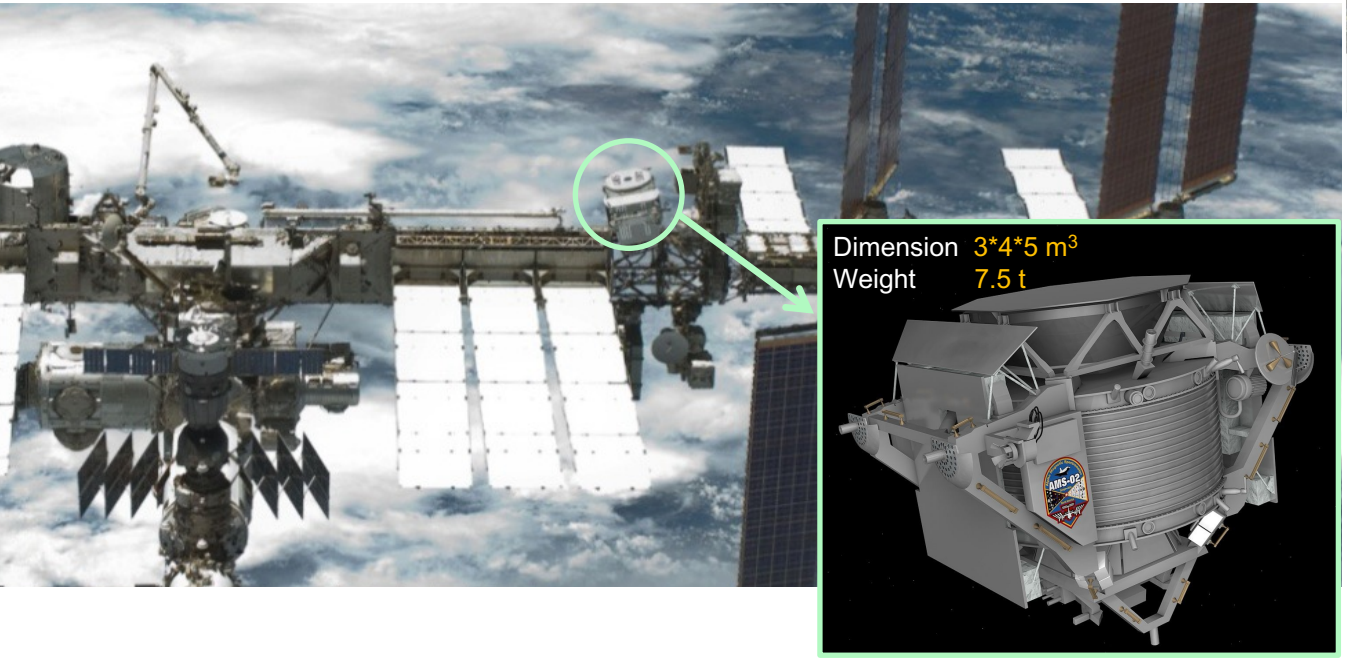
中国科学院理化技术研究所

山东大学

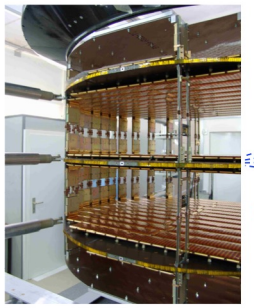
第二届测试束流与先进探测技术研讨会，长沙，2026年10月10日

个人背景

2024年4月回国加入高能所（此前10年在麻省理工学院工作），之前长期从事国际空间站上的阿尔法磁谱仪（AMS）实验，并开展了硅径迹探测器的关键技术研究。回国后主要负责硅径迹探测器（以CEPC探测器为牵引）的相关研发工作

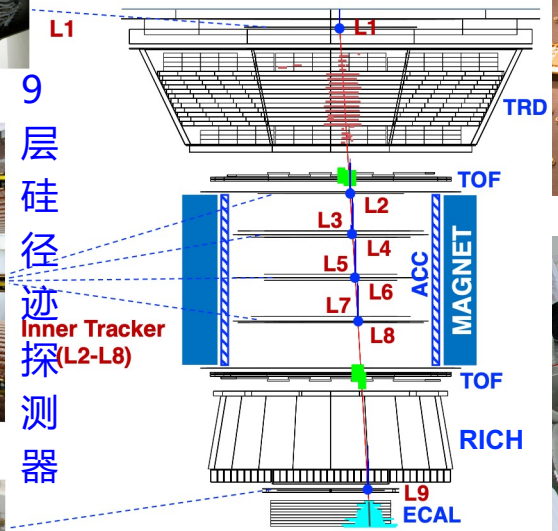


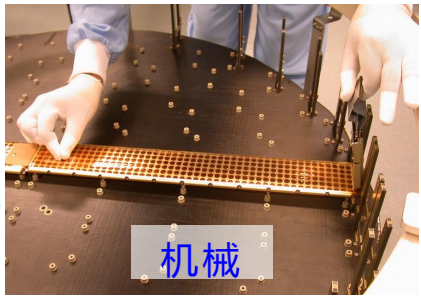


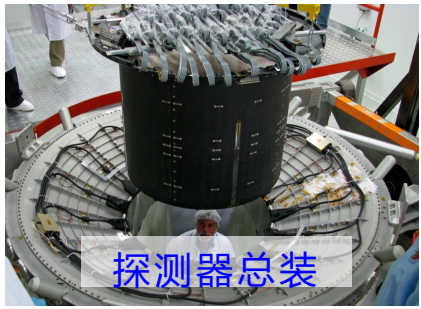




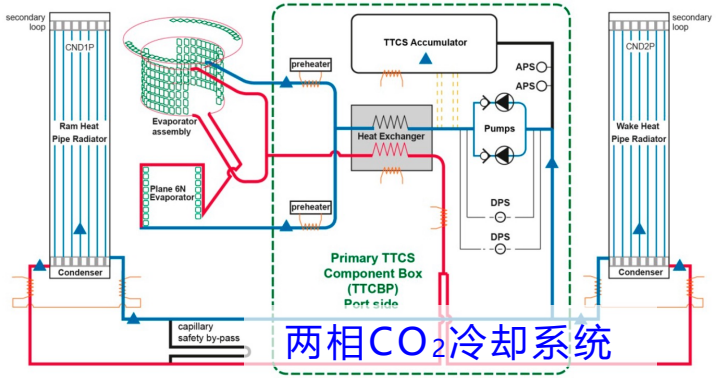
9层硅径迹探测器







阿尔法磁谱仪(AMS)是目前世界上唯一与地面加速器上使用的最先进探测器相类似的精密太空粒子磁谱仪，造价约20亿美金。AMS的物理目标包括测量宇宙线中的各种带电粒子和反粒子从而对暗物质、反物质、以及宇宙线的起源进行研究，此外还包括在宇宙线中寻找其他新物理

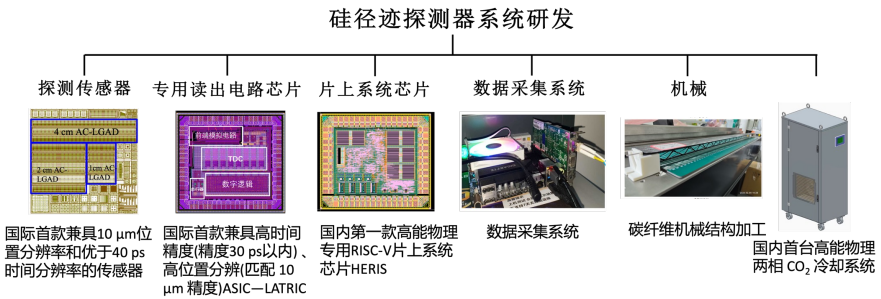


两相CO_2冷却系统

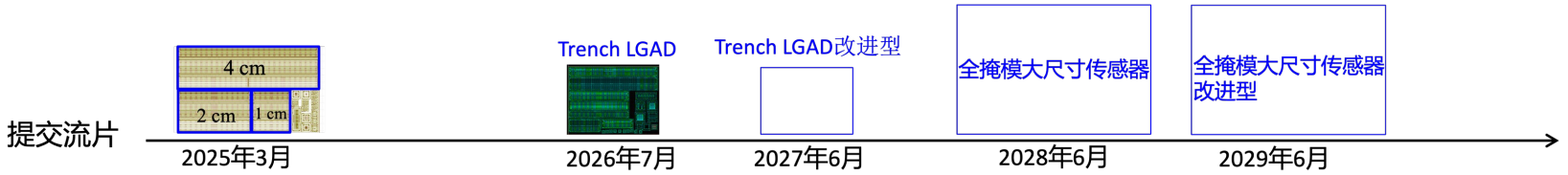
承担的半导体探测器研发

□ 半导体探测器研发

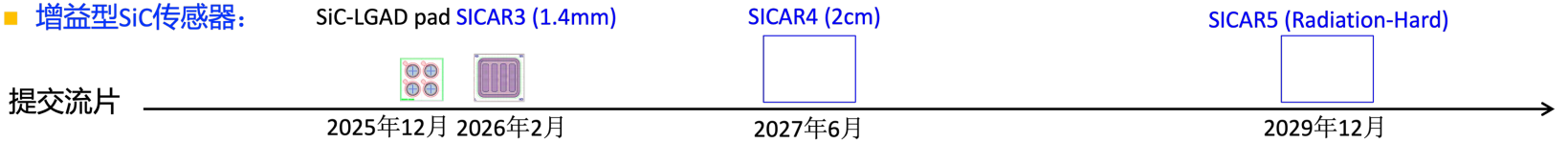
- 以下一代粒子磁谱仪研制为目标，围绕兼具皮秒级时间分辨与微米级位置分辨能力的半导体探测技术，系统开展新型传感器—专用读出电子学—系统集成—原理工程样机研发，**建立高性能半导体径迹探测器的完整技术链**



- LGAD传感器将朝着工艺优化、大传感器尺寸、高探测性能、以及低功耗方向研发：



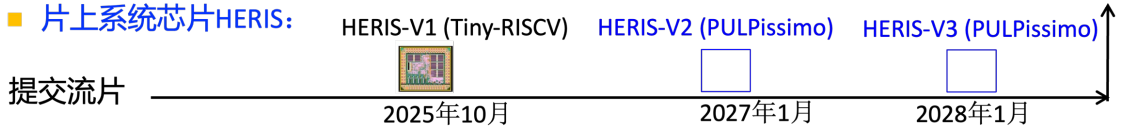
- 增益型SiC传感器：



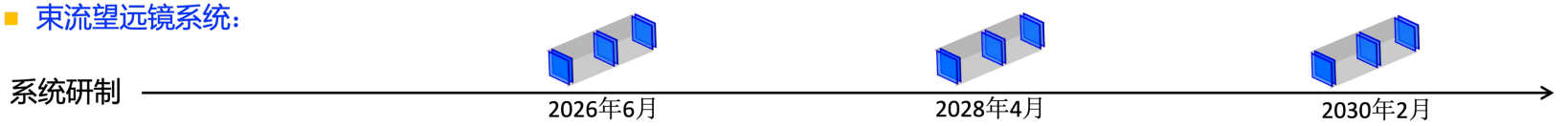
- 高精度读出ASIC芯片 LATRIC往更高集成度、多通道方向发展：



- 片上系统芯片HERIS：



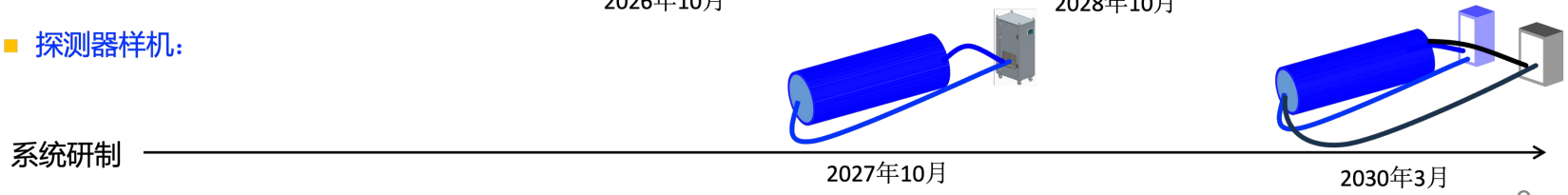
- 束流望远镜系统：



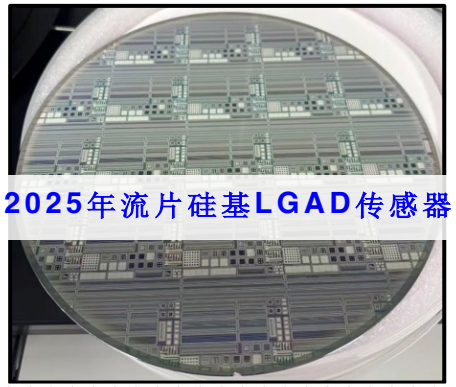
- 两相CO_2冷却系统：



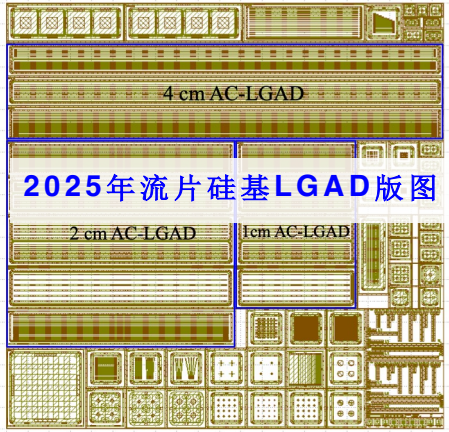
- 探测器样机：



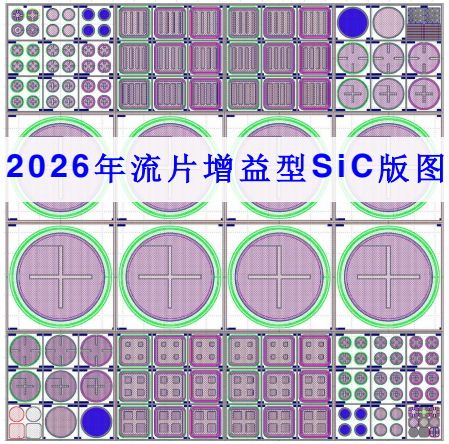
项目半导体传感器及相关芯片研发



2025年流片硅基LGAD传感器



2025年流片硅基LGAD版图



2026年流片增益型SiC版图

半导体探测传感器：

- 硅基传感器：国际首款时间分辨优于40 ps、兼具位置分辨10微米的大尺寸硅基传感器
- SiC传感器：研制出工艺稳定、可工程化应用的4H-SiC传感器，时间分辨 ~30 ps，适合在高温与强辐照下工作

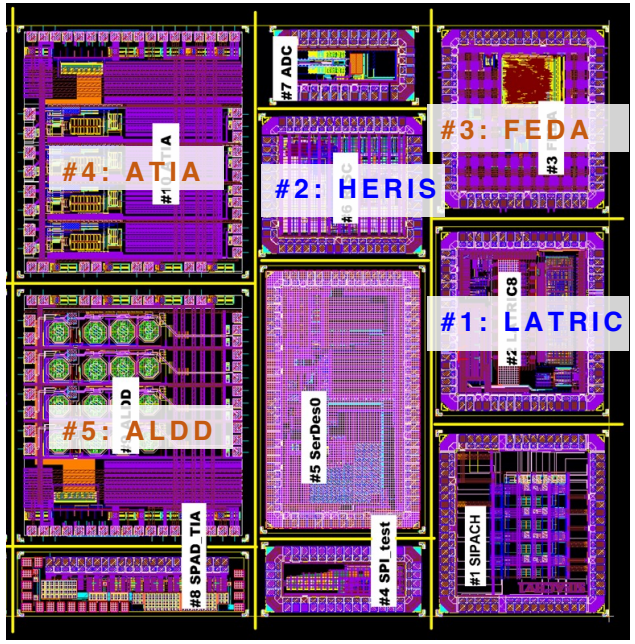
半导体探测器专用读出集成电路(ASIC)：

- LATRIC系列：兼具高时间精度（≤30 ps）、高位置分辨（匹配10 μm测量精度）、低功耗和高集成度的半导体探测器读出芯片
- HERIS系列：国内首款粒子物理抗辐照RISC-V片上系统芯片

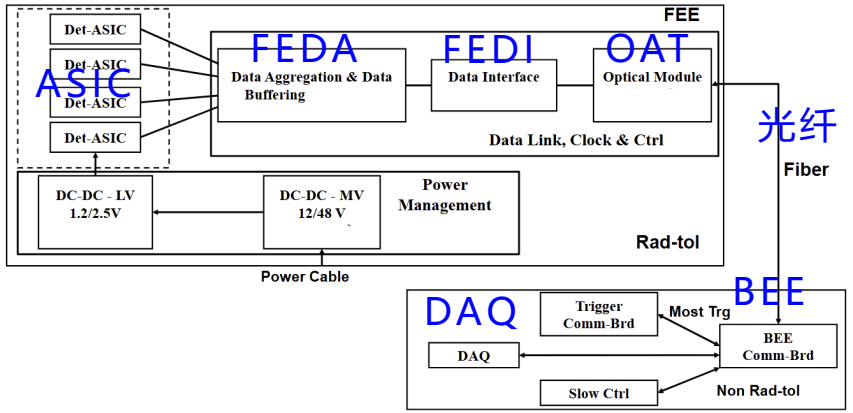
其他高速数据传输专用集成电路：

- FEDA：10.24 Gb/s 数据汇总芯片
- FEDI：数据接口芯片
- ATIA：数据光电信号接收器
- ALDD：激光二极管驱动器

高能所与华师、西工大等联合研发
（不局限于半导体探测器应用）



专用集成电路流片版图



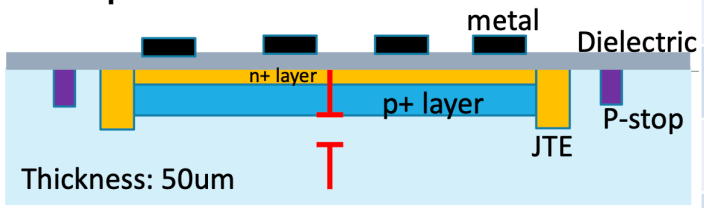
规划的未来探测器电子学读出构架

1.1 兼具高时间精度、高位置分辨传感器研发

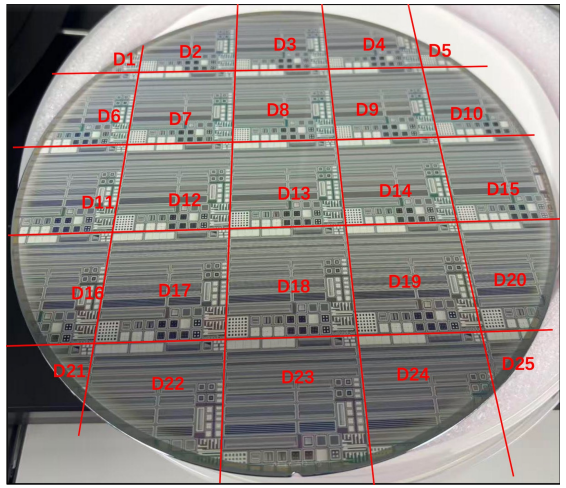
- **研发国际首款兼具10 μm位置分辨率、40 ps时间分辨率大尺寸硅基传感器**

⇨ 团队研发的交流耦合LGAD（AC-LGAD）传感器、**往大尺寸（≥2cm×2cm）方向发展，追求极致位置分辨、时间分辨、以及更低功耗。2025年提交最新流片，已完成了7片晶圆（共18片）的制备和工艺性能迭代**

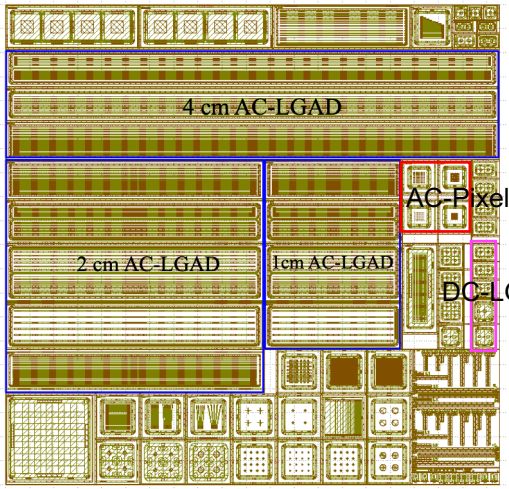
- 像素型：不同像素尺寸55 μm、100 μm、150 μm、200 μm
- 微条型：不同长度1 cm、2 cm、4 cm
  不同微条间距100 μm、200 μm、500 μm
- 不同电极宽度：25 μm、50 μm、100 μm
- 调节掺杂浓度以提高时间和位置测量精度
- 优化器件结构（包括外延层厚度）以降低器件寄生电容，减少读出功耗



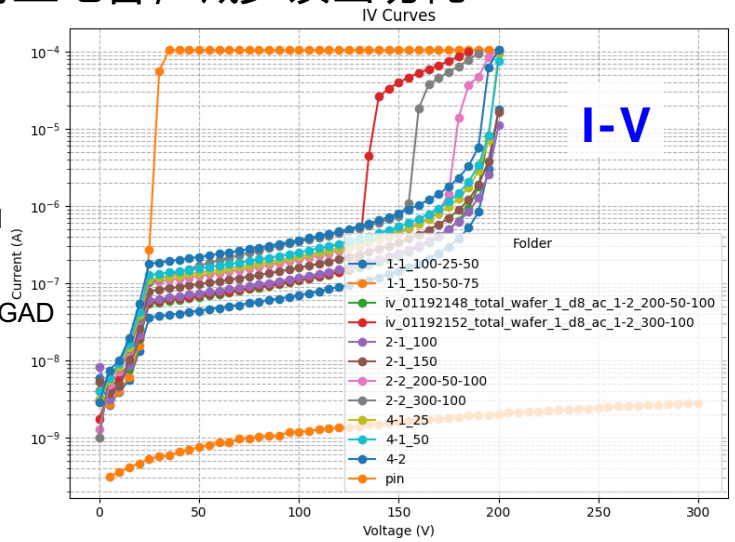
晶圆编号	EPI 厚度	n+ dose
1	50 μm	10p
2	50 μm	10p
3	50 μm	0.01p
7	80 μm	10p
8	80 μm	0.01p
4	50 μm	1p, 0.1p
5	80 μm	1p, 0.1p

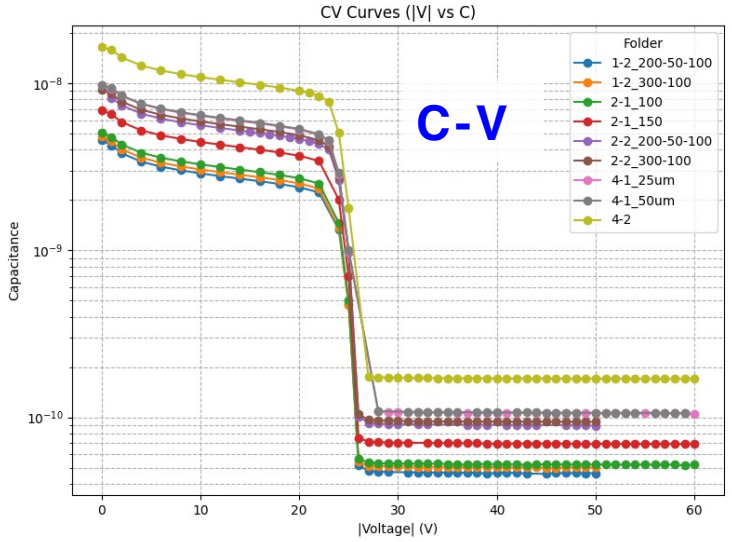


最新流片的硅基AC-LGAD晶圆



流片的传感器版图



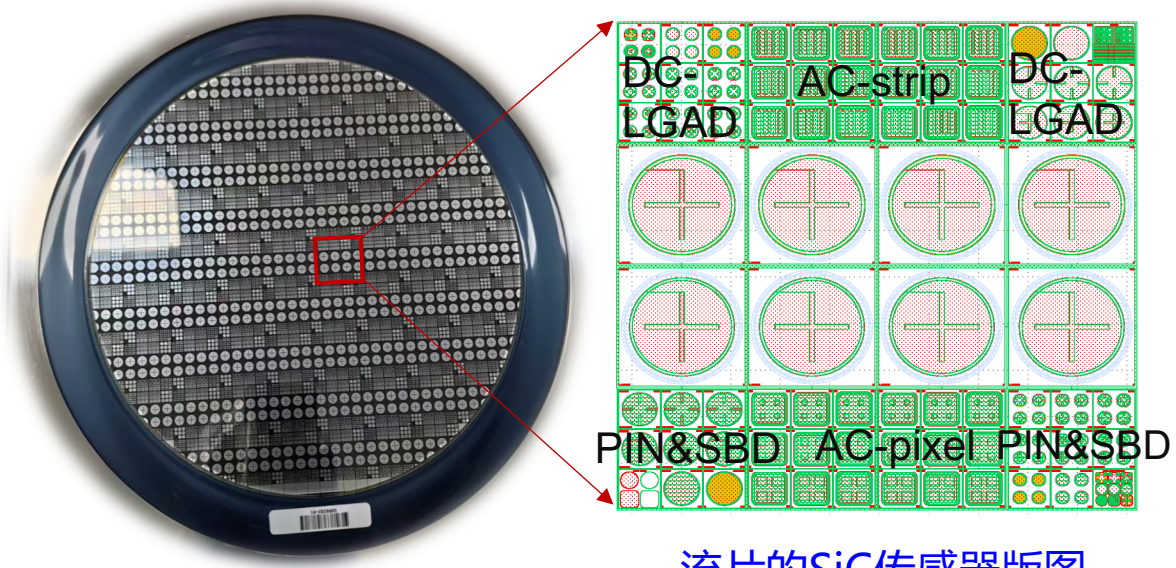


不同材料半导体传感器研发

◘ 碳化硅（SiC）传感器研制

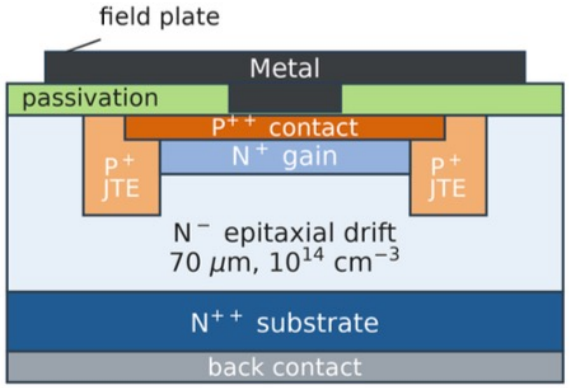
⇨ **SiC具备宽禁带特性：高击穿电场、高热导率与热稳定性、低噪声、 及优异抗辐照能力，适用于高温、高辐照等特殊场景。**团队已完成三轮SiC器件结构与工艺迭代，并于**2026年5月完成注入型SiC传感器流片，包括：**

- PIN二极管：　　有效尺寸1.4 mm/0.5 mm
- 肖特基势垒二极管（SBD）：　有效尺寸0.5 mm
- 低增益雪崩二极管（LGAD）：　有效尺寸1.4 mm/0.5 mm
- 交流耦合LGAD（AC-LGAD）：像素型 / 微条型

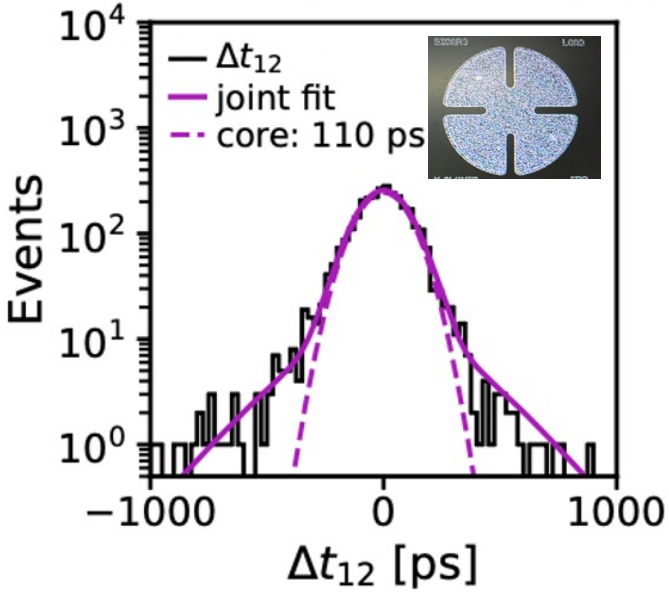


最新流片的第三版SiC传感器晶圆（8寸/MOSFET产线）

流片的SiC传感器版图



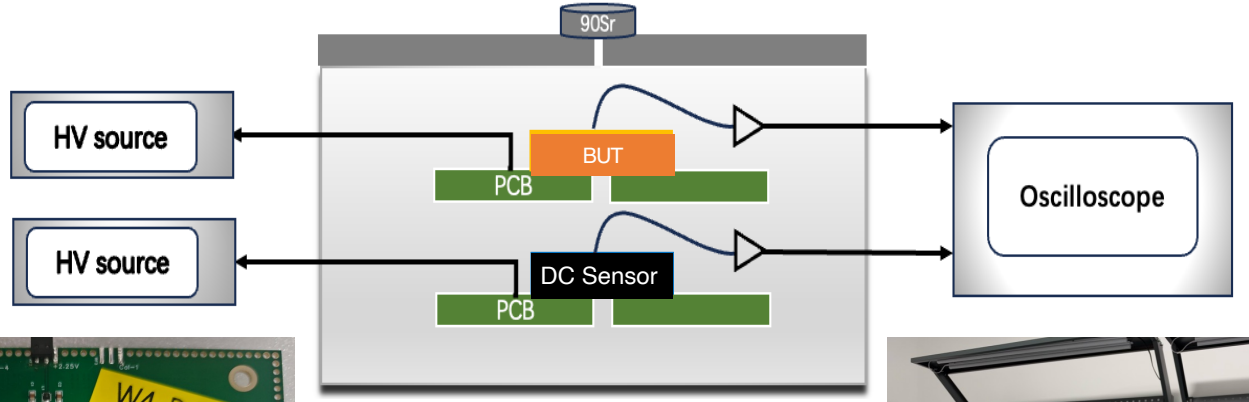
注入增益型SiC (DC增益)结构图

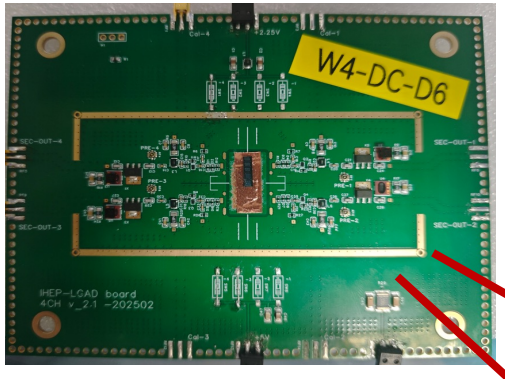


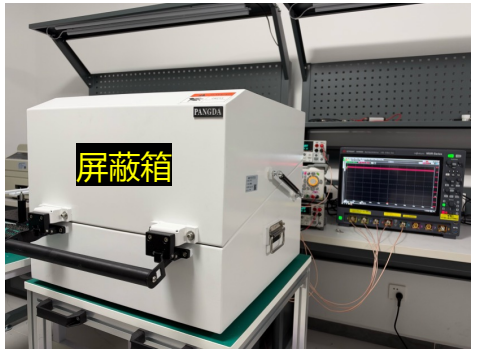
β测试下(^{90}Sr放射源) 的时间分辨77 ps

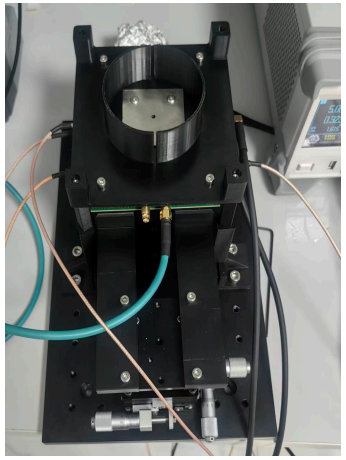
后续围绕关键工艺开展优化（衬底与外延优化、表面预处理、终端梯度注入、高温注入、掺杂剖面调控及退火激活），**研制出性能稳定、可工程化应用的大尺寸高时间分辨、高位置分辨SiC传感器，形成“硅基为主线、多材料协同发展”的半导体探测器研发体系**

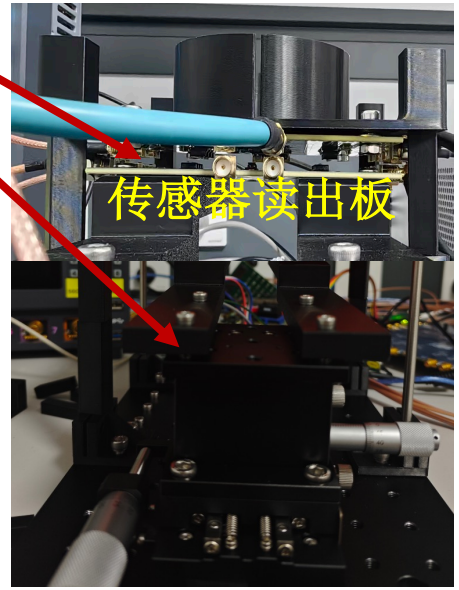
最新研发硅基传感器的时间分辨（^{90}Sr β测试）

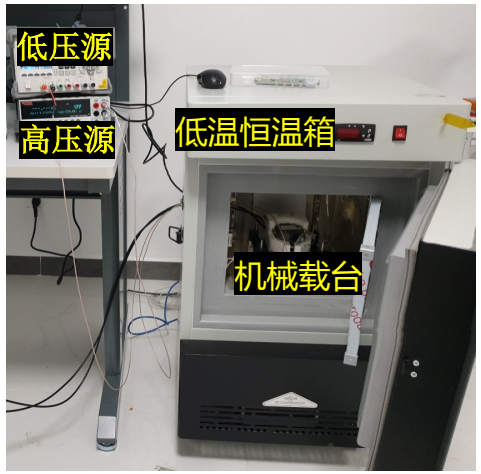


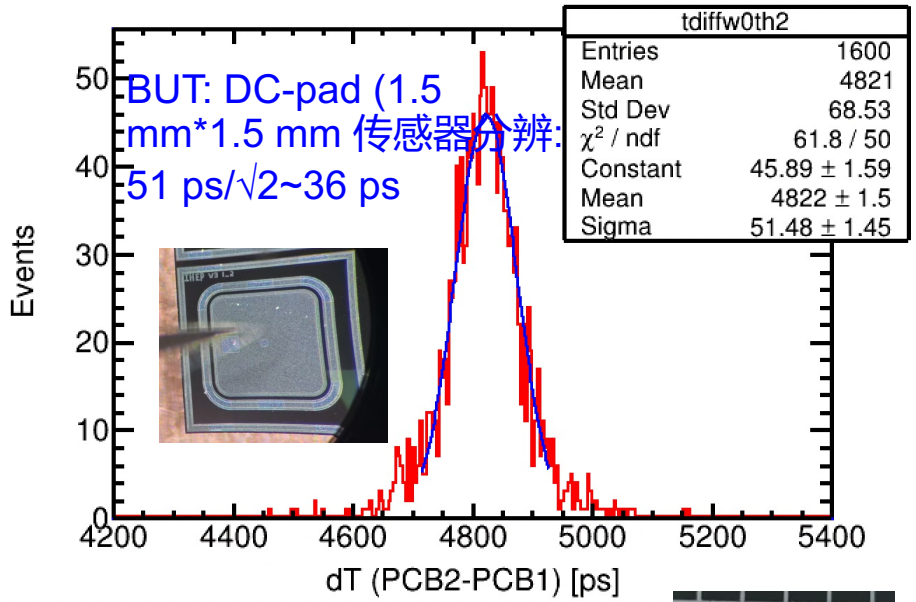


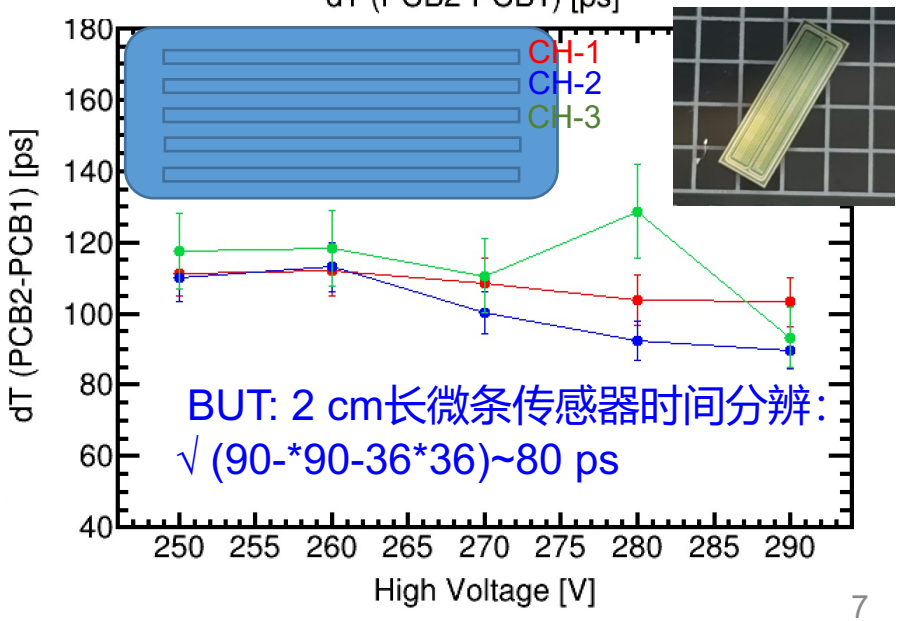








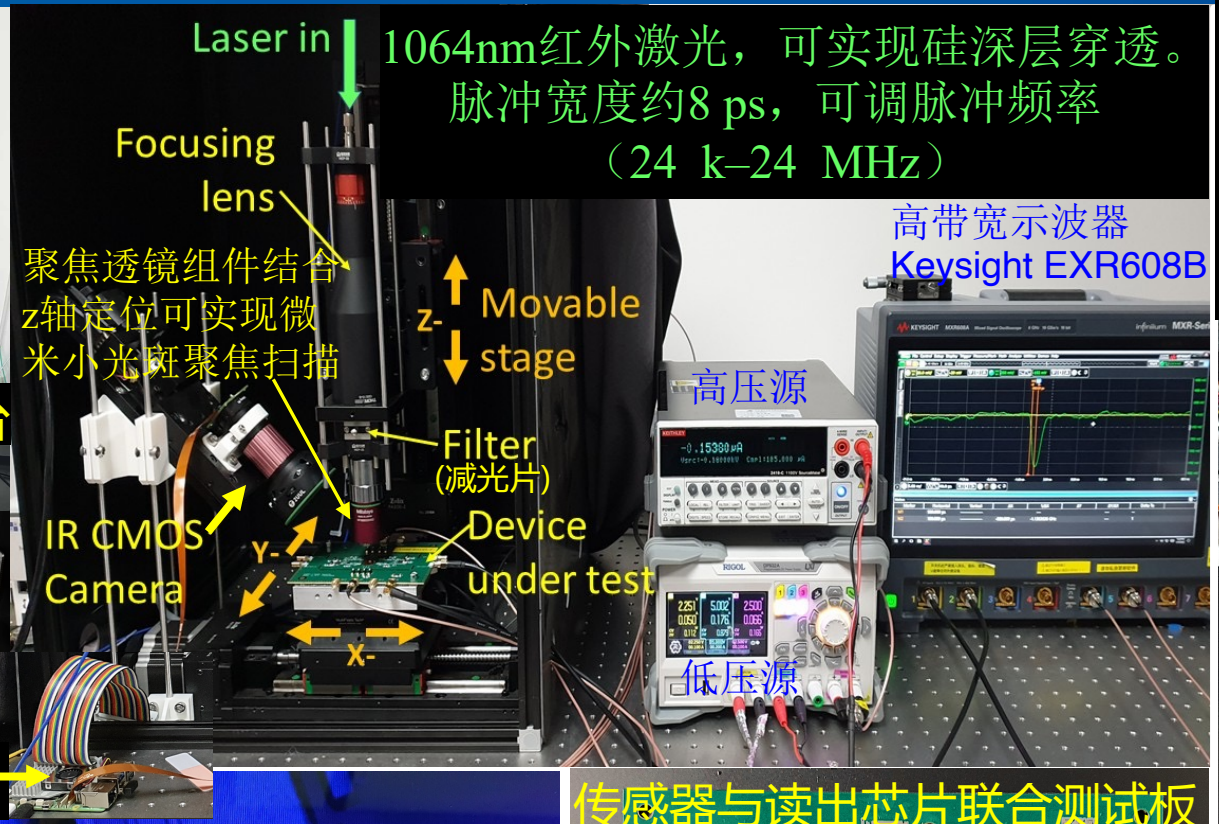




研发目标：兼具时间分辨40 ps、位置分辨10 μm的大尺寸传感器

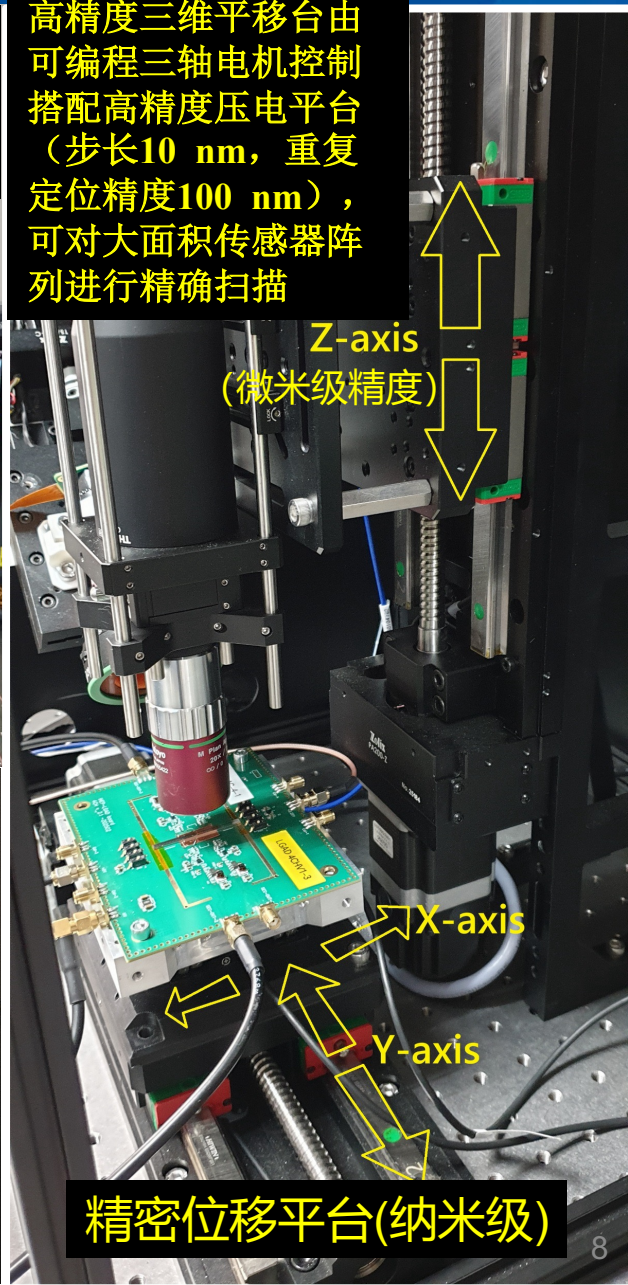
传感器位置分辨测量（高精度激光测试系统）



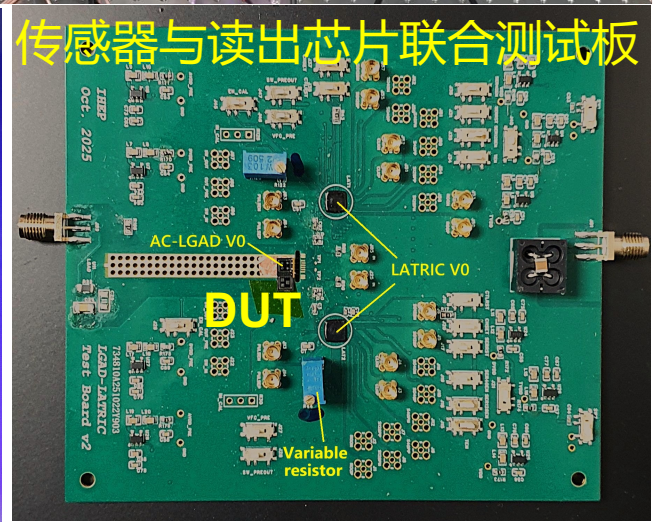


1064nm红外激光，可实现硅深层穿透。
脉冲宽度约8 ps，可调脉冲频率
（24 k–24 MHz）

高精度三维平移台由可编程三轴电机控制搭配高精度压电平台（步长10 nm，重复定位精度100 nm），可对大面积传感器阵列进行精确扫描

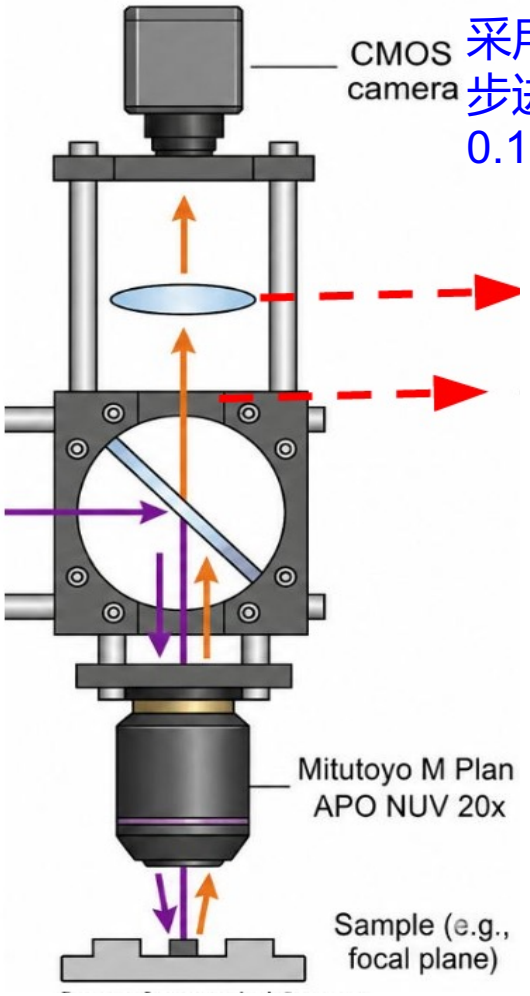




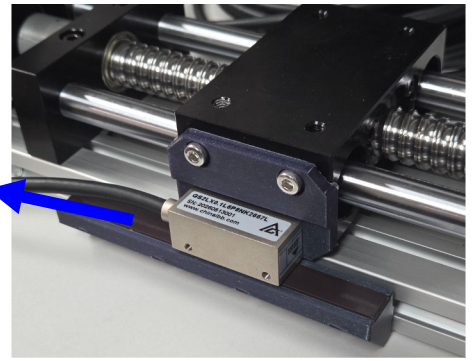


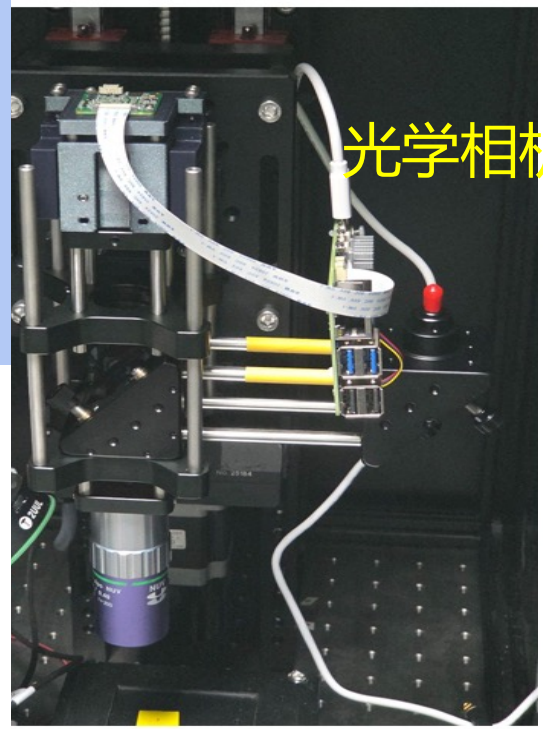
- 使用高精度皮秒红外激光TCT测试系统对最新研制的传感器及读出芯片进行性能测试

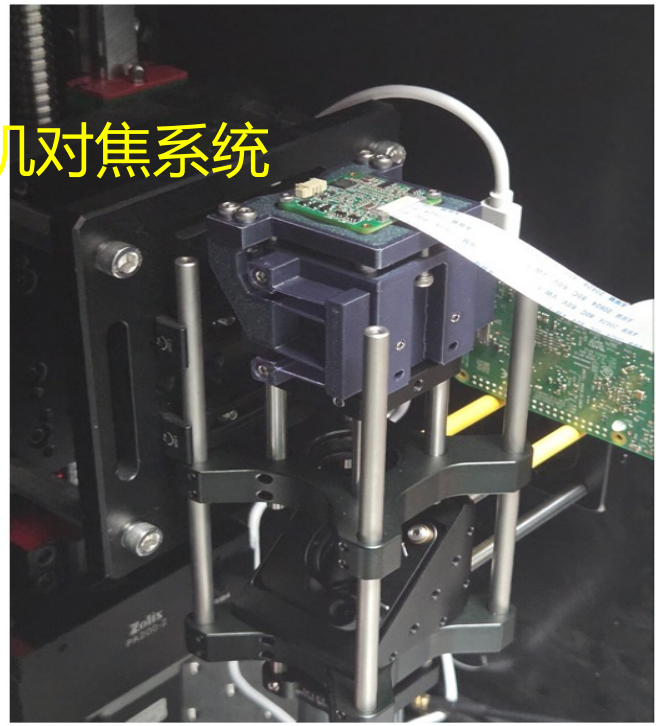
除用于硅基探测器测试的红外测试系统外，还开发了面向宽禁带半导体（SiC）的双光子高精度激光测试平台。硅基（Si）和碳化硅（SiC）探测器采用统一研发的自动软硬件协同系统框架、共享测试平台、前端读出电子学以及系统集成等



采用基于磁栅反馈的步进电机，实现优于0.1 μm 的定位精度

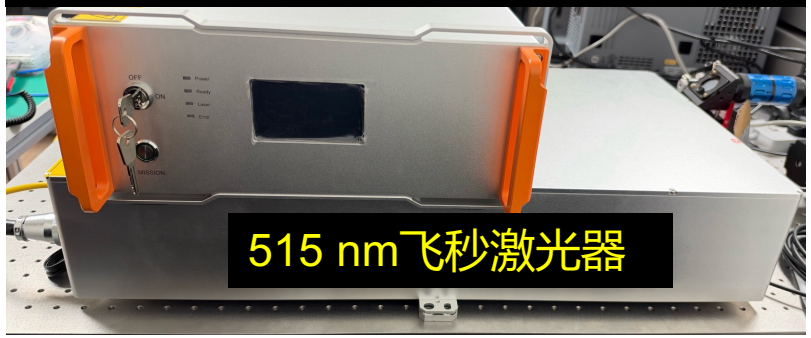


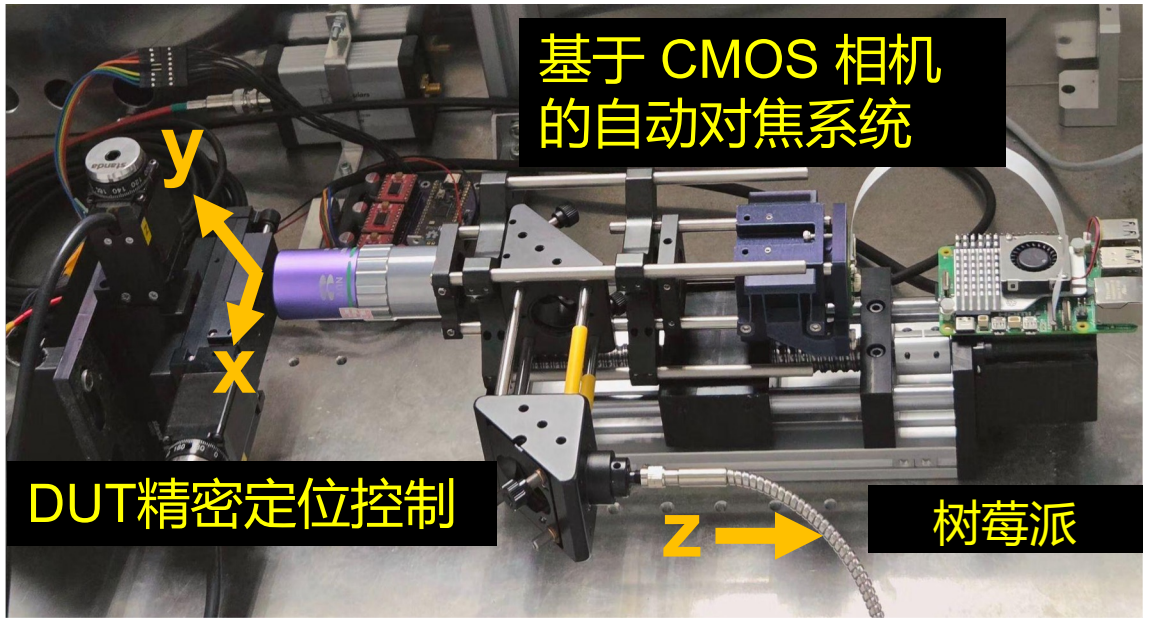




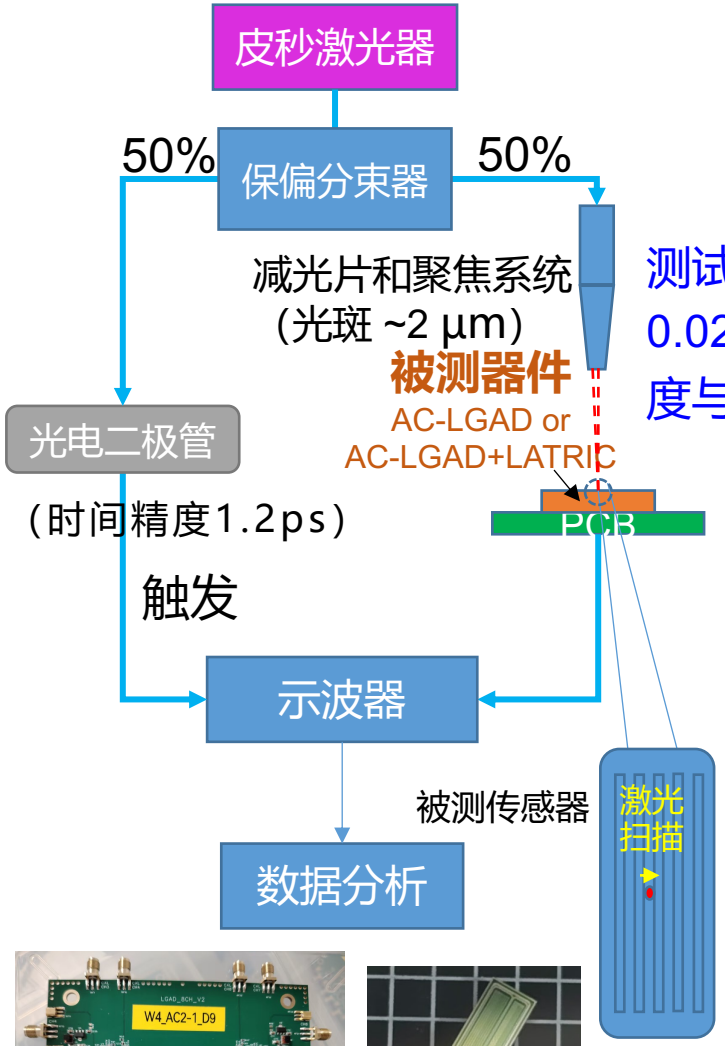
正进行515 nm飞秒(<200 fs)激光测试系统升级用于宽禁带半导体表征:

- 采用双光子激发穿透长度达60 μm，模拟MIP粒子在SiC上电离响应
- 兼容1030 nm红外工作模式

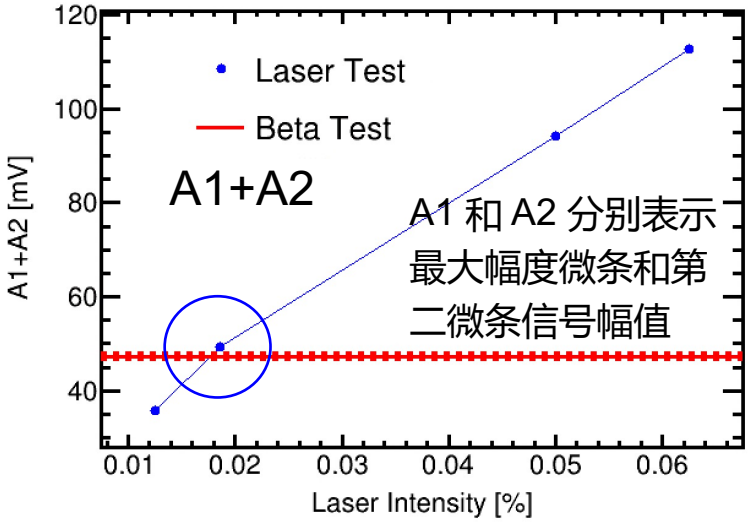


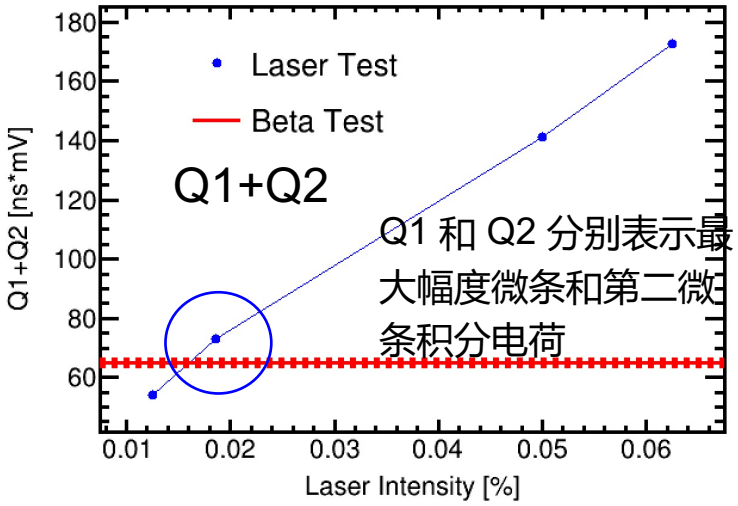


最小电离等效激光强度测试结果：最新微条传感器



测试结果显示：0.02%激光强度与MIP等效

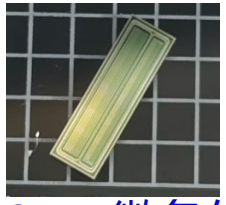




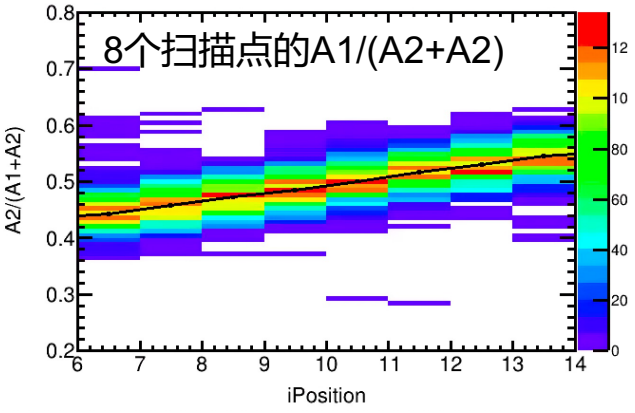
研发目标：兼具时间分辨40 ps、位置分辨10 μm的大尺寸硅基传感器

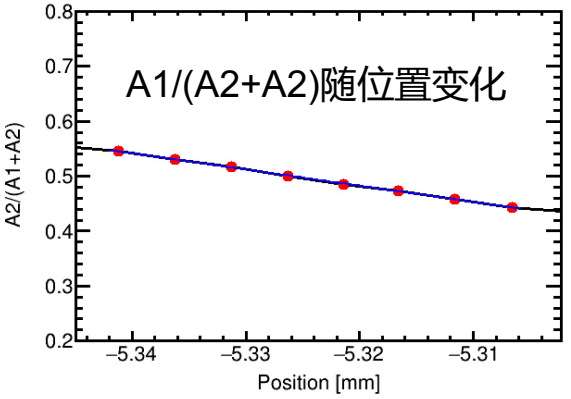
2026年最新迭代流片2 cm微条（100 μm微条间距）硅基LGAD传感器，在MIP等效激光强度下（0.02%），位置测量精度8 μm，时间精度60 ps

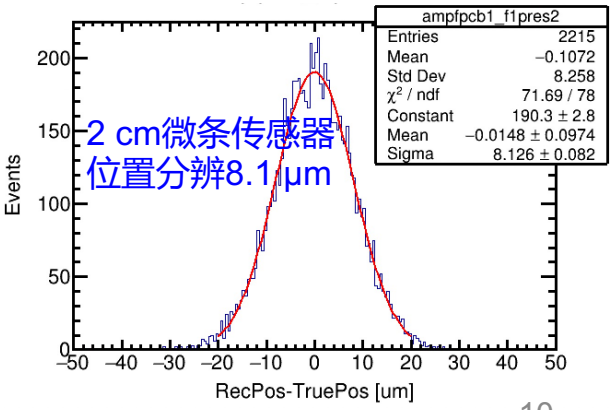




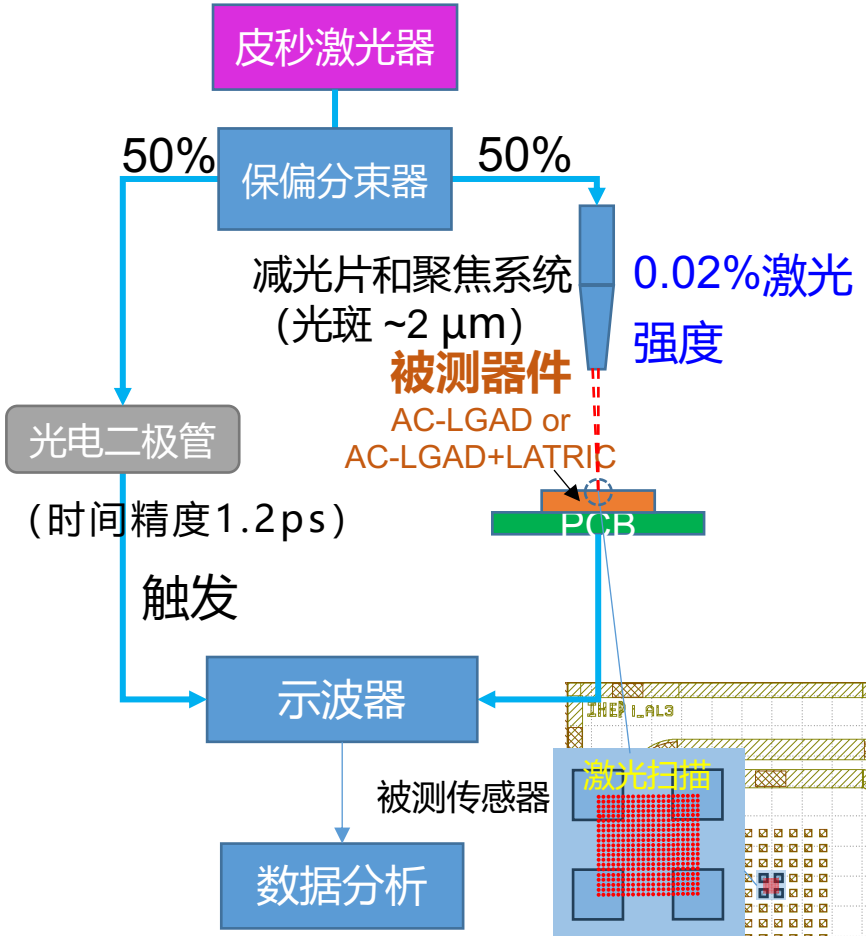
2 cm微条传感器

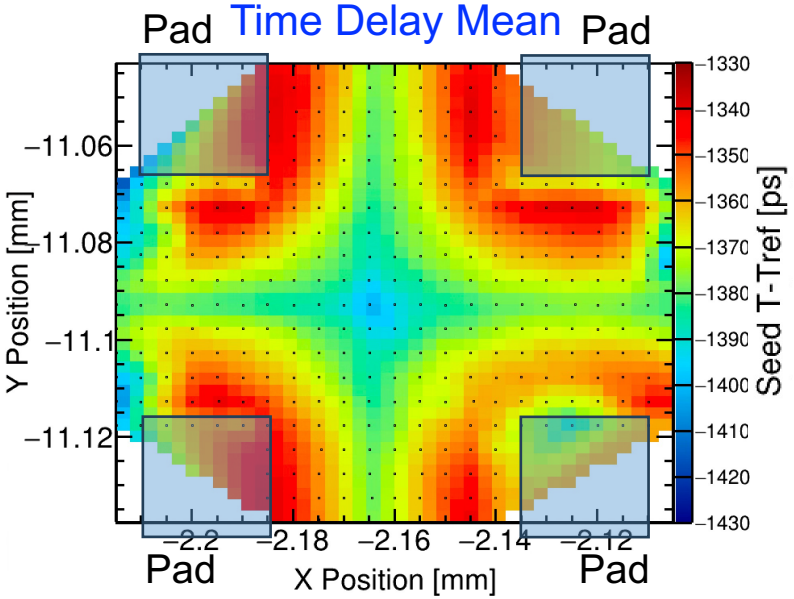


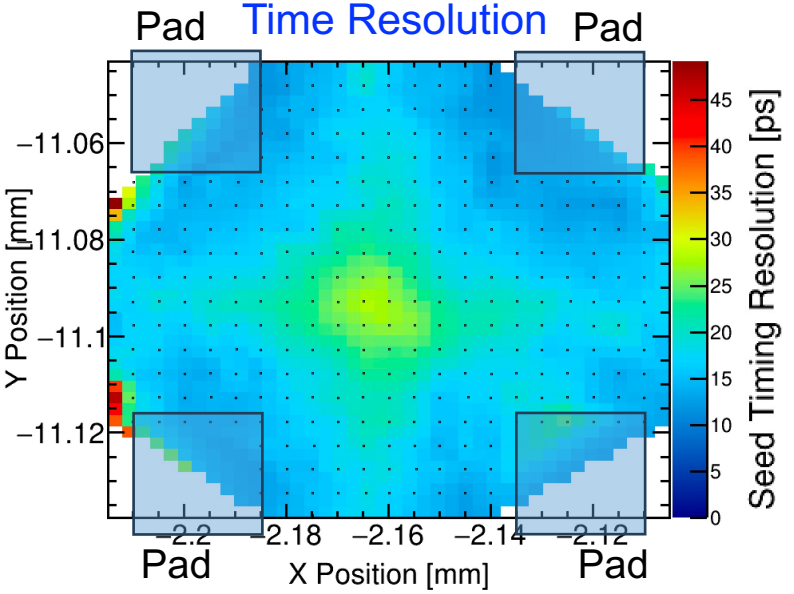




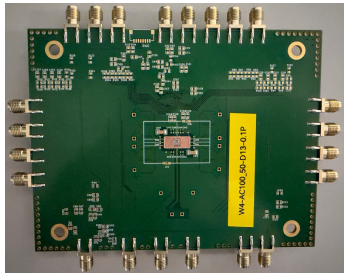
最小电离等效激光强度测试结果：最新像素传感器

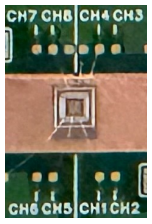




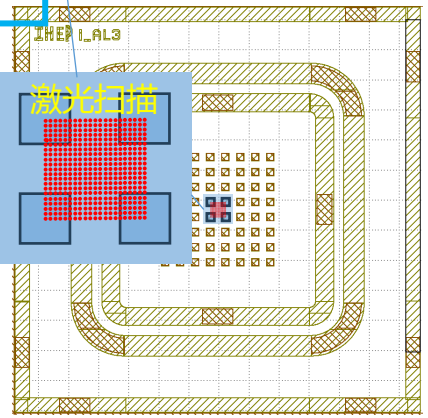


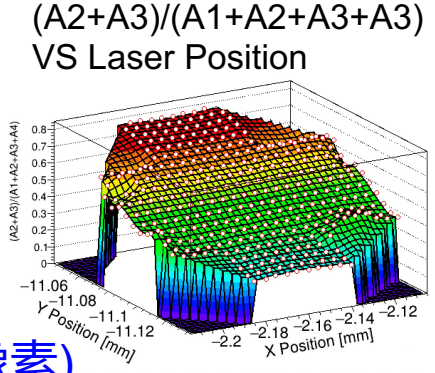
2026年最新流片的100 μm像素（50 μm读出pad）硅基LGAD传感器，在MIP等效激光强度下（0.02%），位置测量精度3 μm，时间精度约20 ps

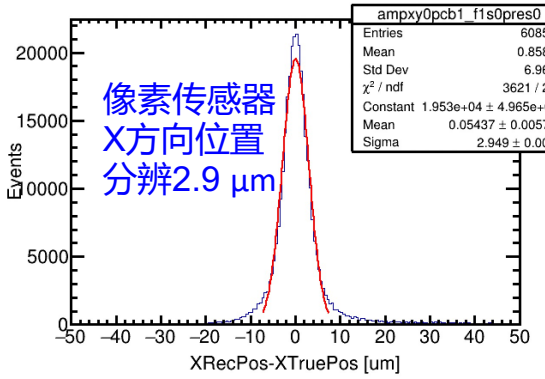


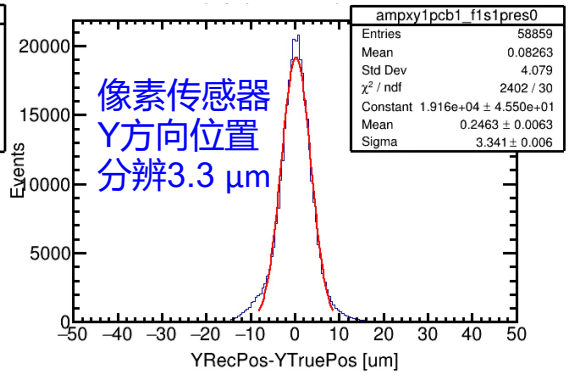


像素传感器(100 μm像素)







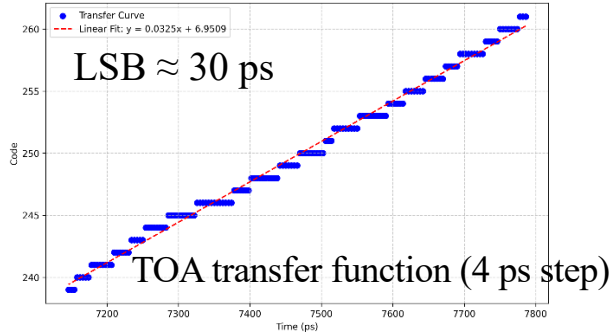


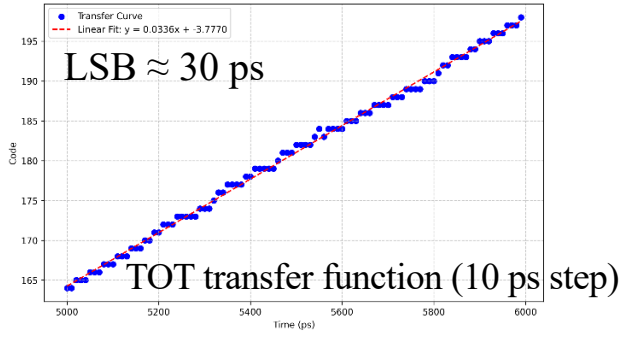
1.2 半导体探测器读出芯片的研发

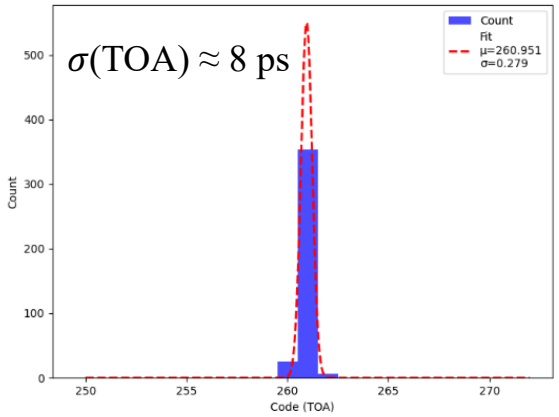
□ 研发兼具高时间精度（≤30 ps）、高位置分辨（匹配10 μm测量精度）、低功耗和高集成度（100 μm通道间距、≥64通道）的半导体探测器读出ASIC芯片LATRIC：

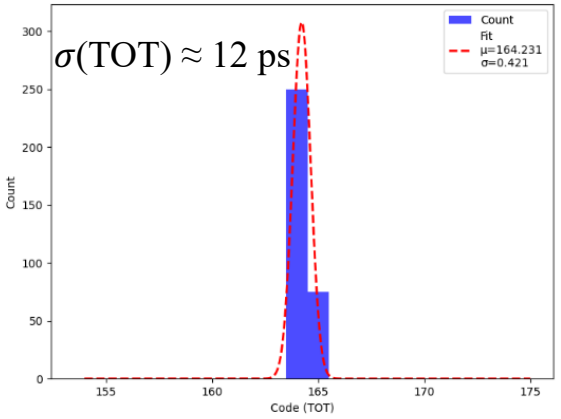
⇨ 第一版原型单通道芯片LATRIC0，团队于2025年4月份完成设计并提交流片

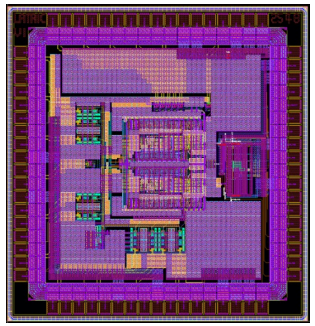
- ASIC集成了模拟前放、甄别器、时间数字转换器TDC、串行器用于数据读出
- 实测得到的时间最低有效位（LSB）约30 ps。测量到的TDC功耗0.1 mA (1.2 V) @ 0.5 MTPS (Mega-Trigger Per Second)，0.3 mA @ 1 MTPS， 0.5 mA @ 2 MTPS满足设计要求

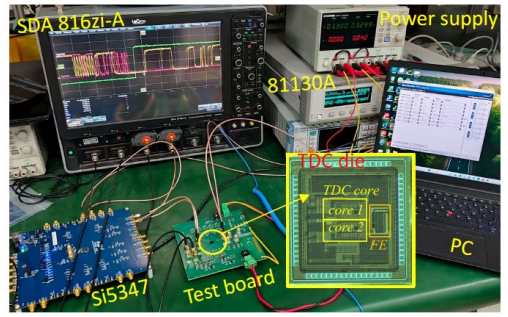




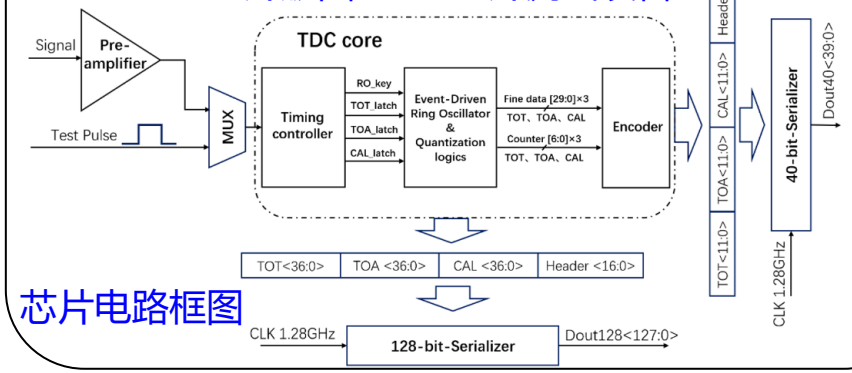








LATRIC0芯片版图　　芯片测试设备

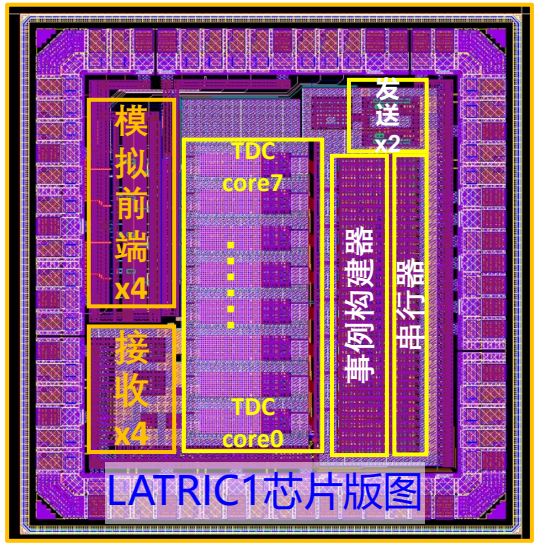


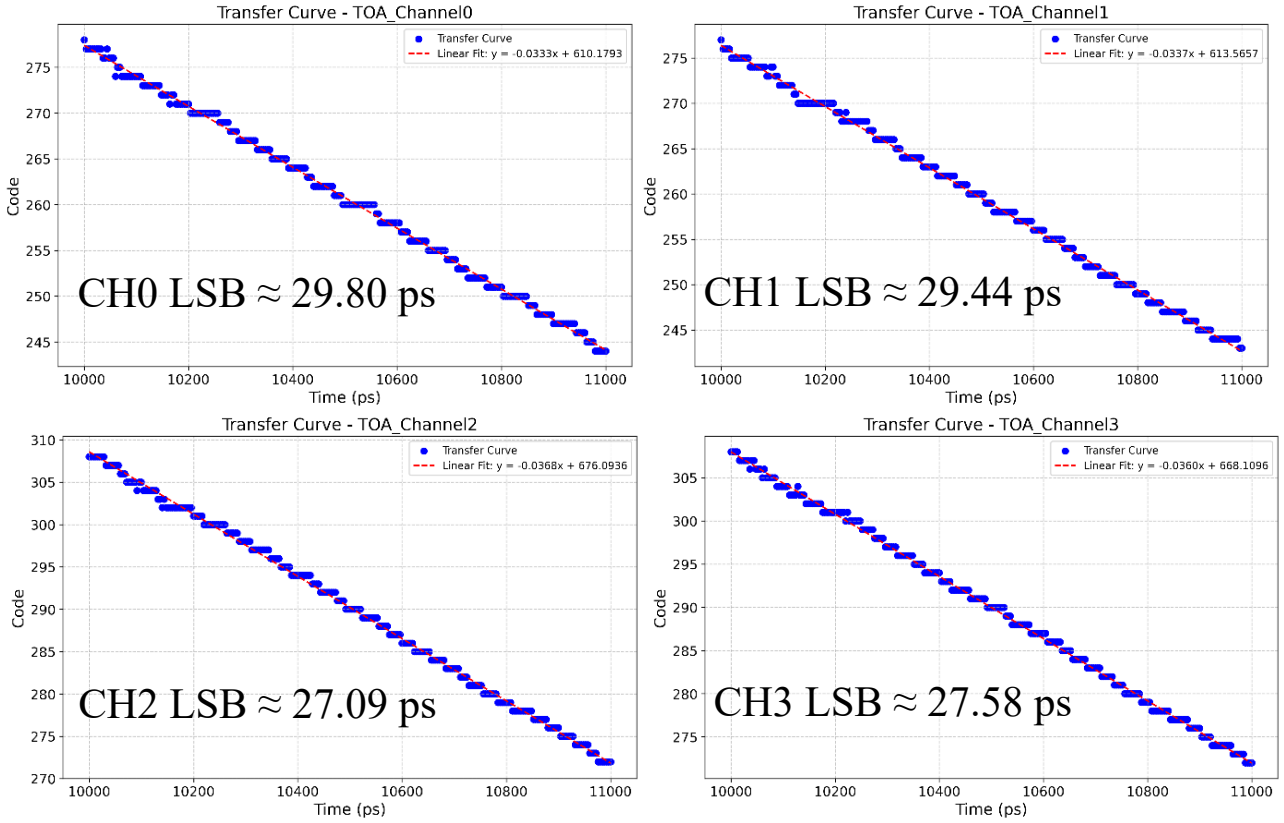
芯片电路框图

读出芯片LATRIC最新研发进展

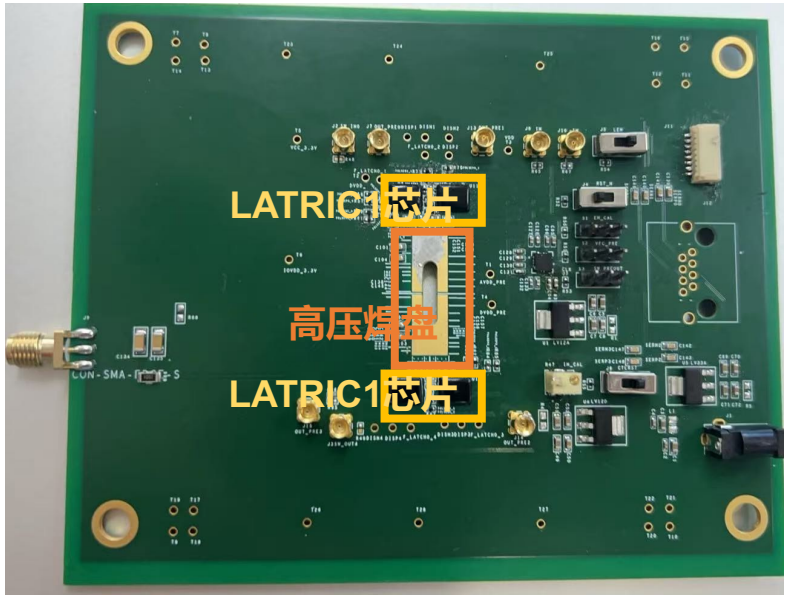
⇨ **第二版芯片LATRIC1采用8通道设计，团队于2025年10月份完成设计并递交流片**

- 4通道集成模拟前端与TDC，另外4通道TDC接差分脉冲接收器，通道间距100 μm
- 性能优化包括： 增强型模拟前端以提升前置放大器增益以改善信噪比；编码器逻辑精细化；增加事件构建器及时间戳功能等





2026年3月回片的LATRIC1最新实测时间有效位（LSB）



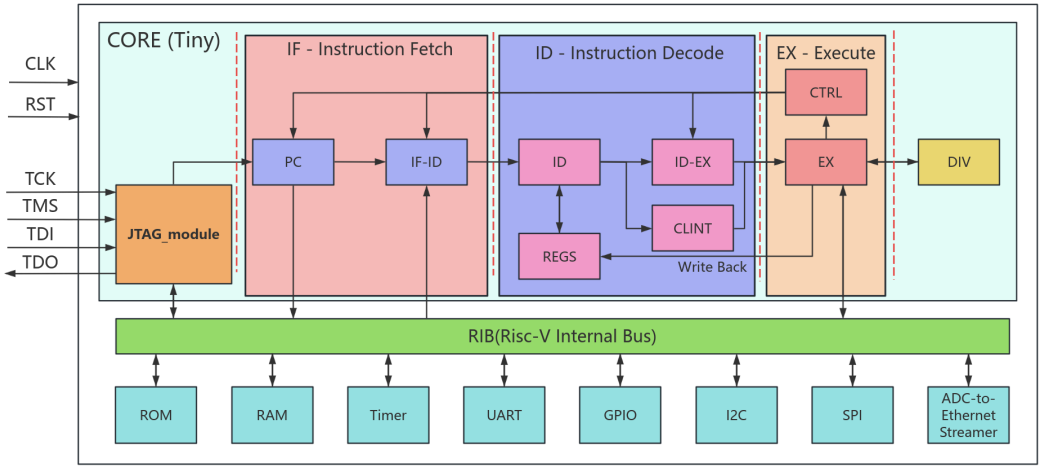
LATRIC1与传感器的联合测试板

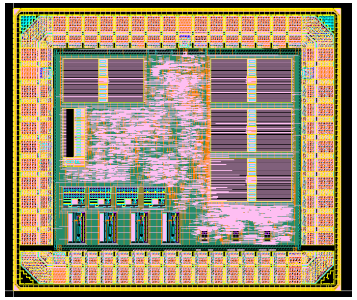
首款片上系统芯片研发

首款粒子物理专用抗辐照RISC-V片上系统（SoC）芯片HERIS

⇨ **传统ASIC芯片采用固化硬件逻辑架构，难以满足下一代探测器对灵活性、可配置、智能化的需求。“前端智能化”是探测器读出电子学的一个重要发展方向，核心在于前端引入可编程SoC构架（集成CPU、内存、总线、外设等）**，实现从“被动读出”向“主动感知与自适应控制”的转变。**定位于国内首款粒子物理抗辐照RISC-V片上系统芯片，原型芯片HERIS-V1（基于Tiny RiscV构架）**于2025年初启动研制。团队完成了从RTL代码开发、FPGA原型验证到数字后端集成设计的全流程，**并于2025年10月完成55 nm CMOS工艺流片**；**未来，该芯片将与LATRIC读出芯片集成，构建“高精度测量+片上智能处理”协同架构体系**

- Core (Tiny RiscV)
  - RV32IM指令集
  - 三级流水线
  - CoreMark/MHz = 2.4
- JTAG接口
  - 支持OpenOCD
  - 支持GDB调试启动
- 外设
  - 4 KB ROM, 32 KB RAM
  - 支持I2C, UART, and SPI
  - 集成ADC数据收集模块并通过UDP协议传输





- 55 nm 工艺制程
- 工作频率 50 MHz
- 芯片面积 1.020 x 1.196 mm
- 工作电压 1.2 V

首款SoC芯片（HERIS-V1）测试成功

- 上电，OpenOCD连通，ROM程序运行正常

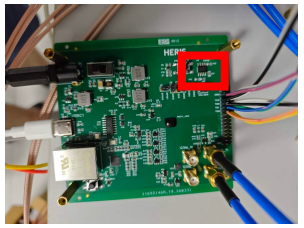
```
PS E:\fpga\Tools\xpack-openocd-0.12.0-6\bin> .\openocd.exe -f .\tinyriscv_JTAG_HS2.cfg
xPack Open On-Chip Debugger 0.12.0+dev-01850-geb6f2745b-dirty (2025-02-07-10:08)
Licensed under GNU GPL v2
For bug reports, read
        http://openocd.org/doc/doxygen/bugs.html
Info : clock speed 1000 kHz
Info : JTAG tap: riscv.cpu tap/device found: 0x1e200a6f (mfg: 0x537 (Wuhan Xun Zhan Electronic Technology), part: 0xe200
, ver: 0x1)
Info : datacount=3 progbufsize=1
Info : Examined RISC-V core; found 2 harts
Info :  hart 0: XLEN=32, misa=0x0
Info : [riscv.cpu] Examination succeed
Info : [riscv.cpu] starting gdb server on 3333
Info : Listening on port 3333 for gdb connections
Info : Listening on port 6666 for tcl connections
```

串口调试助手 + TCP/UDP

端口名：COM5
波特率：115200
数据位：8
校验位：None
停止位：1
RI DSR CTS DTR RTS

```
--- RISC-V Bootloader Started ---
Initializing SD card on SPI channel 1...
SD_INIT: Failed on CMD0
!!! FATAL: SD Card initialization failed. Halting. !!!
Target RAM size: 14336 bytes. Need to read 28 blocks from SD card.
Starting to copy data from SD:@0x0 to RAM:@0x10000000...
```

- 板载 EEPROM， I²C 协议进行工作



```
int main() {
    uart_init();
    xprintf("\n=== I2C Master Final Test Program ===\n");
    i2c_init(50000000, 100000);

    uint16_t test_addr = 0x1234;
    uint8_t test_data  = 0xAC;

    eeprom_write_byte(test_addr, test_data);
    uint8_t read_back = eeprom_read_byte(test_addr);
```

UART输出

```
== I2C Master Final Test Program ===
[I2C] Write: Addr=0x1234 Data=0xAC
  > Config Check: Slave=0x53, Addr=0x1234, Data=0xAC
[I2C] Read: Addr=0x1234
```

断电后再次运行

UART输出

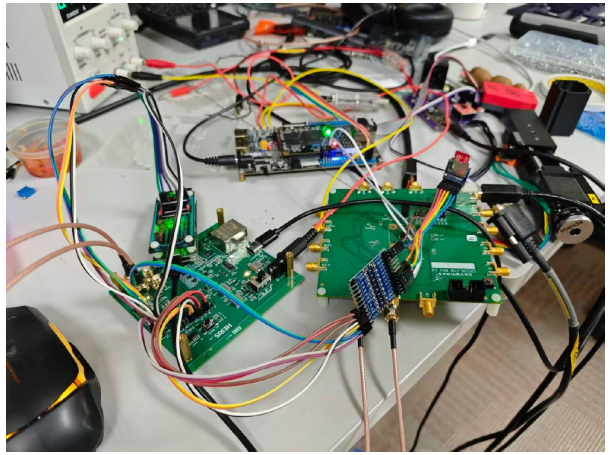
```
int main() {
    uart_init();
    xprintf("\n=== I2C Master Final Test Program ===\n");
    i2c_init(50000000, 100000);

    uint16_t test_addr3 = 0x0123;
    uint8_t read_back3 = eeprom_read_byte(test_addr3);
    uint16_t test_addr2 = 0x1234;
    uint8_t read_back2 = eeprom_read_byte(test_addr2);

    xprintf("[I2C] Verification: Read1 0x%02X, Read2 0x%02X\n", read_back3, read_back2);
```

```
=== I2C Mater Final Test Program ===
[I2C] Read: Addr=0x0123
[I2C] Read: Addr=0x1234
[I2C] Verification: Read1 0xFF, Read2 0xAC
```

- ROM和SD卡，SPI模块运行正常

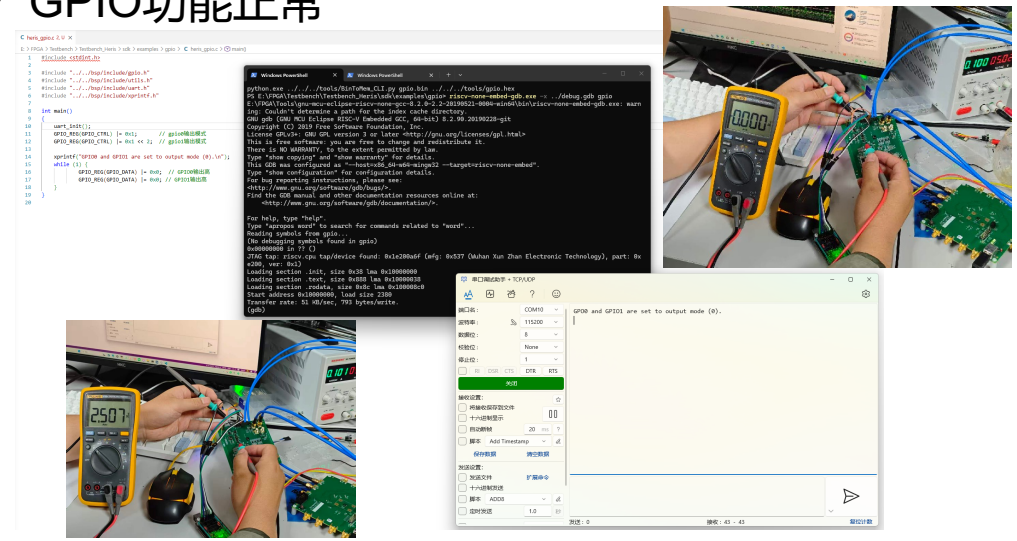


串口调试助手 + TCP/UDP

端口名：COM11
波特率：115200
数据位：8
校验位：None
停止位：1
RI DSR CTS DTR RTS
关闭
接收设置：
将接收保存到文件
十六进制显示
自动断帧 20 ms
脚本 Add Timestamp
保存数据 清空数据

```
--- RISC-V Bootloader Started ---
Initializing SD card on SPI channel 1...
SD Card on SPI CH-1 initialized successfully.
SD Card initialized successfully.
Target RAM size: 14336 bytes. Need to read 28 blocks from SD card.
Starting to copy data from SD:@0x0 to RAM:@0x10000000...
.......
Data copy complete.
Bootloader finished. Jumping to application at 0x10000000...
hello world
```

- GPIO功能正常



HERIS-V1性能测试

测试条件

CoreMark Benchmark Statistics

Test Configuration

Item	Value
CPU Architecture	RV32IM Softcore
Benchmark	CoreMark
Iterations	100
Compiler	GCC 8.2.0
Optimization	`-O2 -funroll-loops -finline-functions`
Memory Mode	STATIC
Assumed Timer Clock	50 MHz

HERIS-V1跑分

CoreMark Results Summary

Run	Total Ticks	Time (s)	CoreMark	CoreMark/MHz
1	47,140,681	0.943	106.07	2.121
2	57,254,527	1.145	87.33	1.747
3	57,254,216	1.145	87.33	1.747
4	57,254,809	1.145	87.32	1.746
5	57,254,522	1.145	87.33	1.747
6	57,254,148	1.145	87.33	1.747
7	57,255,302	1.145	87.31	1.746
8	57,256,313	1.145	87.30	1.746
9	57,253,503	1.145	87.33	1.747
10	36,131,525	0.723	138.38	2.768
11	57,254,188	1.145	87.33	1.747
12	57,254,522	1.145	87.33	1.747
13	57,254,203	1.145	87.33	1.747

FPGA跑分

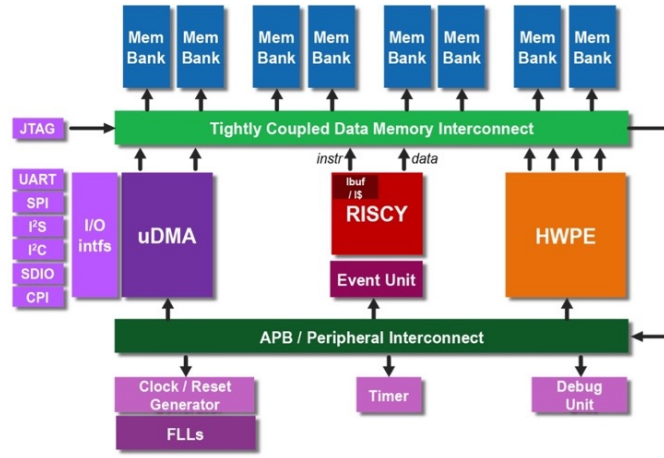
#	Total Ticks	CoreMark	CoreMark/MHz
1	264,551,913	18.90	0.378
2	25,685,150	194.66	3.893
3	55,131,135	90.69	1.814
4	29,876,551	167.35	3.347
5	57,253,579	87.33	1.747
6	57,243,713	87.35	1.747
7	29,906,285	167.19	3.344
8	57,254,426	87.33	1.747
9	41,493,461	120.50	2.410
10	46,612,237	107.27	2.145
11	54,497,797	91.75	1.835
12	48,237,510	103.65	2.073
13	28,275,053	176.83	3.537
14	57,253,726	87.35	1.747
15	13,635,777	366.68	7.334
16	25,475,668	196.27	3.925
17	57,253,893	87.35	1.747
18	57,253,672	87.36	1.747
19	57,253,673	87.36	1.747
20	26,854,754	186.19	3.724
21	57,250,967	87.40	1.748
22			
23			
24			
25			
26			
27			
28			
29			
30			
31			
32			
33			
34			
35			
36			

额定频率50 MHz，最大工作频率150 MHz

性能水平：

- **ARM Cortex-M0/M0+**：约 0.9 ~ 1.0
- **PicoRV32 (极简 RISC-V)**：约 0.5 ~ 0.8
- **HERIS-V1：1.75 （芯片与FPGA跑分结果一致）**
- **VexRiscv / 蜂鸟 E203**：约 1.5 ~ 2.2
- **ARM Cortex-M3 / M4**：约 3.3 ~ 3.4

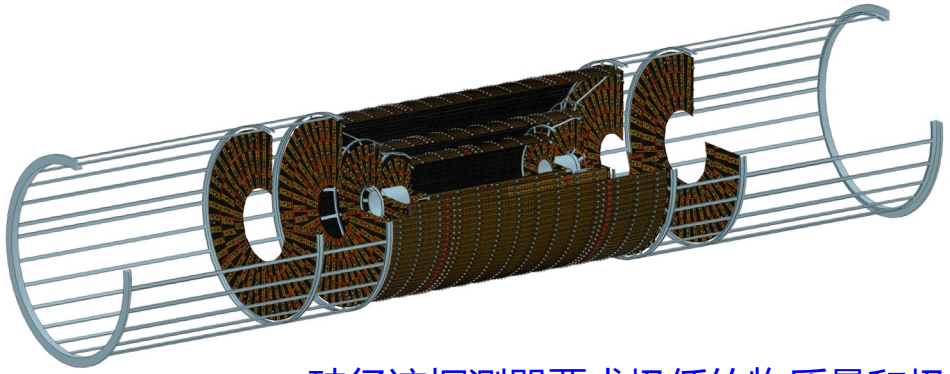
⇨ **下一代HERIS-V2将基于PULPissimo SoC平台构建新一代核心架构（RISCY/Ibex两款内核）；同时进行体系化抗辐照加固：构建“逻辑层TMR（三模冗余）+存储层ECC（纠错码）+系统层软件自愈”的多层次抗辐照加固架构；计划于2027年1月完成设计并提交流片**

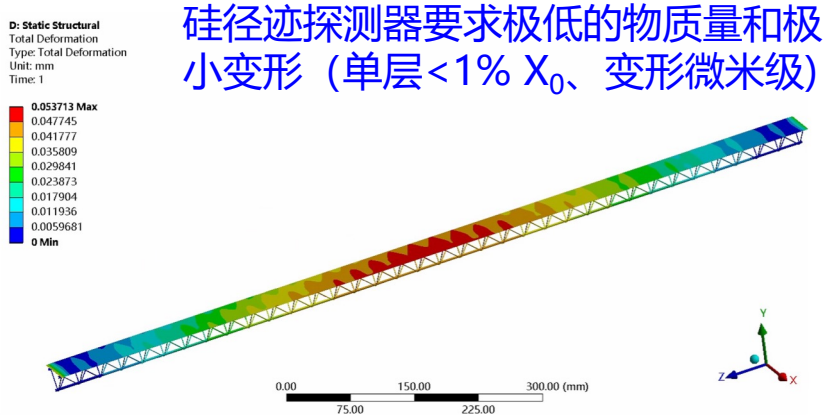


1.3 半导体探测器的机械工艺研发

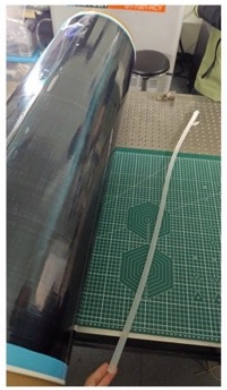
半导体探测器机械实验室建设

⇨ **带电粒子在材料上的多重散射，以及机械结构的稳定性和形变，直接影响径迹测量精度。**同时探测器的发热需高效导出。这对低物质量、高强度、高导热碳纤维复合结构与冷却的一体化设计与加工工艺提出了特殊要求 。针对该领域国内尚缺乏体系化布局，**团队已成立机械实验室，围绕硅径迹探测器样机研制，系统开展碳纤维复合材料结构设计与制造工艺关键技术研究，推动轻质复合材料的专业化研发以在半导体探测器中的工程化应用**





硅径迹探测器要求极低的物质量和极小变形（单层<1% X_0、变形微米级）



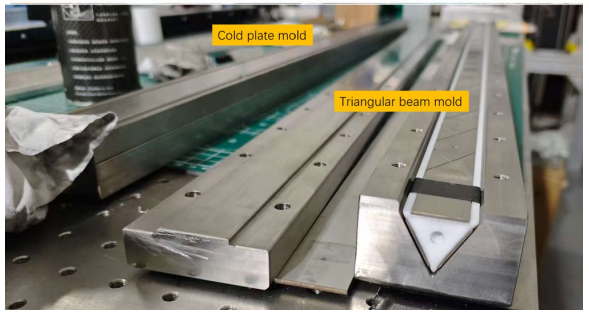




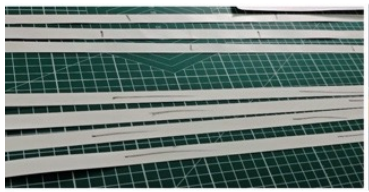
M55J预浸料　M55J碳纤维丝　碳纤维树脂和脱模剂

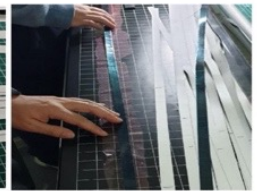


烘箱



设计加工的碳纤维热压磨具







碳纤维预浸料裁剪带　碳纤维预浸料铺层　涂脱模剂

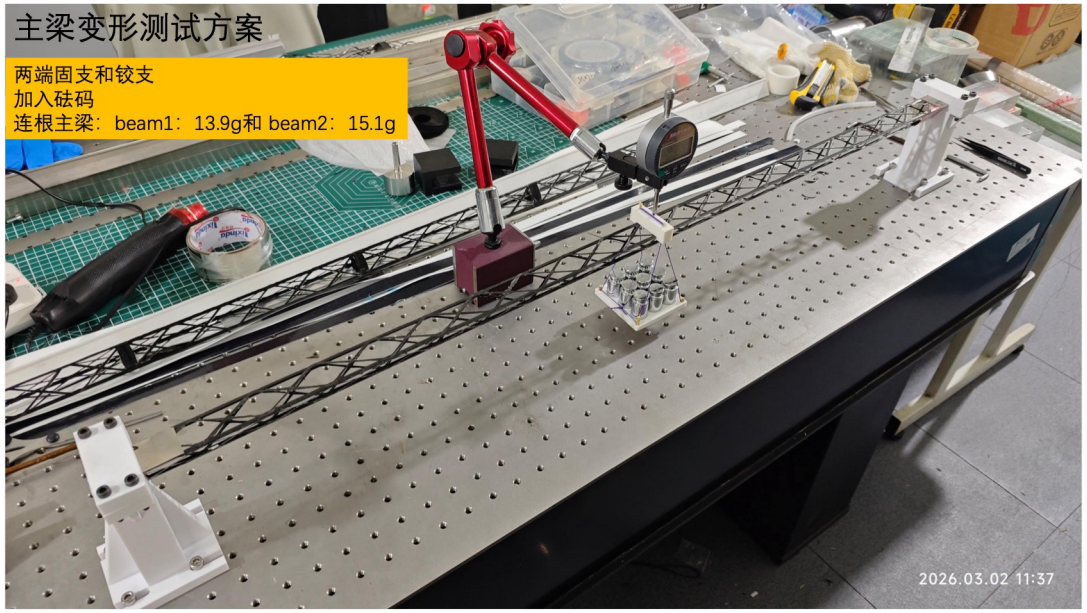


团队2026年设计自制的一批工程样件

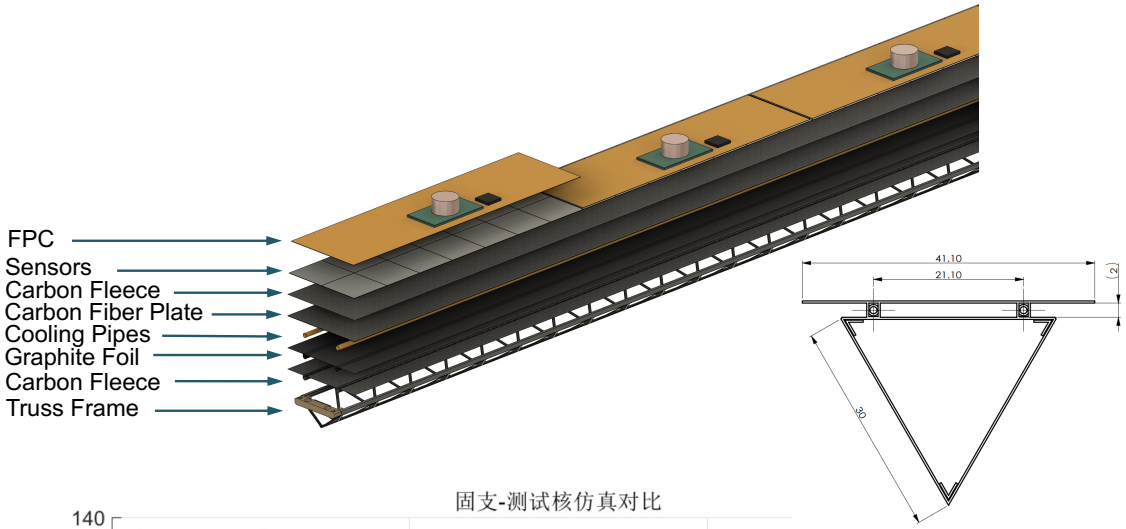
成型样样件

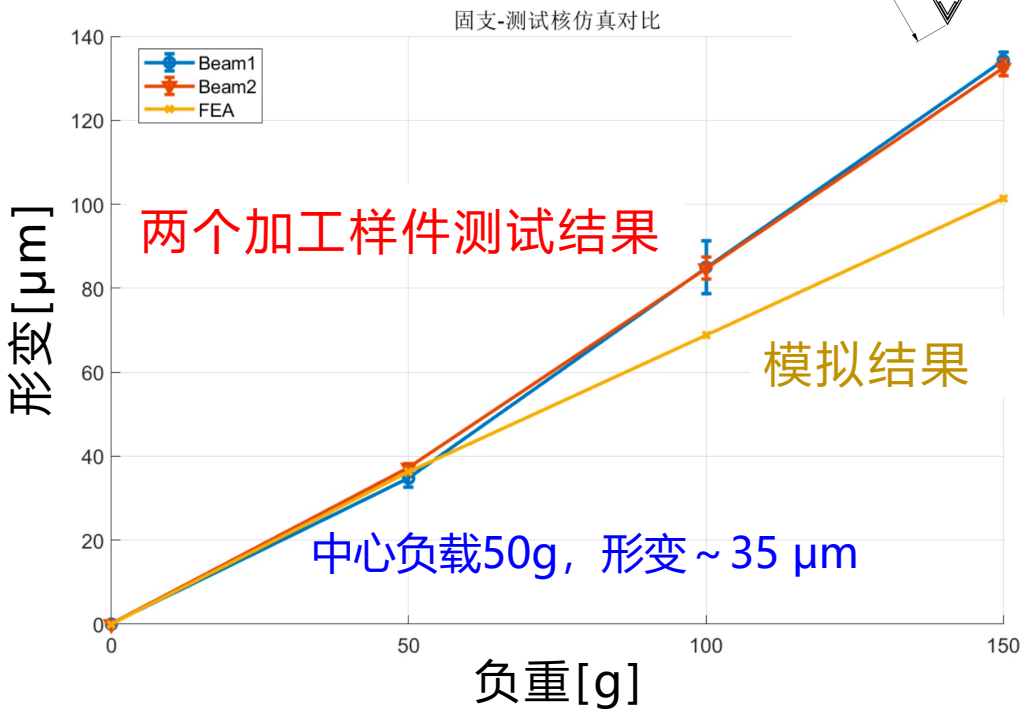
碳纤维复合材料设计和加工工艺研究

⇨ **基于建模与模拟分析开展拓扑优化设计；结合模具设计与工艺研究，开展高强度碳纤维预浸料铺层、丝束缠绕及结构一体化热压固化成型工艺研发。**重点攻克高模量、多材料热膨胀匹配、结构平整度与脱模等工艺难题。通过力学、光学测量对结构性能进行系统表征，**形成涵盖设计、加工工艺开发、性能验证的完整技术积累**

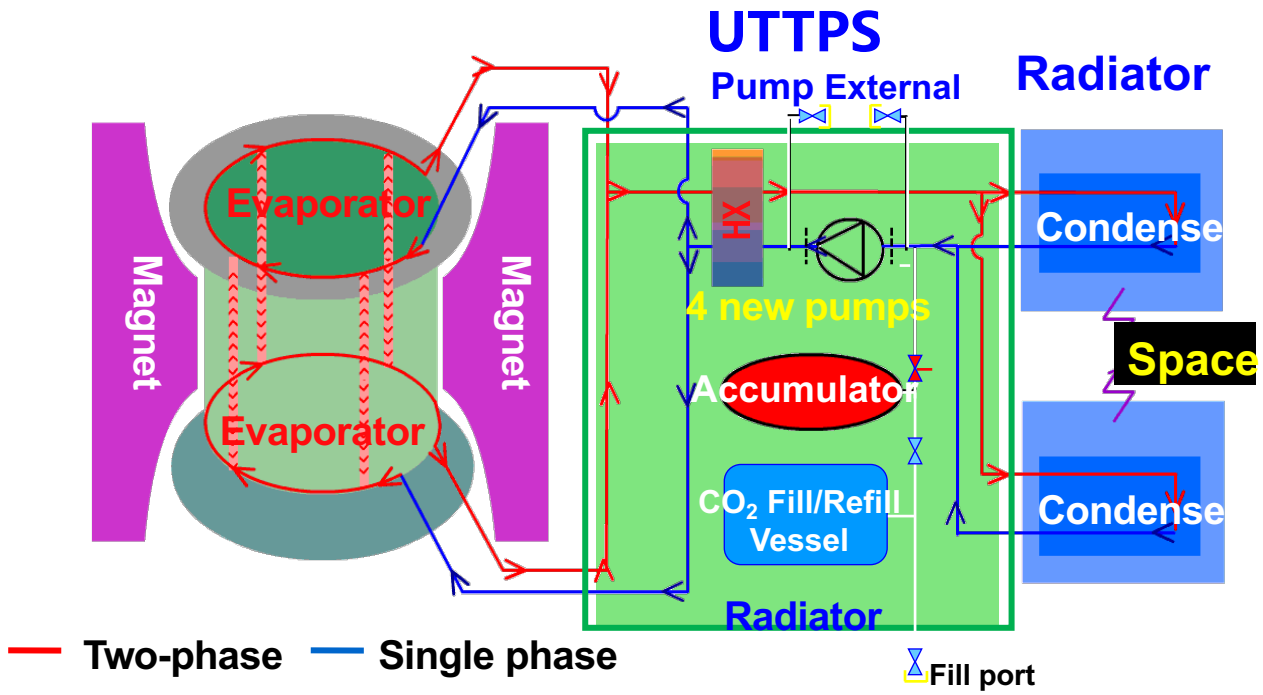


自制的1m长碳纤维机械结构样件（重量15g）负载形变测试

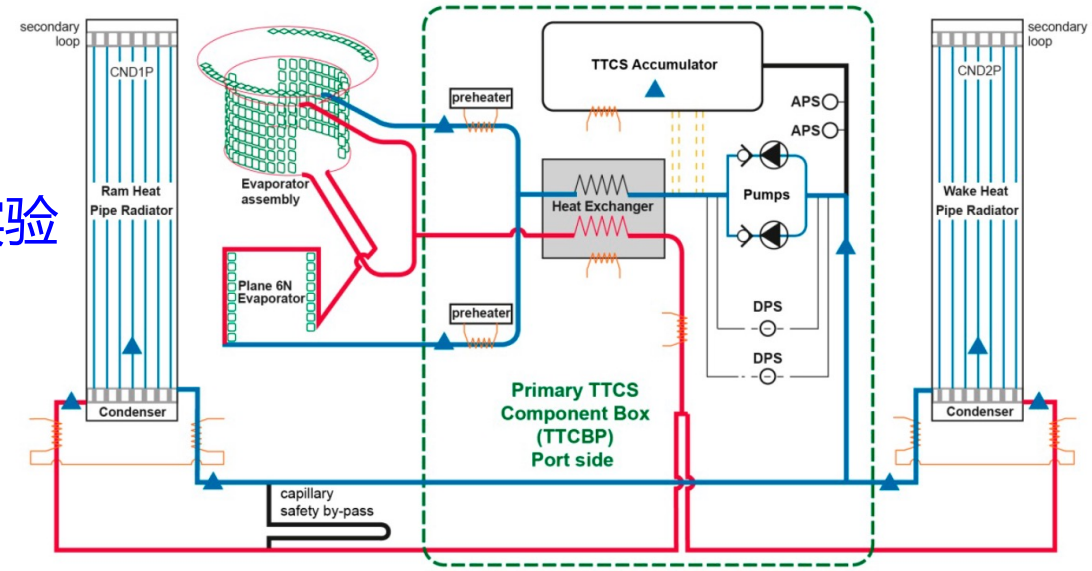




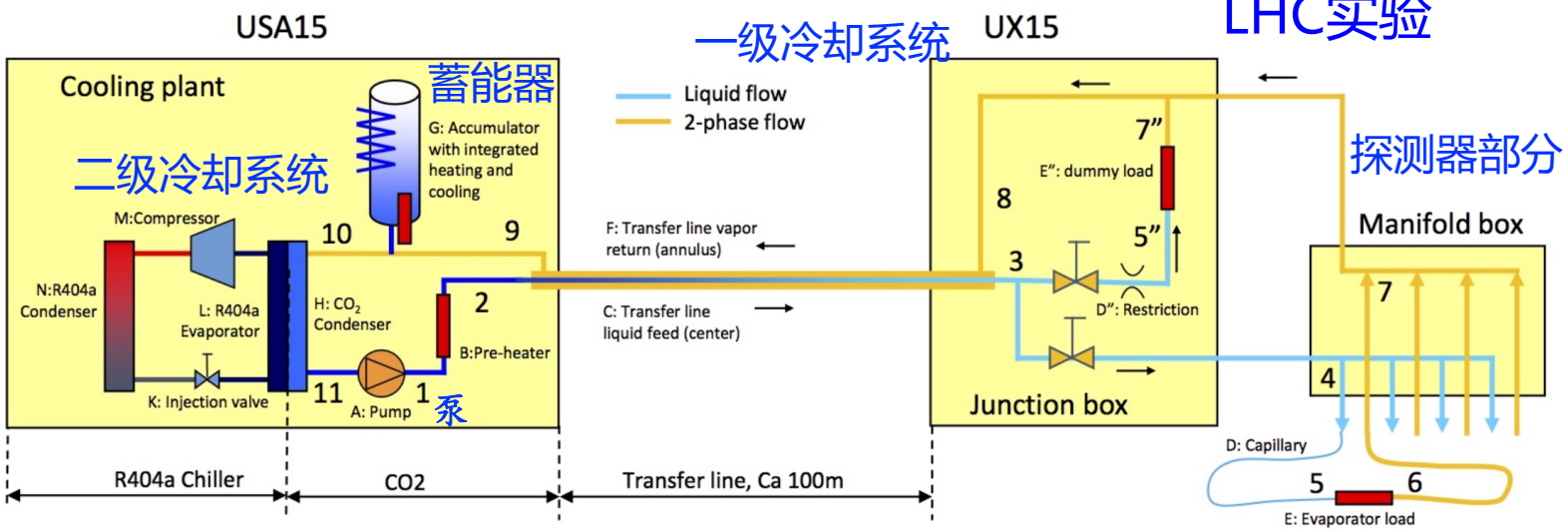
1.4 半导体探测器的冷却技术



AMS实验



LHC实验

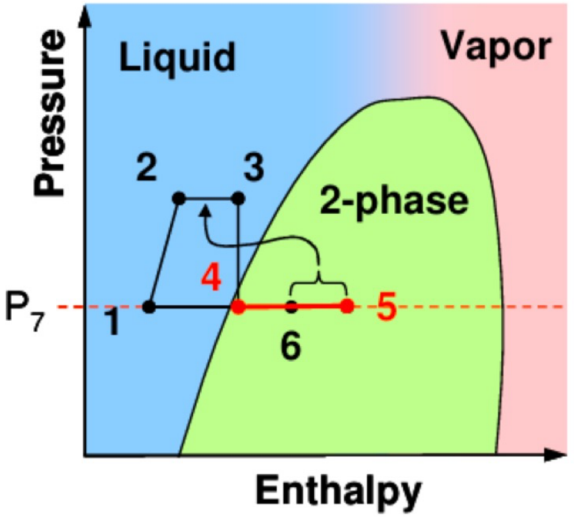


作为半导体径迹探测器的关键技术，无论是未来的天上实验或是地面实验，两相CO_2冷却系统必不可缺。除粒子物理外，还可用于航天载荷实验、电子设备冷却及其他高功率密度芯片散热场景

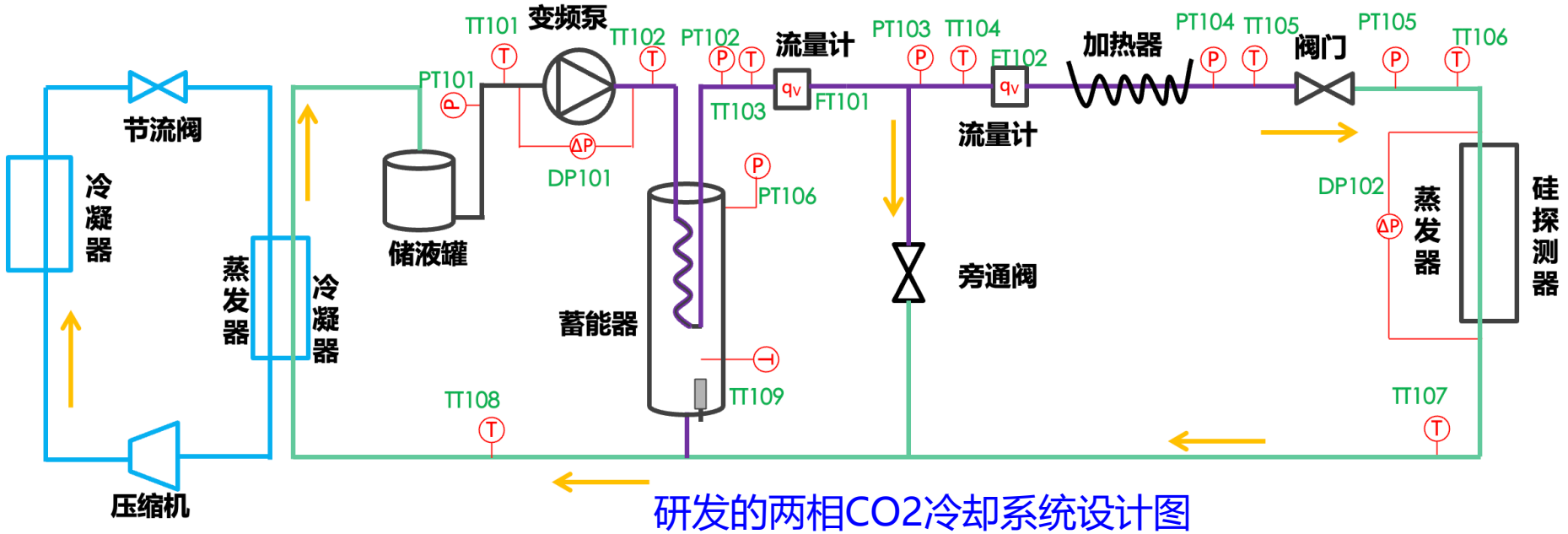
两相CO_2冷却系统研制

研制国内首台高能物理气液两相CO_2冷却系统

⇨ 半导体探测器要求低温工作环境、以提升信噪比，CO_2是理想的冷却介质。**针对大功率半导体探测器低温运行需求，正与理化所联合研发首台完整两相CO_2冷却样机。**该系统采用紧凑便携式设计，额定散热功率～1.2千瓦（可升级至>2千瓦），工作温度-40°C至20°C可调，控温精度优于±1°C



两相CO_2冷却系统压焓图

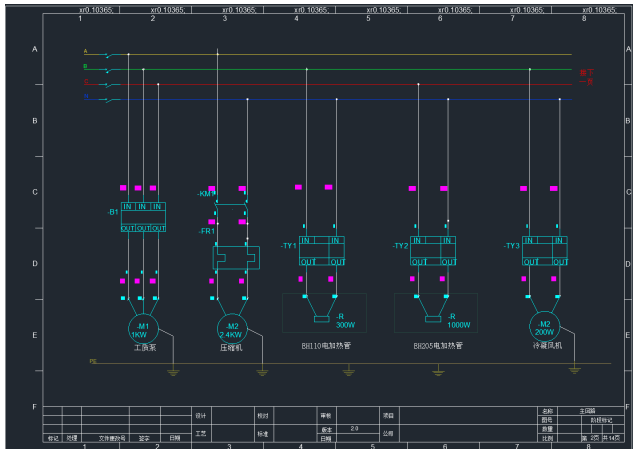


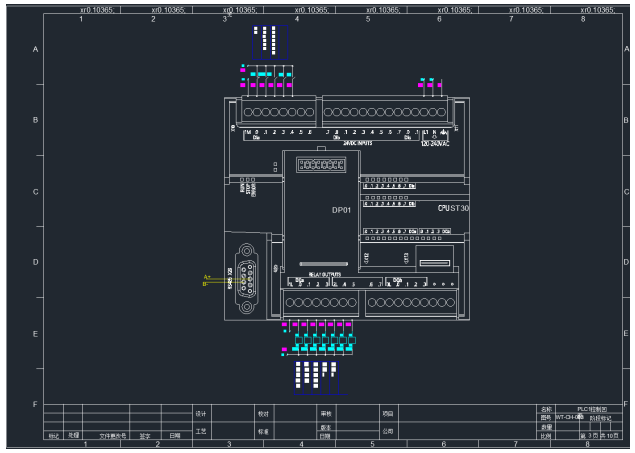
研发的两相CO2冷却系统设计图

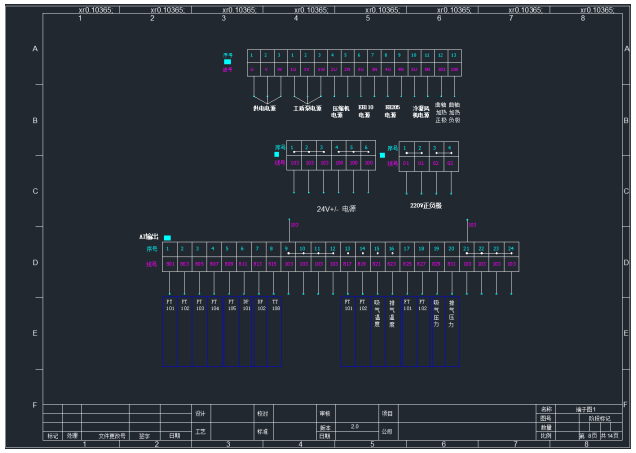
（测点：9个温度传感器、7个压力传感器、2个差压传感器、2个流量计、2个液位计）

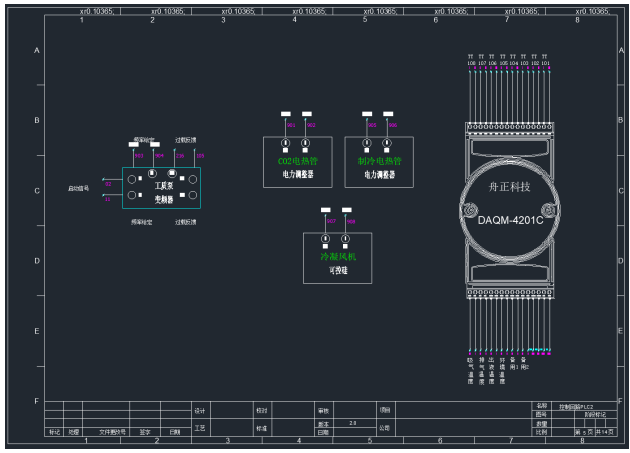
该系统可与各种热负载系统进行集成，适用于不同的实验配置和应用需求。系统采用紧凑化布局设计（总重量约 100 kg）。同时，该系统还可支持扩展成更大规模冷却系统

➢ 系统电气图设计



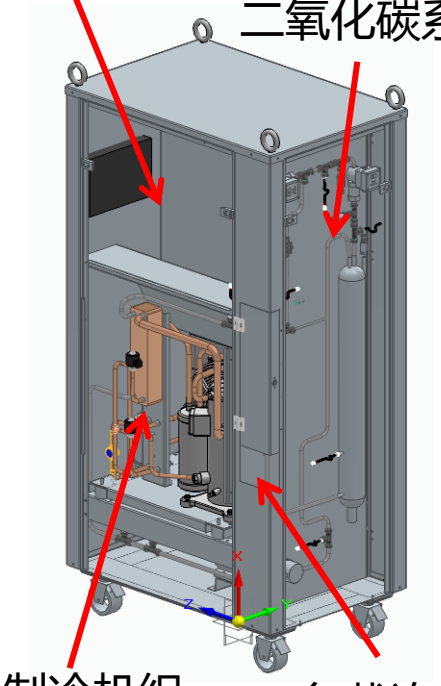






控制柜放置处

二氧化碳系统



制冷机组

负载连接处

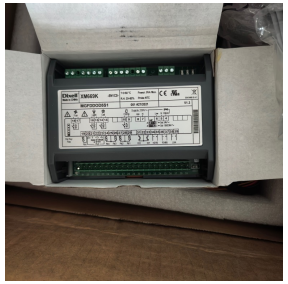
➢ 部件实物图



压缩机



板式换热器



膨胀阀驱动



过滤器-R404A



视液镜-R404A



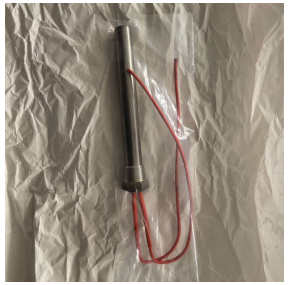
油分离器



增焓阀驱动



温度传感器



加热棒



压力传感器



过滤器-CO2



差压传感器

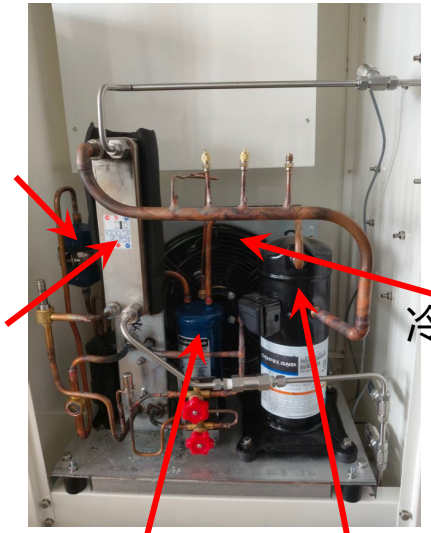


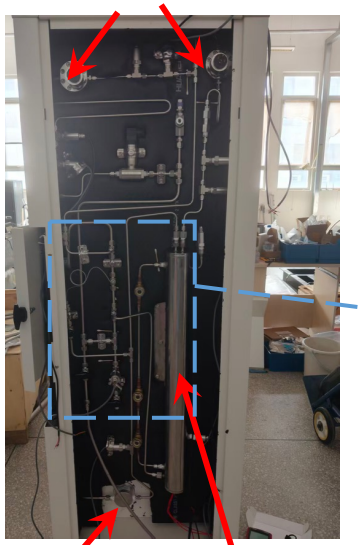
流量计

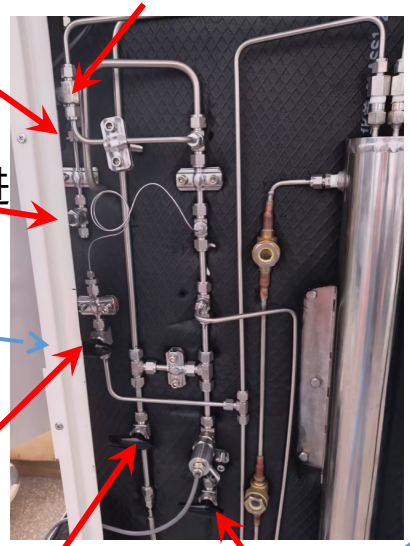


视液镜-CO2

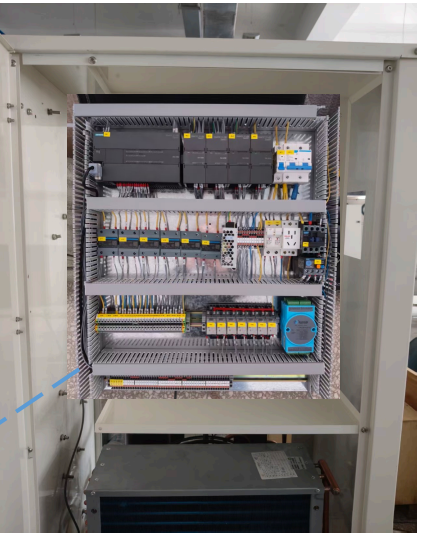
➢ 两相CO2冷却系统研制最新进展







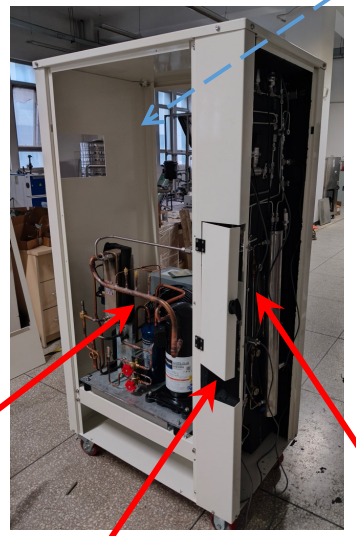
两相CO2冷却系统总装



硅探测器热负载端测试系统

全套系统的集成工作正在进行，计划于 2026 年 11 月完成整套系统的运行和调试





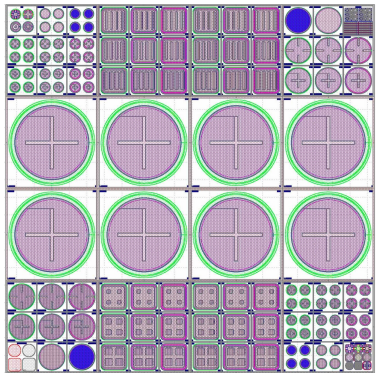


研发主线：传感器和芯片

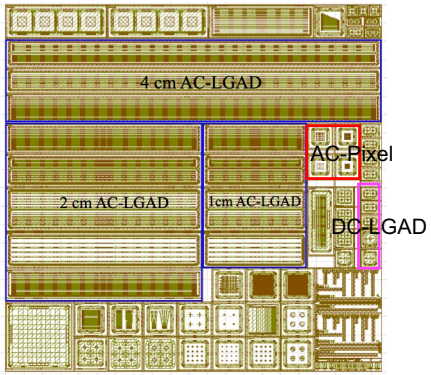
传感器和ASIC体系化整合

- 形成以“硅基为主线、多材料协同发展”的半导体探测器研发体系
- 涵盖从工艺、设计、测试、分析、整体系统集成等全链条研发链路

增益型SiC

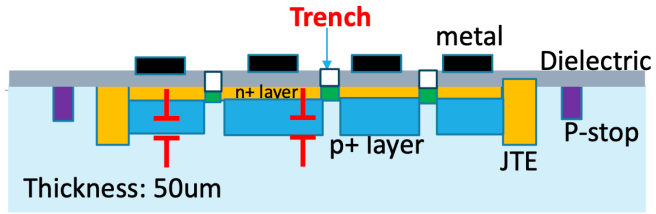


硅基LGAD



传感器向大尺寸、高性能、低功耗发展

- 下一版传感器研发是迈向最终性能的重要一步：降低电容从而实现大尺寸、高精度、低功耗需求



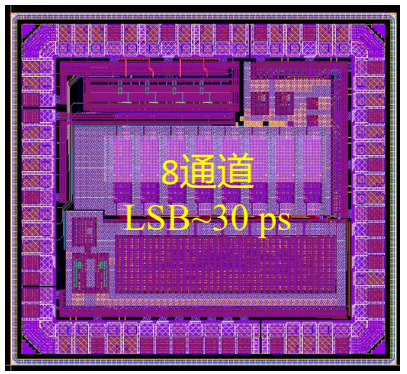
沟槽隔离结构　$C = \varepsilon_0 * \varepsilon_r * A / d$

⇨ **传感器已初步完成设计流程，计划于今年内进行新的流片**

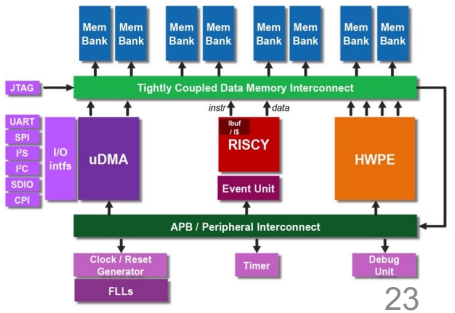
高精度读出芯片LATRIC往多通道研发

- 最新32通道LATRIC2芯片设计工作正计划开展，下一版高性能抗辐照RISC-V SoC HERIS-V2计划在2027年1月前完成设计并提交流片

LATRIC1

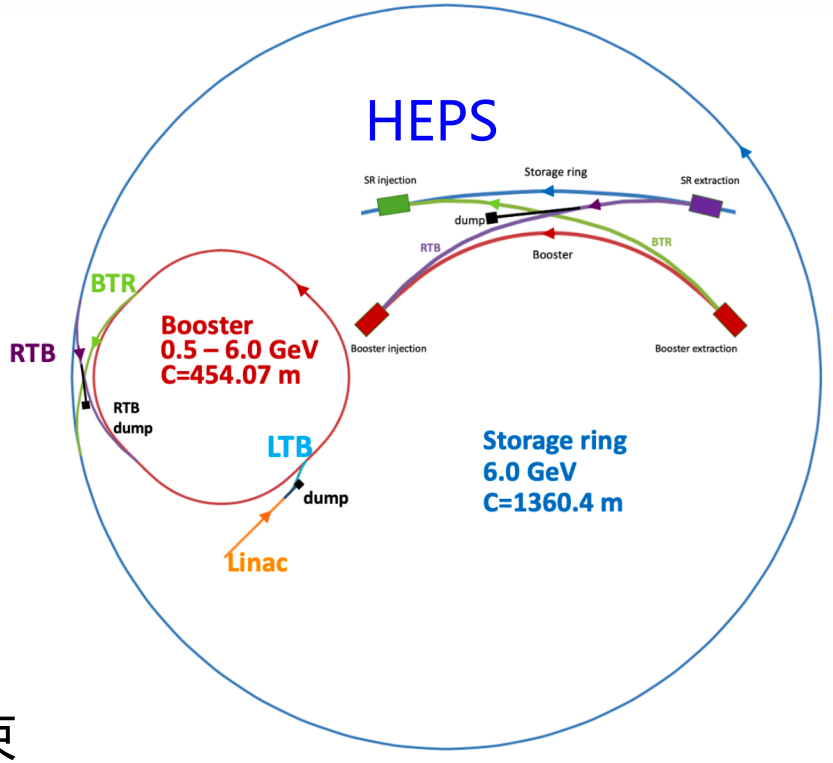


HERIS-V2 SoC核心框架



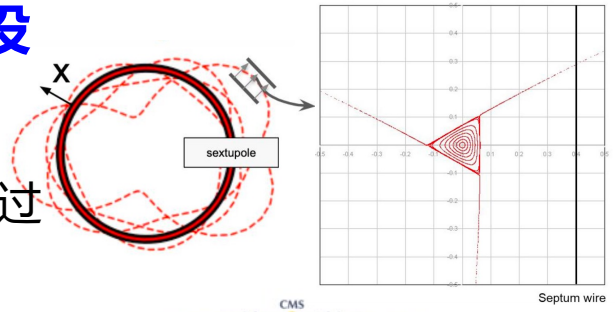
2.1 束流测试站点的建设

- **团队研发的传感器和ASIC已进入束流测试阶段，半导体探测器对测试束流的需求包括：**
  - **高动量(>1 GeV/c)**，降低多重散射对位置测量精度的影响；此外，为实现MIP对应dE/dx的表征，相较于电子束流（β～1），质子束流的动量要求会更高，动量需>2 GeV/c（β>0.9）
  - **较小动量展宽：** Δp/p<10%
  - **慢引出束流，或低事例密度脉冲束流：** <100 事例/cm^2/bunch
  - **束斑大小：** >1 mm^2
- **针对国内尚无合适的高能束流测试站点，团队1年前开始对束流测试平台进行规划，重点开展对高能同步辐射光源（HEPS）和北京正负电子对撞机（BEPCII）的可行性论证：**
  - **HEPS Linac：** 利用直线加速器提供的500 MeV/c电子束
  - **HEPS RTB Dump：** 利用储存环回增强器的6 GeV/c电子束
  - **BEPCII-PWFA：** 依托直线加速器至 PWFA 站点的2 GeV/c电子束

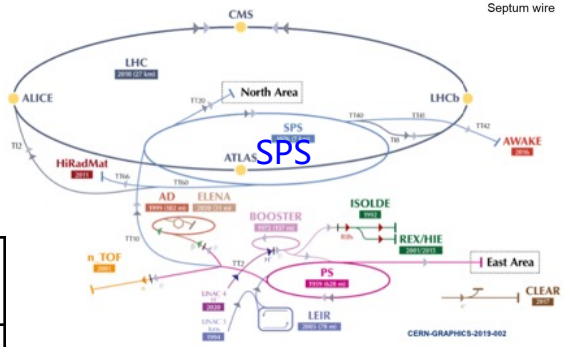


束流测试装置的整体考虑

□ 利用既有加速器开展束流测试的一项重要挑战：降低束团事例数密度。专门设计用于束流测试SPS、PS、ELSA等装置，通常采用“慢引出”方案：



- **环内存储与共振引出光学：**配置和调节四极、六极磁铁，增大横向振幅，使粒子逐步越过边界并进入引出通道
- **专用引出通道与出束控制：**配置薄静电隔板、磁隔板、外部输运线及配套诊断与控制系统
- **电子环的额外考虑：** 评估同步辐射阻尼、量子激发和射频束团结构对引出过程的影响



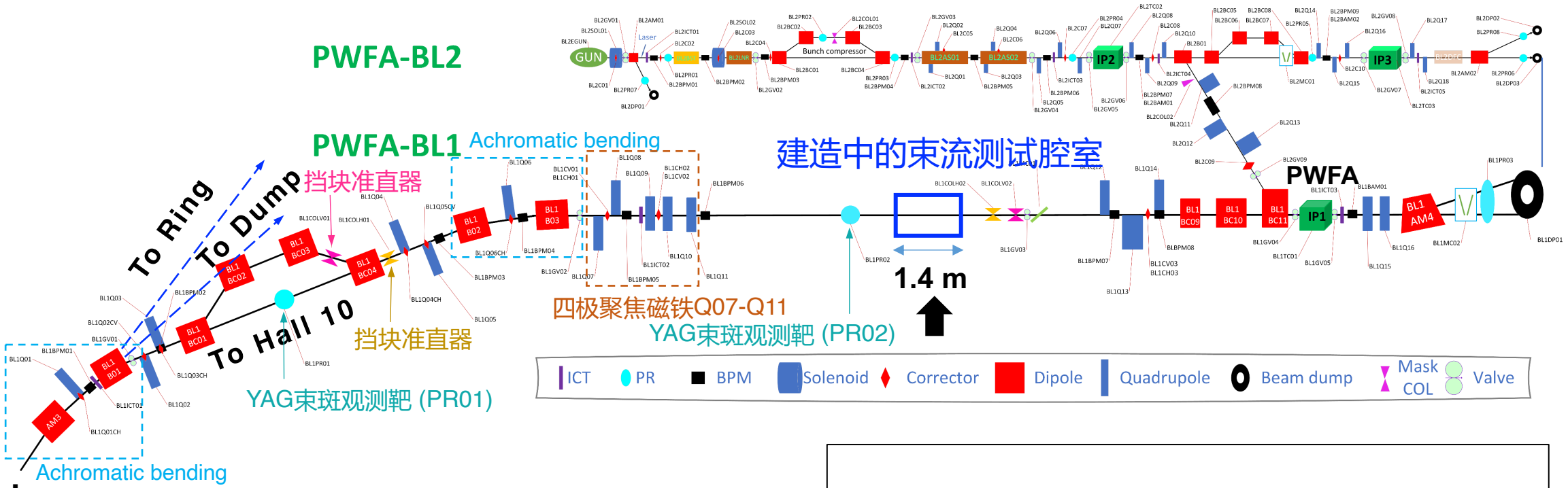
	既有脉冲束流装置（无“慢引出”配套设计）对比		
束流参数	**HEPS Linac**	**HEPS RTB Dump**	**BEPCII Linac**
束流能量	0.5 GeV	6 GeV	2 GeV
能散	<0.5%		
束团电荷量	7 nC (4.4×10^{10}) e-	5-7 nC ($3.1\text{-}4.4\times10^{10}$) e-/当前 14.4 nC ($9\times10^{10}$) e-/设计目标	2 nC (1.3×10^{10}) e- 0.05 nC (3×10^{8}) e+
束团重复频率	50 Hz	0.5 Hz	50 Hz
束团长度	5 ps	80-400 ps	10 ps
建设条件	能量低、需大规模场地改造	场地十分有限、缺乏束流调节配套	**可依托既有PWFA束线硬件**



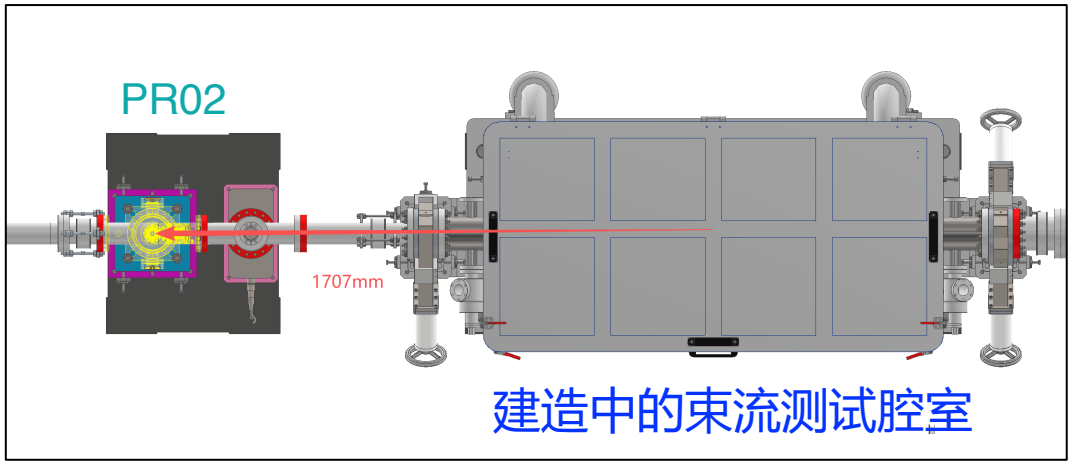
HEPS RTB Dump

PEPCII-PWFA束流测试站点（BII-PBTS）

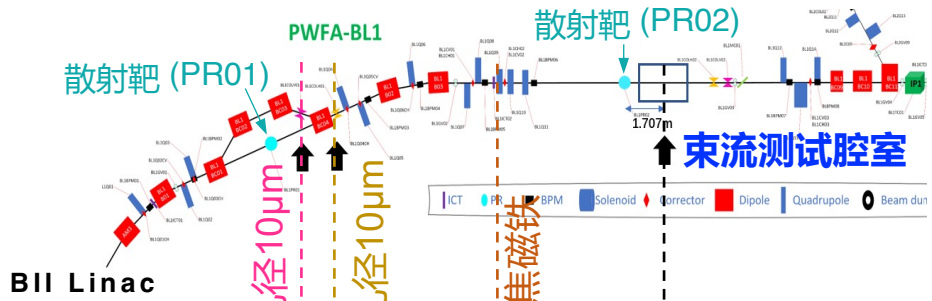
PWFA-Beam Line

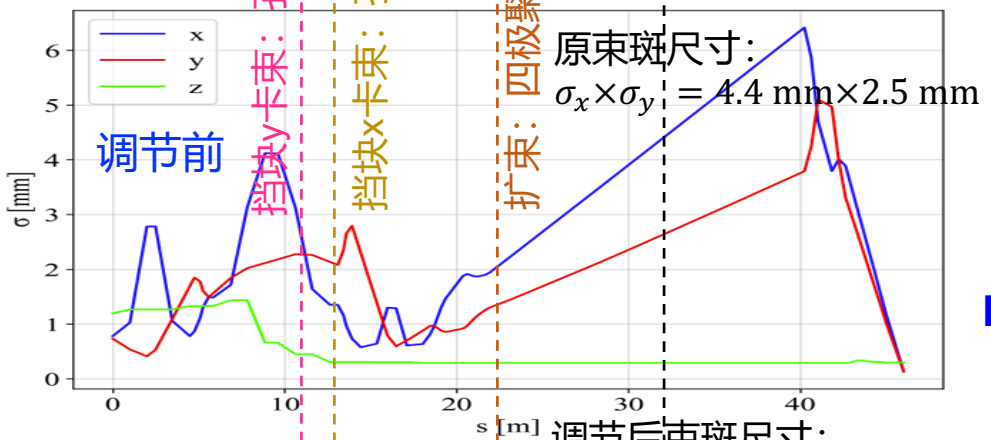


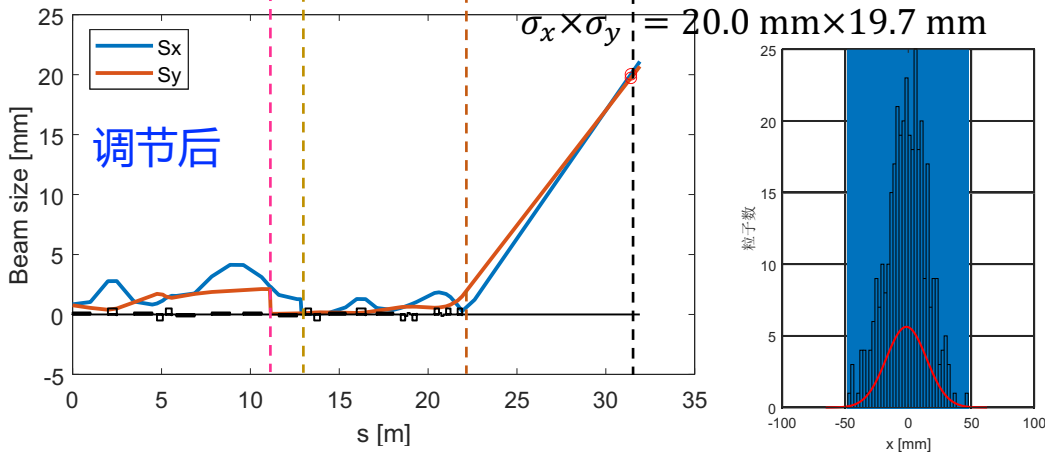
- **束流能量**：2 GeV
- **束流测试腔室**：预计2027年1月建成并投入使用
- **束团事例密度调控**：正电子、电子枪调节、散射靶（PR01-PR02）、挡块卡束、扩束（四极聚焦磁铁Q07-Q11）、使用横向边缘粒子（腔室内调节）



BII-Linac进入PWFA前段束流调节可行性论证

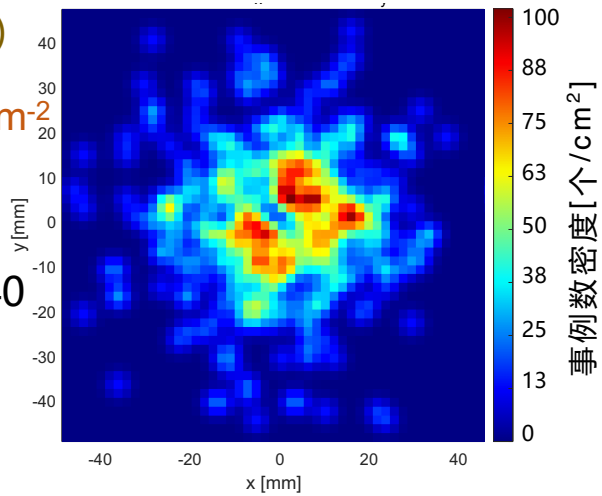






既有束流调节设施：

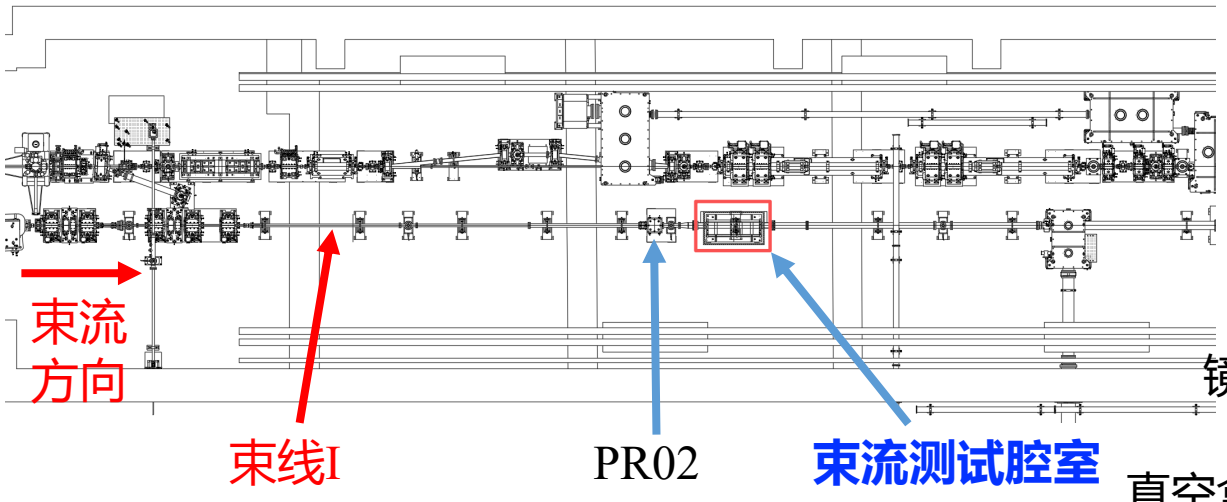
- **挡块卡束：** BL1COLV01最小孔径约10 μm (y)
  BL1COLH01最小孔径约10 μm (x)
- **四极铁扩束：** Q07-Q11最大磁铁强度K=3.43 m^{-2}
- **散射靶：** PR01-PR02
- **使用正电子束流：** 事例数密度约为电子的1/40
- **电子枪调节**降低事例数



束流物理模拟：

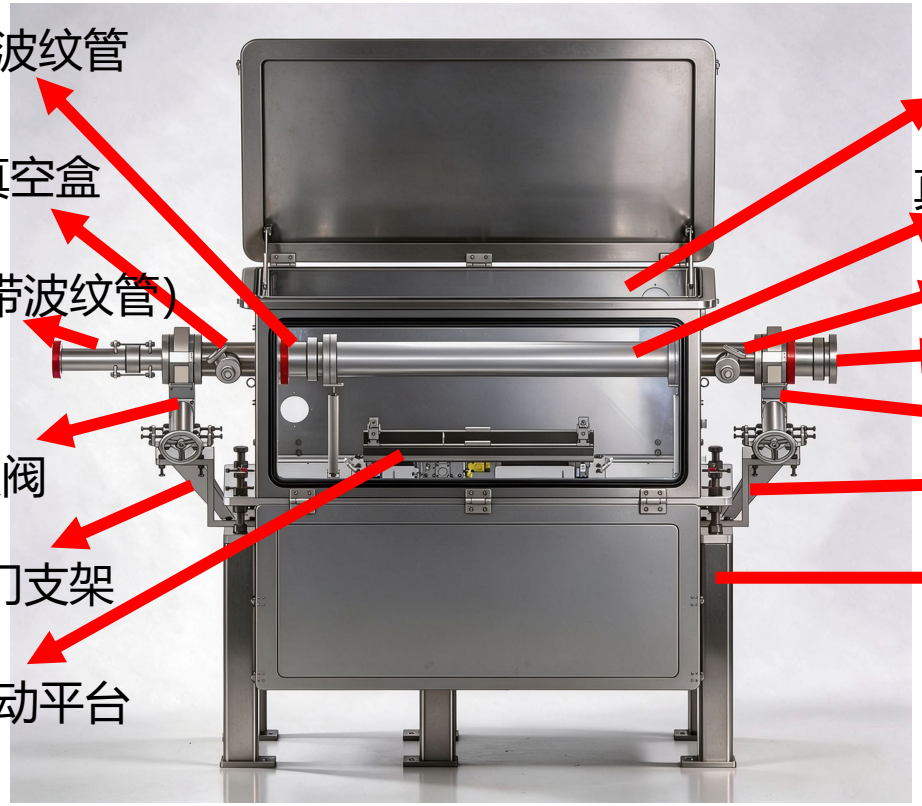
使用挡块卡束（孔径10 μm）+ 四极铁扩束		
	调节前	**调节后**
束团电荷量	0.05 nC (3×10⁸个) e+	0.18 fC (1×10³个) e+
束斑大小 ($\sigma_x \times \sigma_y$)	4.4 mm×2.5 mm	20.0 mm×19.7 mm
束斑中心区域事例密度	~10⁹个/cm²	~100个/cm²
预留调节措施：电子枪调节、散射靶、使用横向边缘粒子（腔室内调节）		

2.2 BII-PBTS束流测试腔室的设计





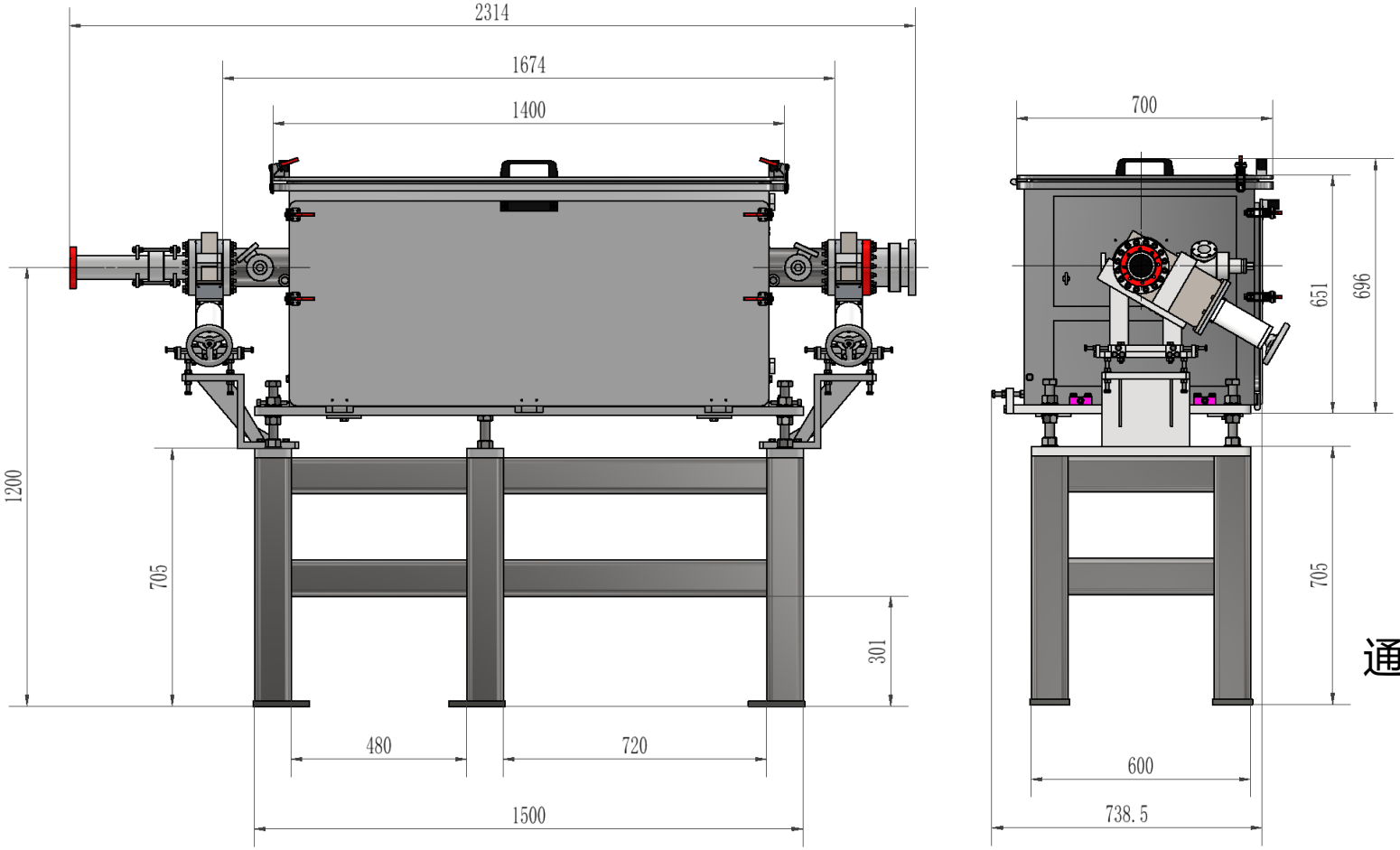
束流测试腔室组成部件



束流测试腔室计划于 2027 年1月建成并投入使用

束流测试镜箱：

- 尺寸：1.4 m×0.7 m×0.65 m
- 用于探测器机械载台，并提供电源和通信接口、电磁和光屏蔽、冷却等



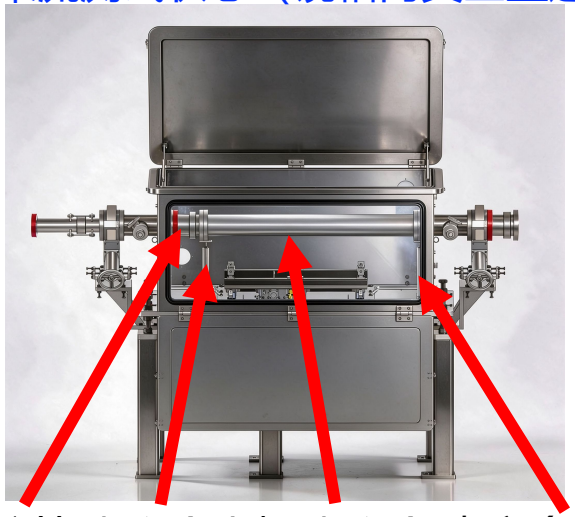
束流测试腔室机械设计图





2.3 半导体探测器束流望远镜的设计和测试计划

非束流测试状态（镜箱内真空盒连接）



波纹管 真空盒支架 真空盒 真空盒支架

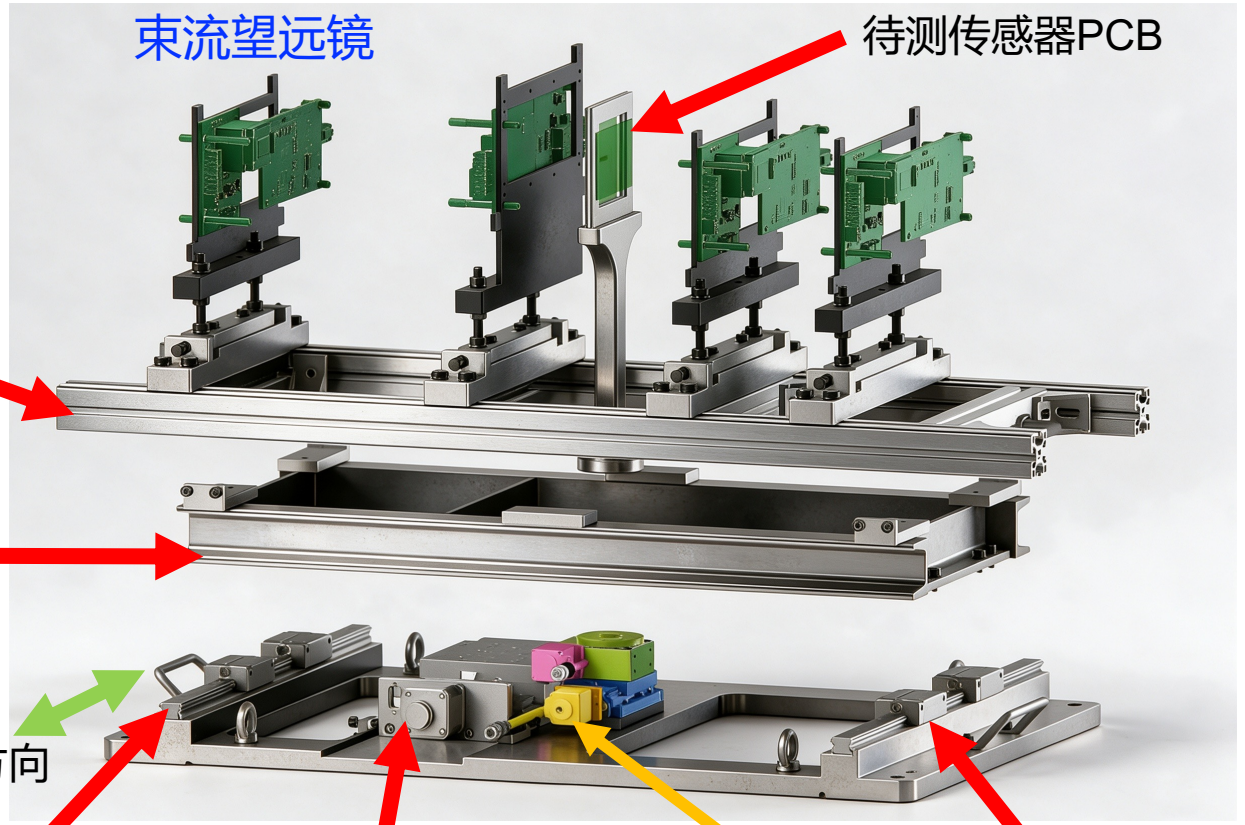
束流测试实验状态（真空盒断开）



透束窗

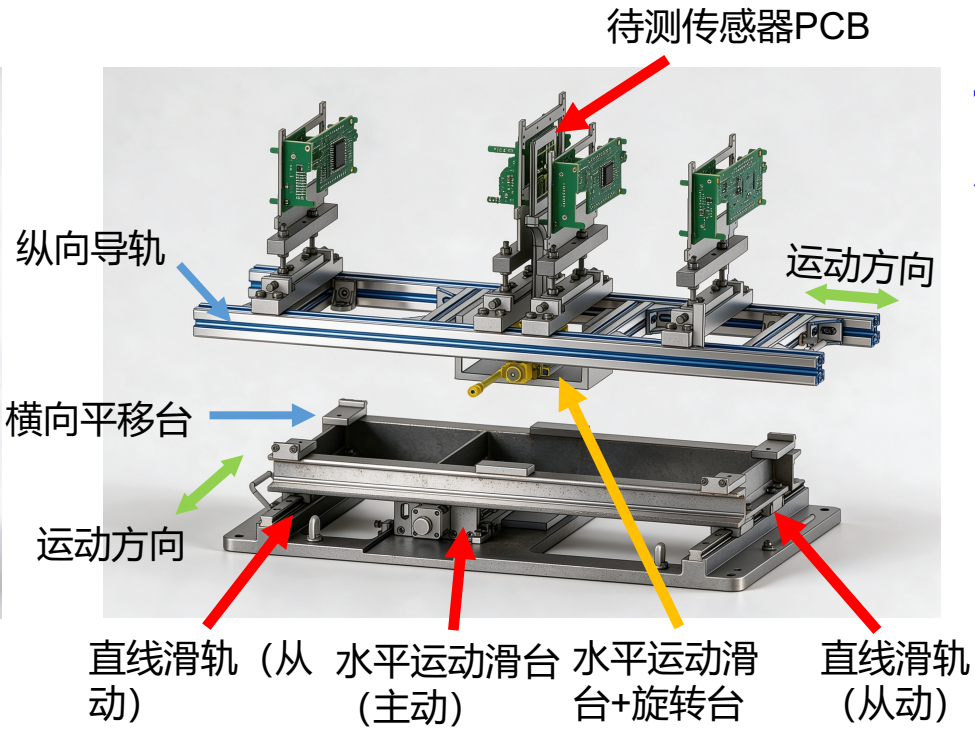
束流望远镜

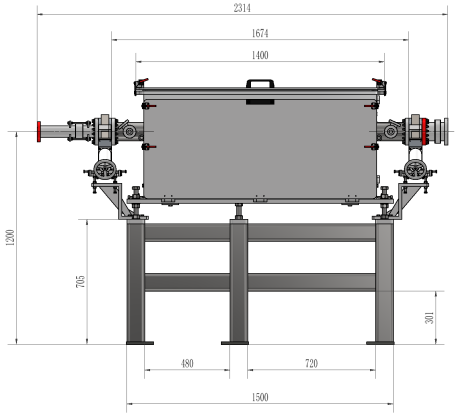
团队研发的传感器/ASIC束流望远镜系统计划于2027年1-2月在新建的BII-PBTS站点开展全套束流测试工作

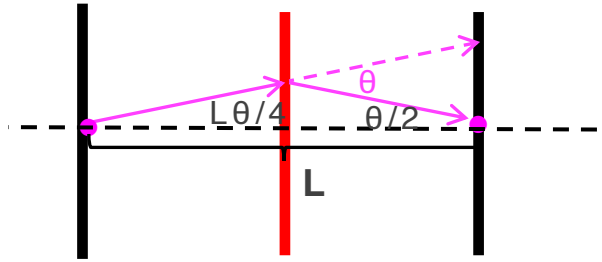


PEPCII-PWFA束流测试站点（BII-PBTS）平台









中心传感器排布：2GeV电子束流，穿过750微米厚的硅，散射角度Θ~0.5mrad，飞行1cm的展宽约5微米。中间三个传感器总距离L需满足：ΔS=LΘ/4<5 μm，即L<4 cm

□ BII-PBTS站点充分利用既有设施，束流测试腔体和束流望远镜系统采用模块化设计，为后续其他束流测试提供可复用实验平台

⇨ **平台优势：**

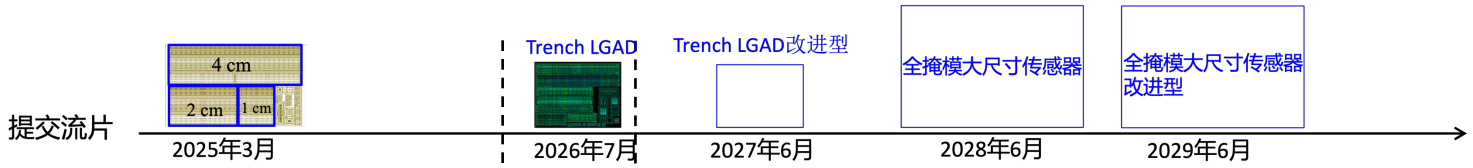
- 提供2 GeV、低能散电子束流，束流粒子数密度可调，支持多类探测器束流测试
- 位于高能所10号厅，配套设施完善、实验开展便捷
- 可与BESIII对撞模式并行运行，支持独立束流测试
- 建成后计划实行机时申请制，面向有束流需求的科研团队和个人开放

⇨ **局限：**

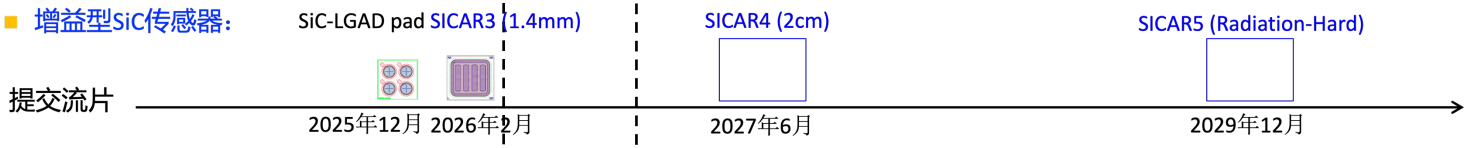
- 束流能量可调范围有限，不太适合宽能区标定（如量能器）
- 测试腔室已尽可能拓展可用空间，但受场地限制，目前主要适用于尺寸<1 m的探测器测试

总结

- LGAD传感器将朝着工艺优化、大传感器尺寸、高探测性能、以及低功耗方向研发：



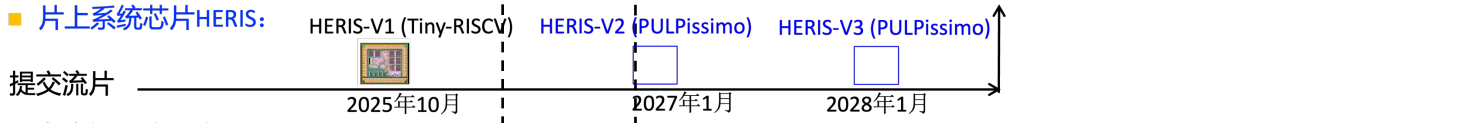
- 增益型SiC传感器：



- 高精度读出ASIC芯片 LATRIC往更高集成度、多通道方向发展：



- 片上系统芯片HERIS：



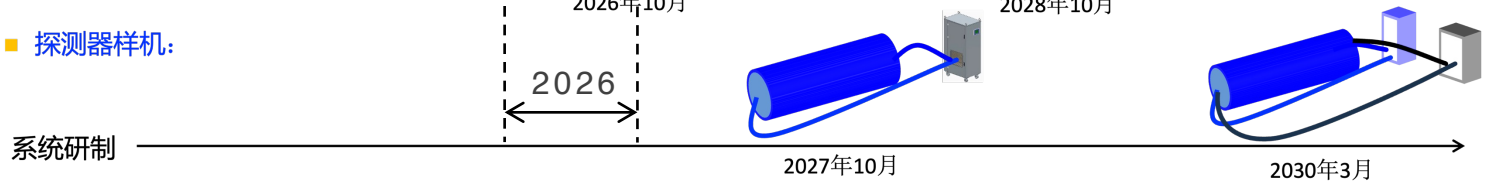
- 束流望远镜系统：



- 两相CO_2冷却系统：



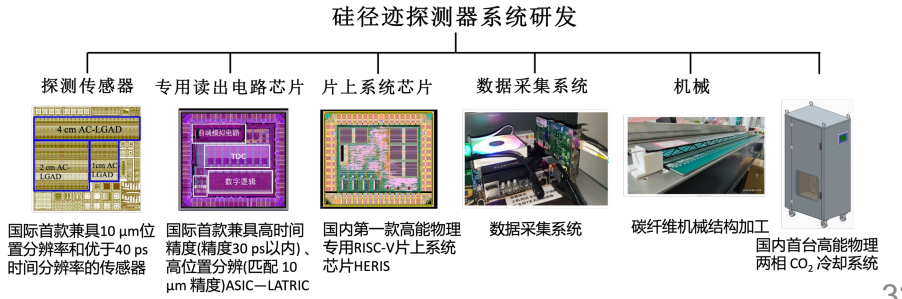
- 探测器样机：



2026年计划：隔离版硅基LGAD流片、增益型SiC测试、读出芯片LATRIC2（32通道）研发、片上系统芯片HERIS-V2研发、束流平台和望远镜研制（束流测试）、两相CO_2冷却样机研制（全系统调试）等

- 团队以研究成果可工程化落地为目标，以工程样机为牵引，构建覆盖传感器、专用读出电子学、机械冷却系统集成的全系统协同研发体系

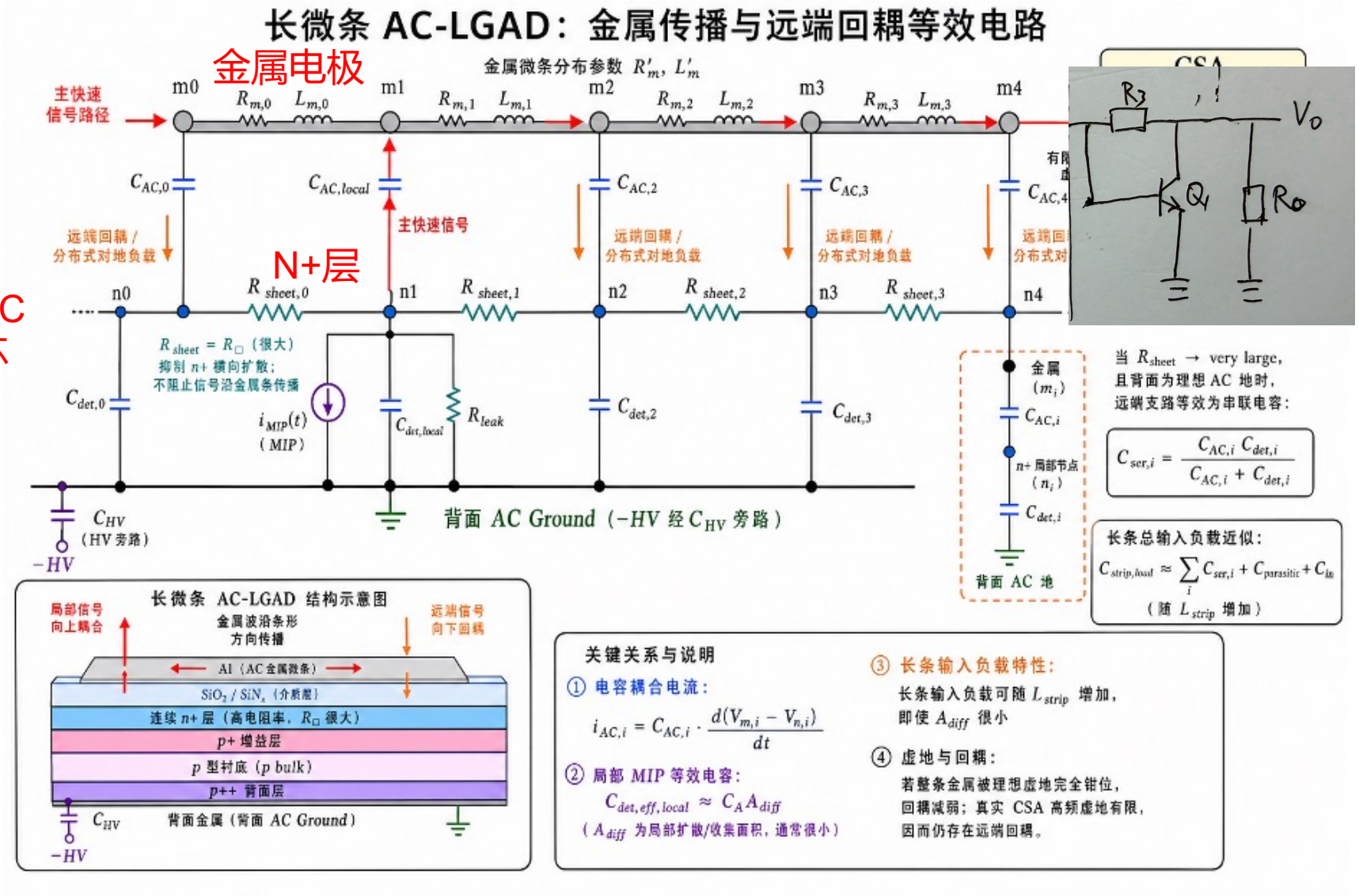
- 通过传感器、电子学、机械冷却系统集成、工程样机的研发、及配套平台建设，实现半导体径迹探测技术的原创性突破、体系化发展与工程化能力提升，形成完整的半导体径迹探测技术路线，面向我国下一代地面及空间粒子物理实验探测装置开展关键核心技术研发和技术积累



- 半导体探测器的技术门槛高、迭代周期长。组建跨项目的研发联盟，各个感兴趣的研发单位共建研发生态、整合资源、共同研发、共享研发成果，实现化零为整是一个好的发展模式。希望国内有兴趣的单位一道合作，从技术开始做起，在这一探测器技术领域深耕（欢迎领域内合作）
- 除完成主线任务外，未来也将积极拓展半导体探测器的不同应用领域（欢迎不同领域合作）
- 呼吁在大科学装置中，充分考虑束流测试需求与配套设施建设，推动跨部门合作、公共资源建设与资源共享，构建更好的研发生态
- 欢迎后续来BII-PBTS开展束流测试工作
- 欢迎更多有梦想、有潜力的学生、博后、职工加入团队

谢谢！

传感器等效电路



关键关系与说明

① 电容耦合电流：

$$i_{AC,i} = C_{AC,i} \cdot \frac{d(V_{m,i} - V_{n,i})}{dt}$$

② 局部 MIP 等效电容：

$C_{det,eff,local} \approx C_A A_{diff}$

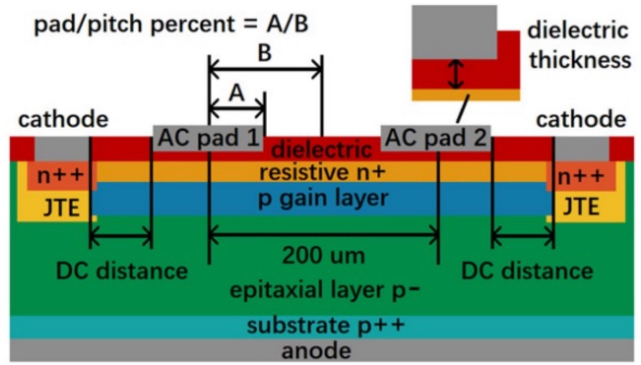
（A_{diff} 为局部扩散/收集面积，通常很小）

③ 长条输入负载特性：

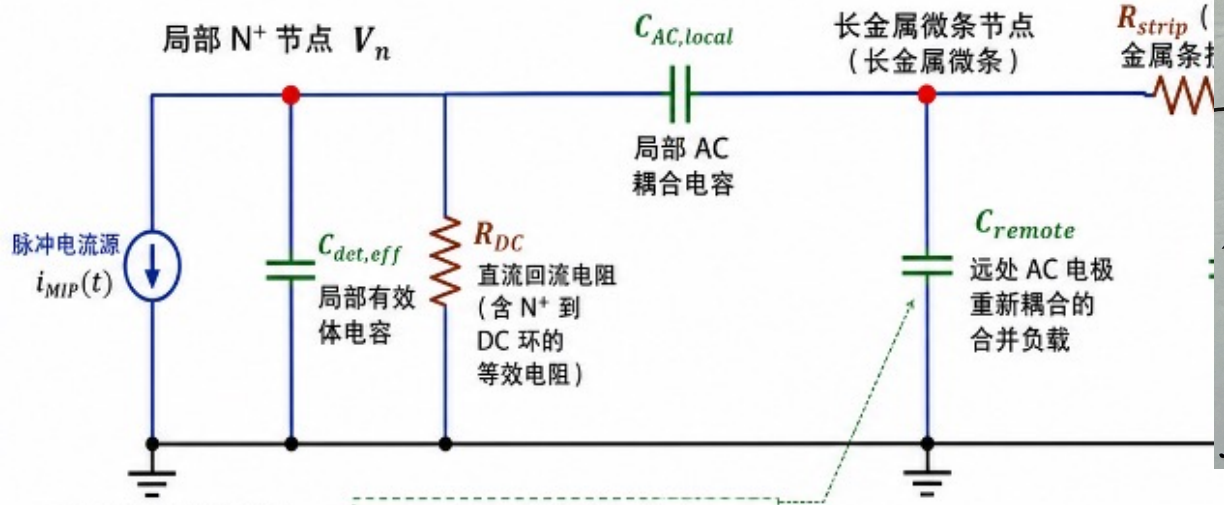
长条输入负载可随 L_{strip} 增加，即使 A_{diff} 很小

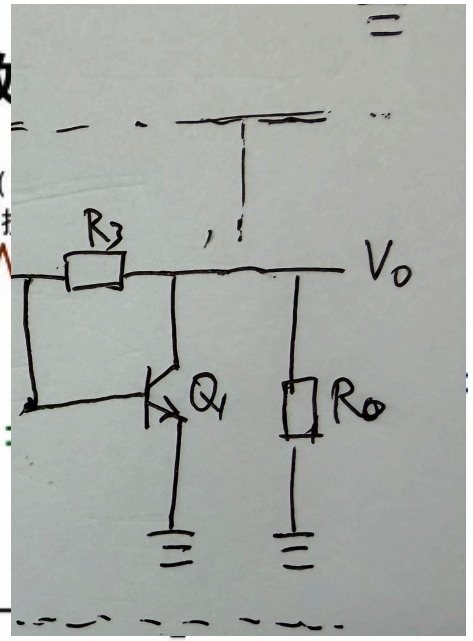
④ 虚地与回耦：

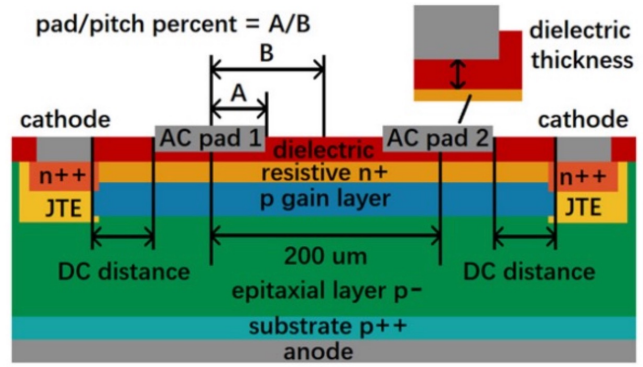
若整条金属被理想虚地完全钳位，回耦减弱；真实 CSA 高频虚地有限，因而仍存在远端回耦。



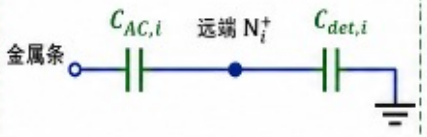
长微条 AC-LGAD 简化等效







远端支路的等效结构（第 i 个）



合并后

$$C_{remote} \approx \sum_i \left[\frac{C_{AC,i}\, C_{det,i}}{C_{AC,i} + C_{det,i}} \right]$$

总寄生电容（并入负载）

$$C_{load} \approx C_{remote} + C_{in} + C_{par}$$

其中 C_{par}：其余寄生电容（布线、封装等）

$C_{det,eff}$：局部 N⁺ 对背面的快速有效电容

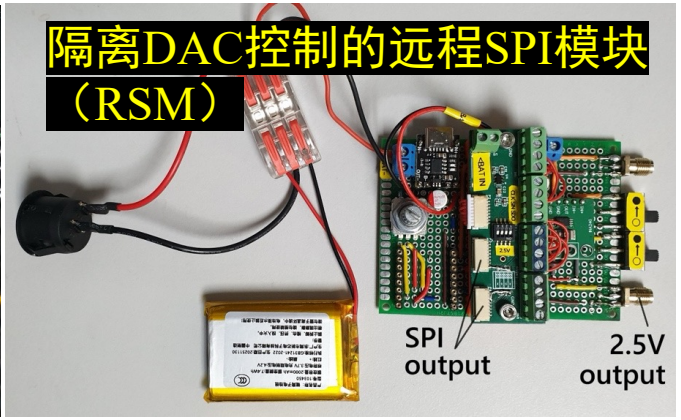
C_{remote}：长金属条通过远端 C_{AC} 再耦合回传感器形成的附加负载

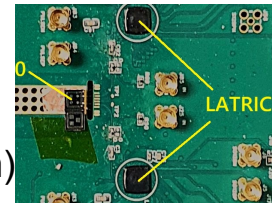
传感器与读出芯片联合测试

LATRIC读出芯片研制目标：时间分辨优于30 ps，匹配10 μm位置分辨，实现64通道及以上的集成

2025年设计流片的单通道LATRIC0芯片时间分辨优于30 ps，最新流片的8通道LATRIC1芯片的测试工作正在进行

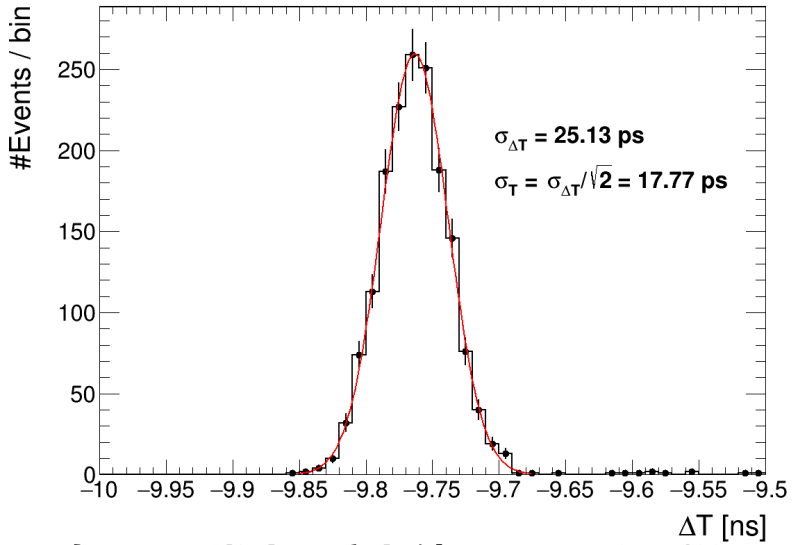




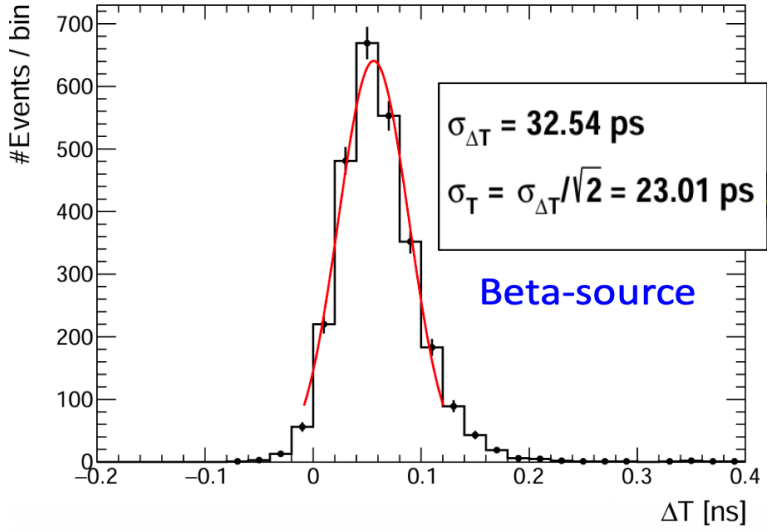


AC-LGAD像素型传感器
(传感器尺寸2.5mm*2.5mm)

同一传感器，两个LATRIC0芯片测量得的时间差分布



在100%激光强度条件下，测量得到的LGAD+LATRIC0**时间分辨为18ps**



在β测试下，LATRIC0芯片的时间分辨优于23ps

