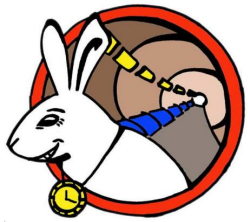
# 融合White Rabbit协议的通用触发逻辑单元开发 （WR-TLU）



王龙

郑州大学

2026/10/10

# 主要内容

1. WR-TLU的需求背景
2. WR-TLU的构架与硬件开发
3. 时钟同步性能测试
4. 触发数据吞吐测试
5. 总结与下一步计划

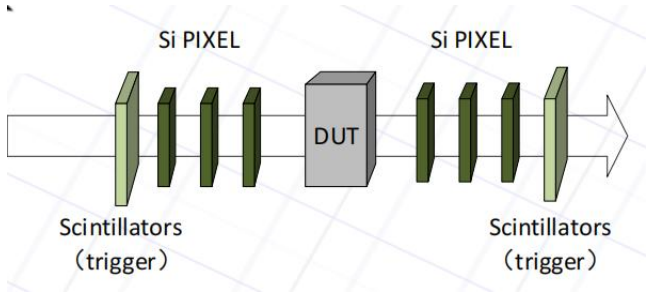
# 分立式硅像素束流望远镜的触发分发

硅像素束流望远镜经典配置：

4通道闪烁体触发符合

6个硅像素参考平面

1个DUT待测探测器




专用/通用的触发逻辑单元（TLU）用于触发符合与分发

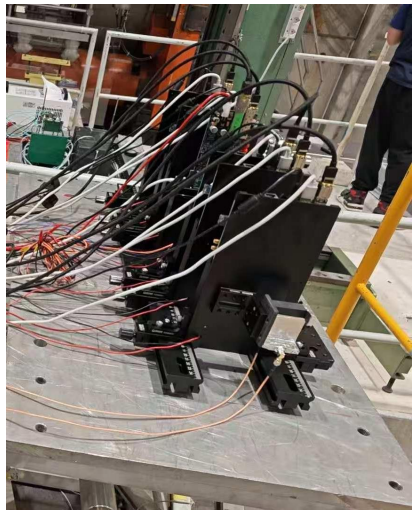
对于分立6平面的束流望远镜需求：

TLU输入通道>=4

TLU输出通道>=7

希望兼容DESY/CERN现有的EUDET MIMOSA束流望远镜构架

--> 兼容AIDA-2020-TLU触发逻辑单元（4通道触发输出）



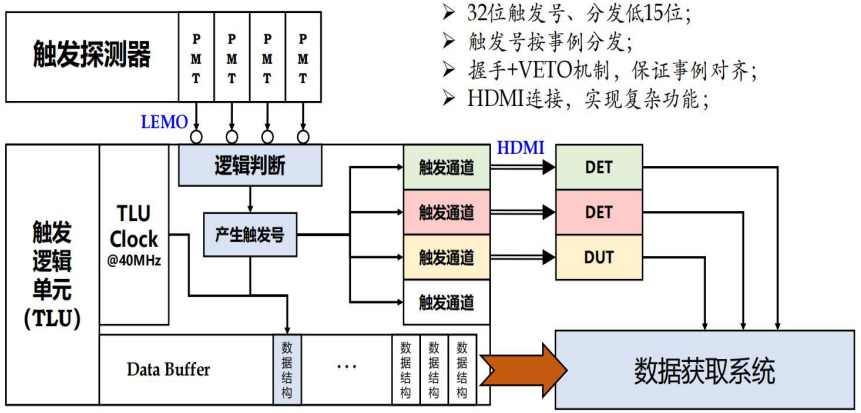
分立6平面TaichuPix3束流望远镜（ZZU/USTC/ZJU）



分立6平面Alpide束流望远镜@DESY

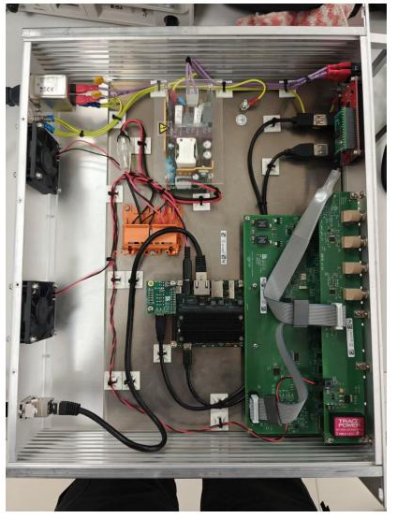
# 触发单元：AIDA2020-TLU by Bristol Unv.

国际应用广泛的触发逻辑单元

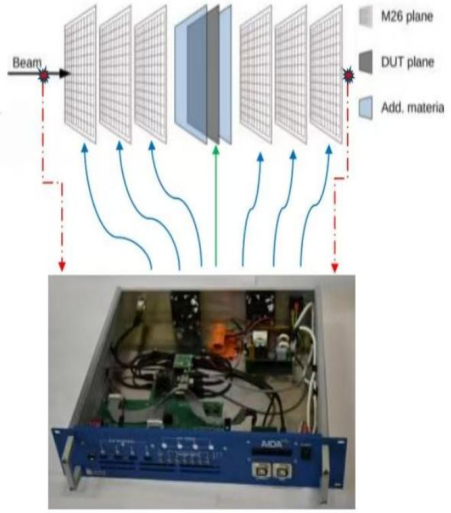



AIDA2020-TLU 触发模块数据传输图

- AIDA-TLU是一个“触发号分发设备”：
  - 32位触发号、分发低15位；
  - 触发号按事例分发；
  - 握手+VETO机制，保证事例对齐；
  - HDMI连接，实现复杂功能；



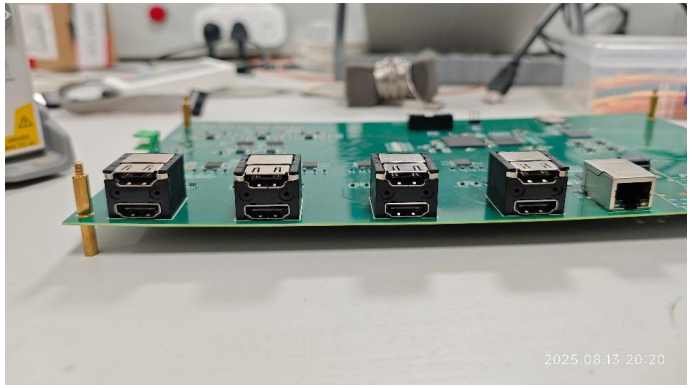
AIDA_2020触发模块内部图




AIDA2020-TLU

AIDA2020-TLU：

- DESY/CERN测试束粒子望远镜广泛使用的触发逻辑单元
- CMS/ATLAS升级的各探测器开发团队的DAQ集成了TLU DUT端握手模块，接受度高
- 同一台机器并存 AIDA（同步）/ EUDET（异步）两种模式可选
- 传输协议兼容性：IPBUS协议，（网卡兼容性问题==> 使用AXIS协议）
- 软件配置复杂，操作门槛高，增加实验人员的学习成本（AXI-Lite协议）
- 完全开源，OHWR 硬件与固件全开源
- 4个触发分发端口（8个触发分发接口）



兼容AIDA2020-TLU， 8端口TLU （郑州大学 2025）

# 硬件迭代 -- 修正工程bug / 添加新功能

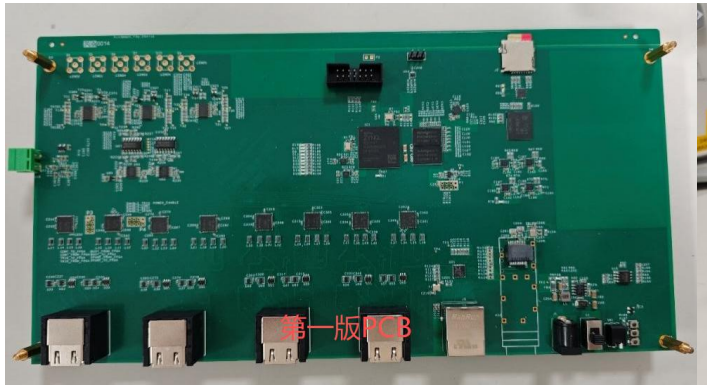
**第一版 （2025）：**

- PCBA单板（AIDA2020-TLU: 开发板+FMC子板）
- 8个触发分发端口
- 验证AIDA2020-TLU固件的8通道扩展
- 验证ZYNQ(7015)系列FPGA片内PS/PL间配置与数据传输的协同
- 初步验证： WhiteRabit协议固件移植
- 问题：FPGA资源受限
- 问题：PCB布局的工程错误

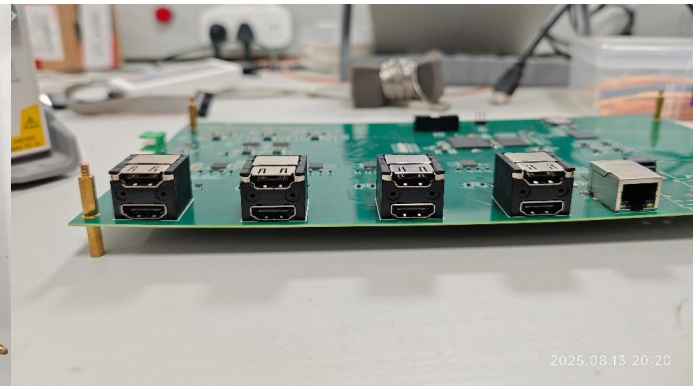
**第二版 （2026）：**

- 优化PCB布局及修正布线错误
- 更大容量ZYNQ FPGA
- 8个触发分发端口 + 8个触发符合输入端口
- 完善WhiteRabit的硬件支持电路

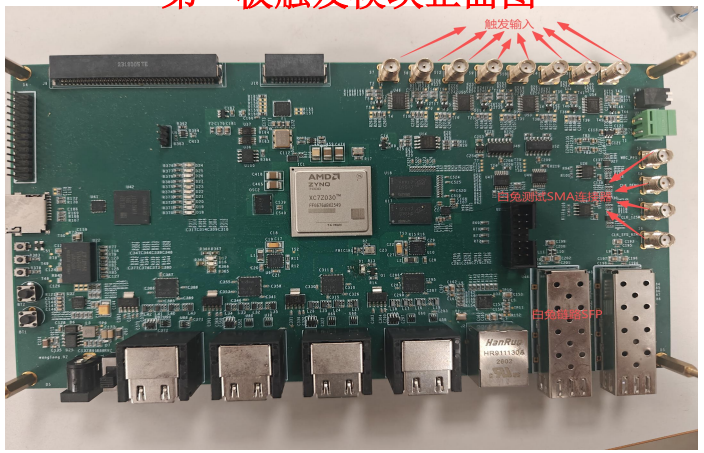
单纯触发分发 -> 多TLU系统间触发时间对齐



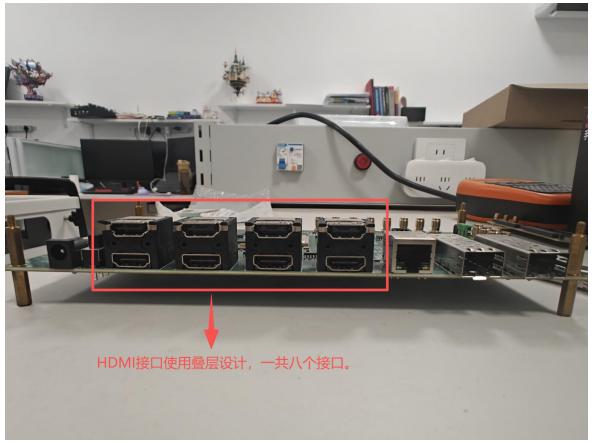

第一板触发模块正面图




第一板触发模块侧面图




第二板触发模块正面图




第二板触发模块侧面图

# WR-TLU时间同步的价值

WhiteRabit提供亚纳秒级时间同步性能：

约100ps绝对时间校准偏差

约20ps时钟同步抖动

| 方法 | 同步对象 | 同步精度 |
| --- | --- | --- |
| 短波授时（WWV/CHU/BPM） | 时间/频率 | 0.1–1 ms |
| 长波授时（LF 30–300 kHz） | 时间/频率 | 1–100 µs |
| NTP / SNTP | 时间 | 1 ms |
| GPS/北斗直接授时 | 时间/频率 | 20–200 ns |
| PTPv2（硬件时间戳） | 时间 | 50–100 ns |
| Sync-E | 频率 | <10 ps |

其他时间频率同步方法的性能

**集中式TLU架构：**单台TLU接收触发信号然后在硬件内做触发判选生成触发信号分发下去，实时对齐不同探测器的粒子击中事件。

**分布式 WR-TLU 架构：**多个WR-TLU各自独立完成本地的触发符合与分发，依靠WR网络，所有WR-TLU共享同一个全局绝对时间戳，用于离线数据对齐。

以散裂中子源高能质子实验站为例：

质子动量800MeV – 1.6GeV

质子飞行距离约40米

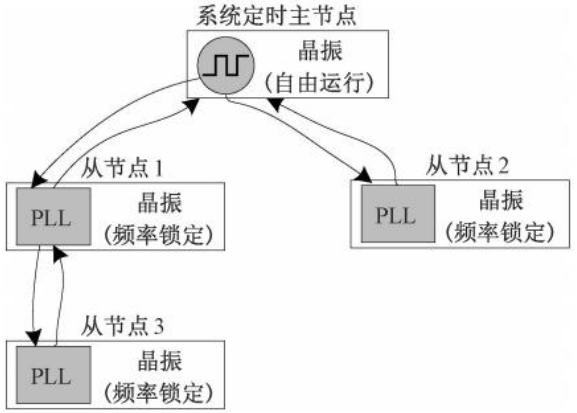
包含望远镜系统、触发系统、TOF能量测量、流强测量、束斑测量

可能应用：

1. 100ps时间分辨对应1%质子能量分辨，
   直接用两个WR-TLU做TOF的上下时间戳？
2. 实验站全局触发与TOF、望远镜、DUT的内部子触发系统的时间同步

# White Rabbit关键技术

## Sync-E(同步以太网技术)

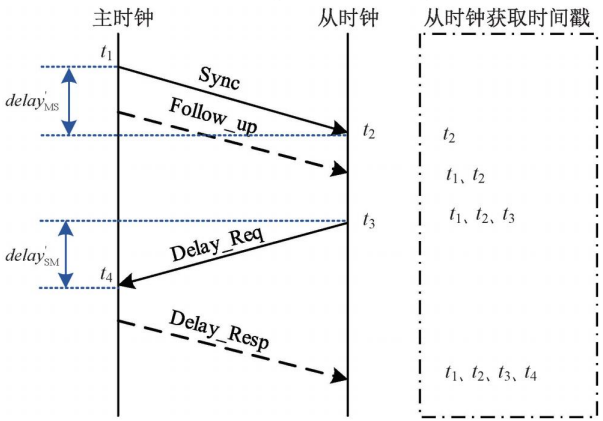



图一频率同步原理

时钟同步网络中的从节点通过其内部集成的锁相环电路,从接收到的数据流中提取并恢复时钟信号,恢复的时钟信号不仅用于同步本地节点的数据处理,还通过**数据流的形式向下级节点传播,同时将同步信息反馈至主节点**。

## PTP协议(精密时间同步协议)

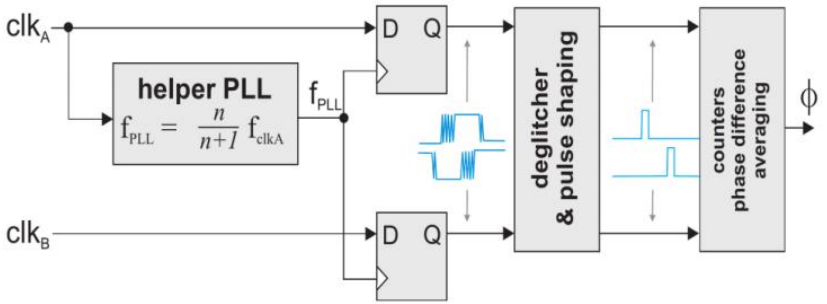
$$delay'_{MS} = delay'_{SM}$$




图二绝对时间同步原理

主从把发送时间与接收时间的时间戳封装进Sync报文与Follow_up报文PTP协议并假设往返的单向传播时延相等，通过报文的交互可以**确立单向传播时延和时钟偏移**。

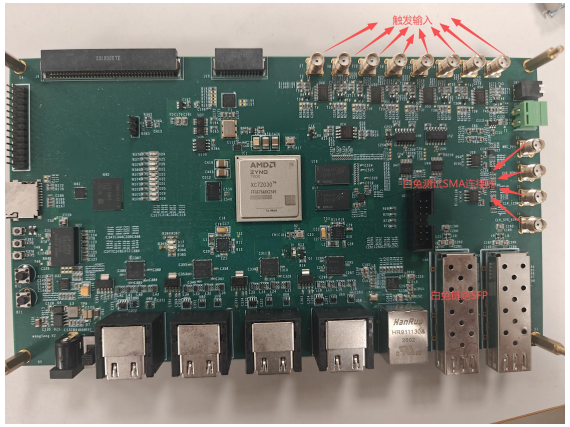
## DDMTD(全数字双混鉴相技术)



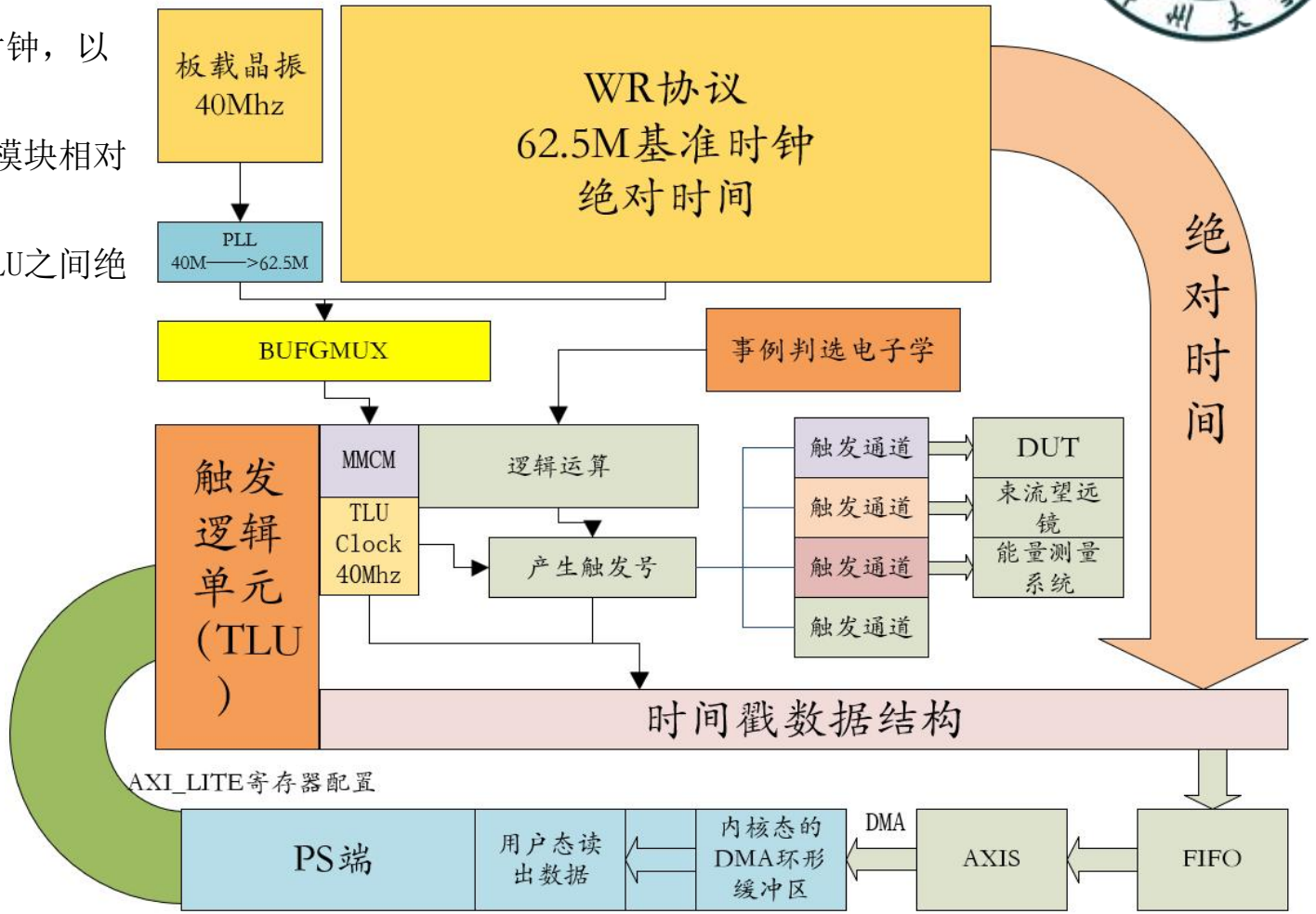

图三相位同步原理

使用 D 触发器进行信号采样放大，它们的相位差同样也会按照同比例进行放大，此时只需要测出采样放大后的两路信号相位差的大小，然后按照放大倍数进行反推就可以得出**实际上两路信号的相位差的大小。**

# WR-TLU的时钟域与固件结构



- WR协议提供节点基准时钟，以及绝对时间码。
- 基准时钟保证多套TLU模块相对时间对齐。
- 绝对时间码保证多套TLU之间绝对时间对齐

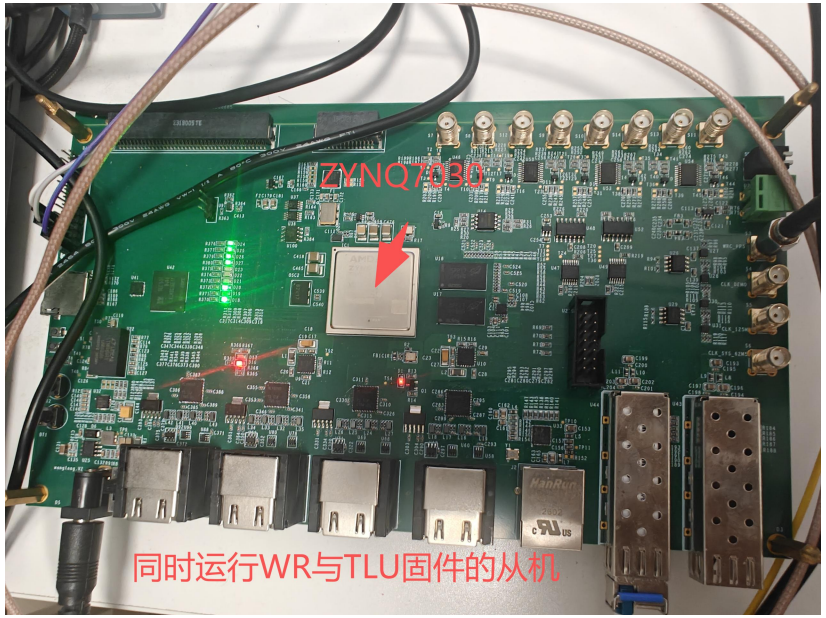


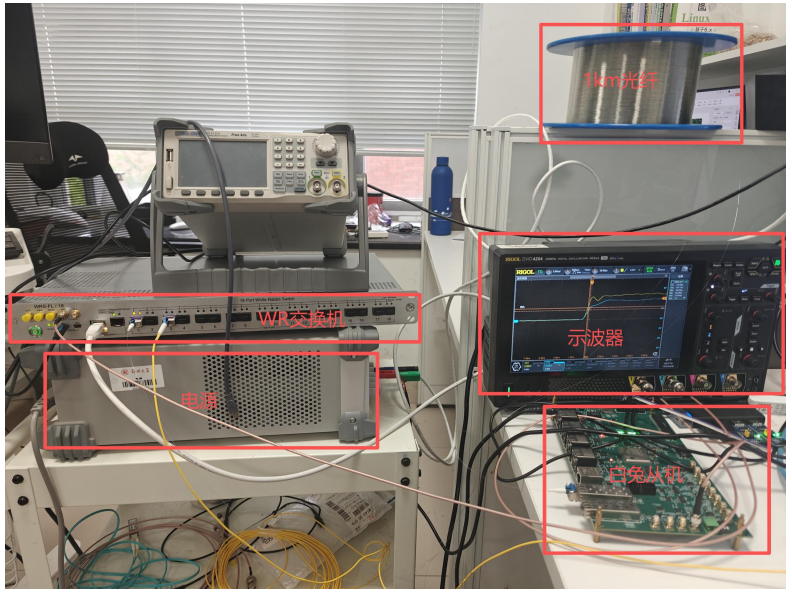

改动事项：

- 采用White Rabbit技术确保全部TLU共享同一时基，并实现多套独立触发系统间的时钟与数据同步。
- 以PL端-FIFO-AXIS-DMA-PS端-DDR架构替代基于IPBUS的数据传输链路。
- 固件配置以PS端作为控制核心，配置链路为“PS端-AXI-LITE-PL端”。

# WR交换机与WR-TLU的PPS测试(延迟与抖动)

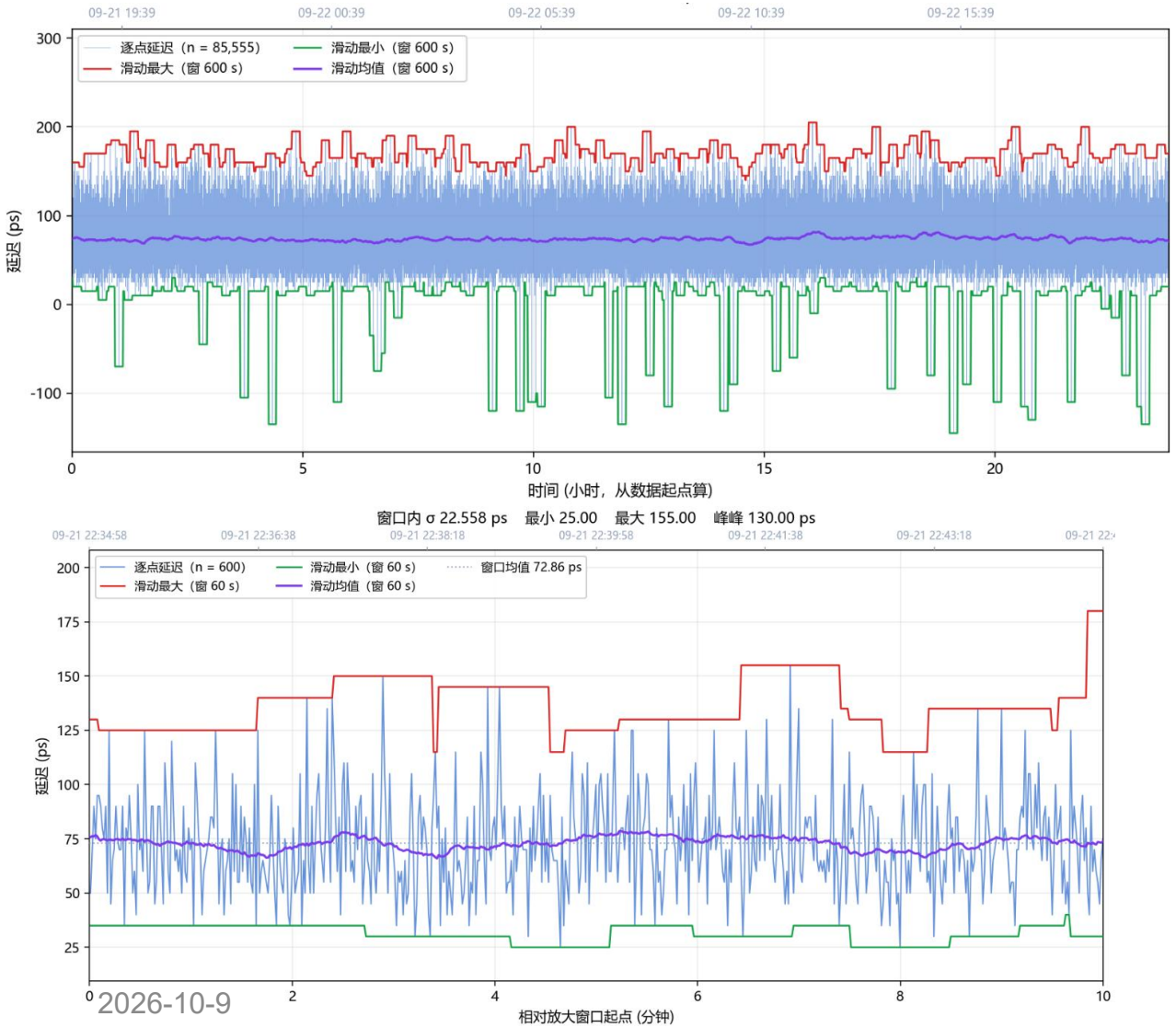
| | |
|---|---|
| 测试目的 | 测试WR交换机与TLU之间PPS平均延迟与抖动。 |
| 测试方案 | - 将WR交换机设置为主机。<br>- 将1km的光纤通过SFP连接WR交换机和TLU。 |
| 测试时间 | 连续运行24小时，使用示波器进行采样，并把获得的数据通过局域网发送到PC。 |

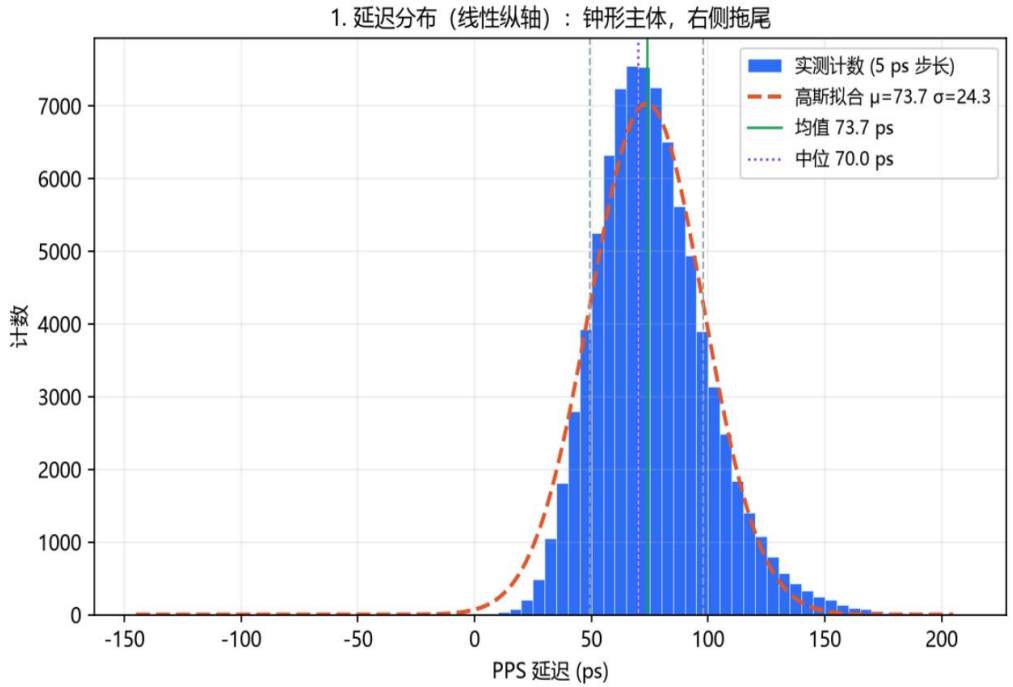





# WR交换机与WR-TLU的PPS测试结果




PPS延迟均值在73ps，抖动在24ps

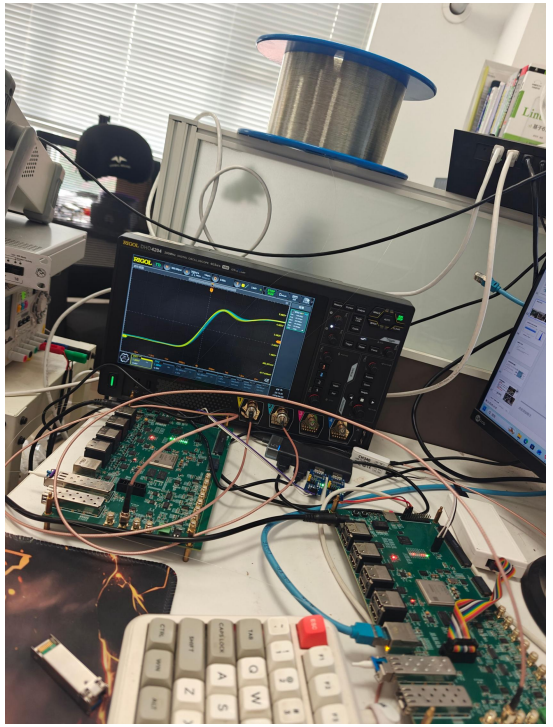
# 双WR-TLU直连的基准时钟测试(延迟与抖动)

| | |
|---|---|
| 测试目的 | 测试不使用WR交换机，测试两台TLU之间基准时钟平均延迟与抖动。 |
| 测试方案 | - 将其中任意一台TLU设置为主机，另一个设置为从机。<br>- 将1km的光纤通过SFP连接两台WR-TLU。 |
| 测试时间 | 运行六小时使用示波器进行采样十万个数据，并把获得的数据通过局域网发送到PC。 |

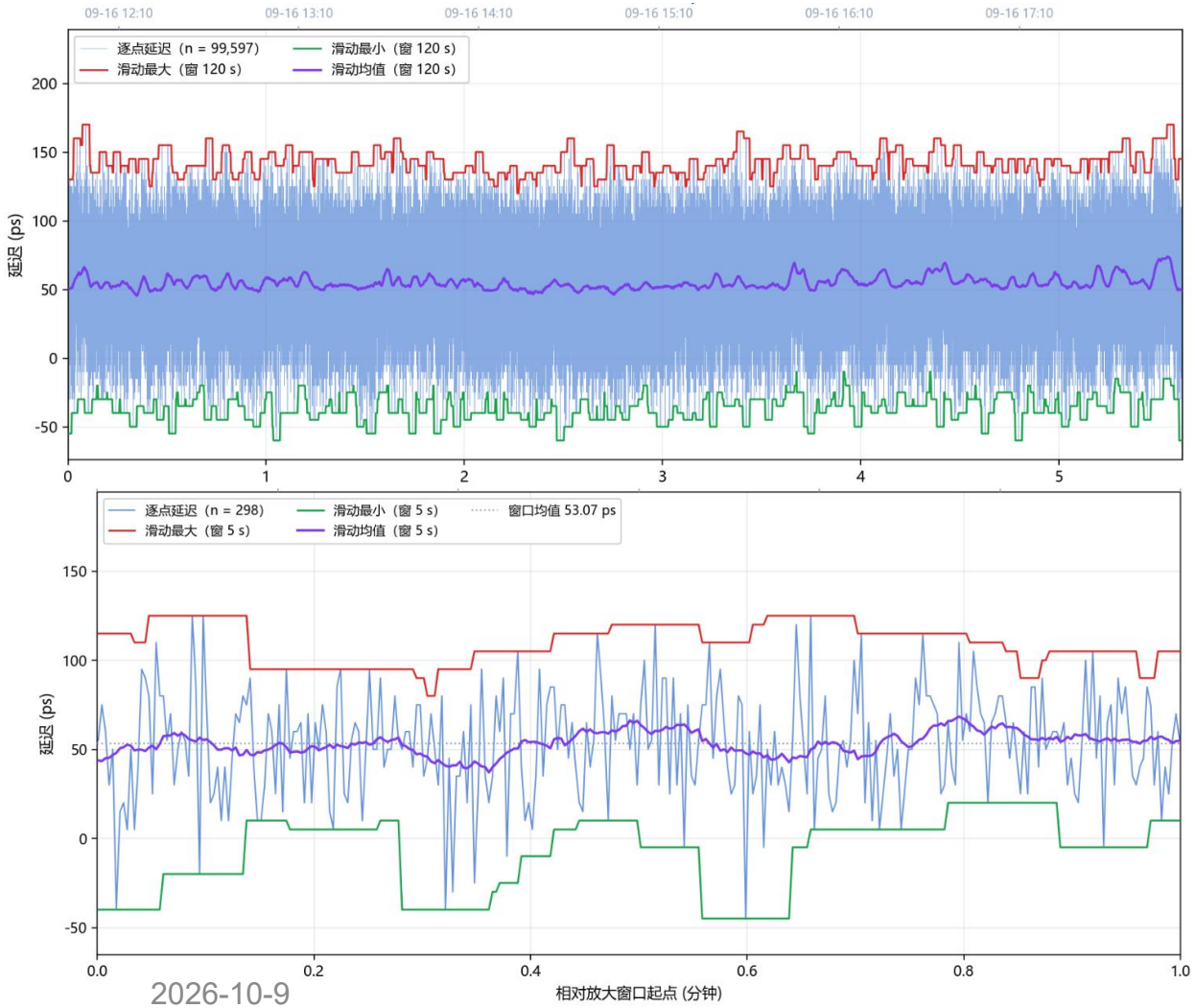


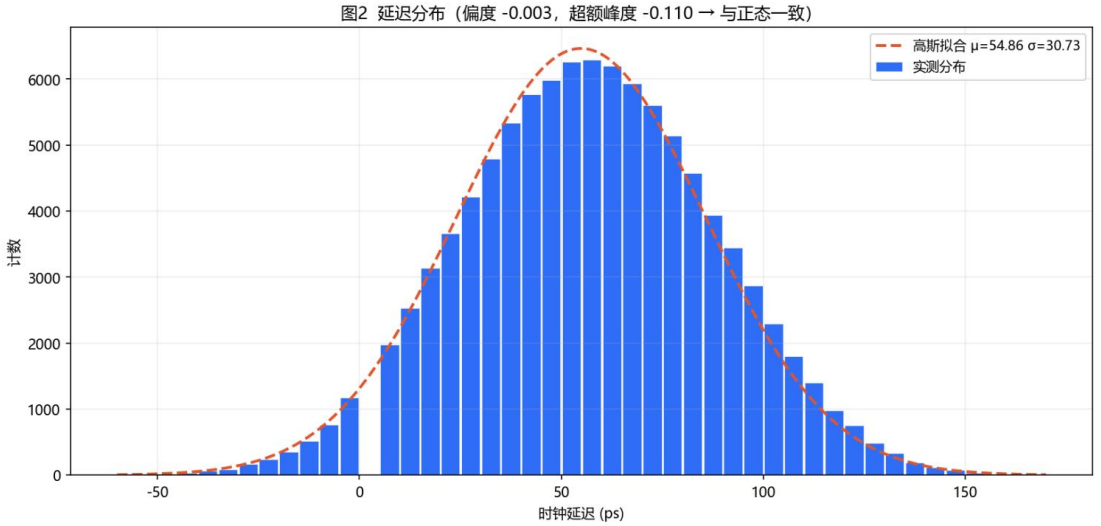






# 双WR-TLU直连的基准时钟测试结果



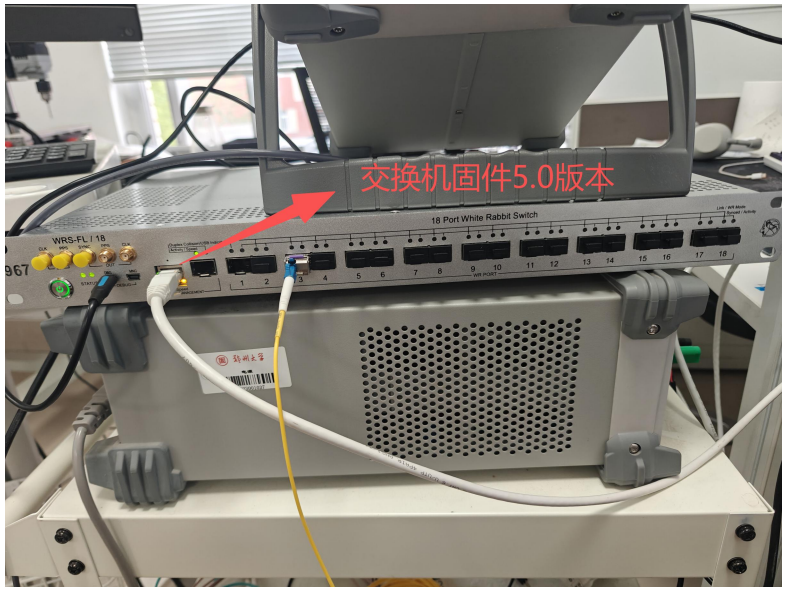




两块自研板平均延迟在54ps，抖动在30ps

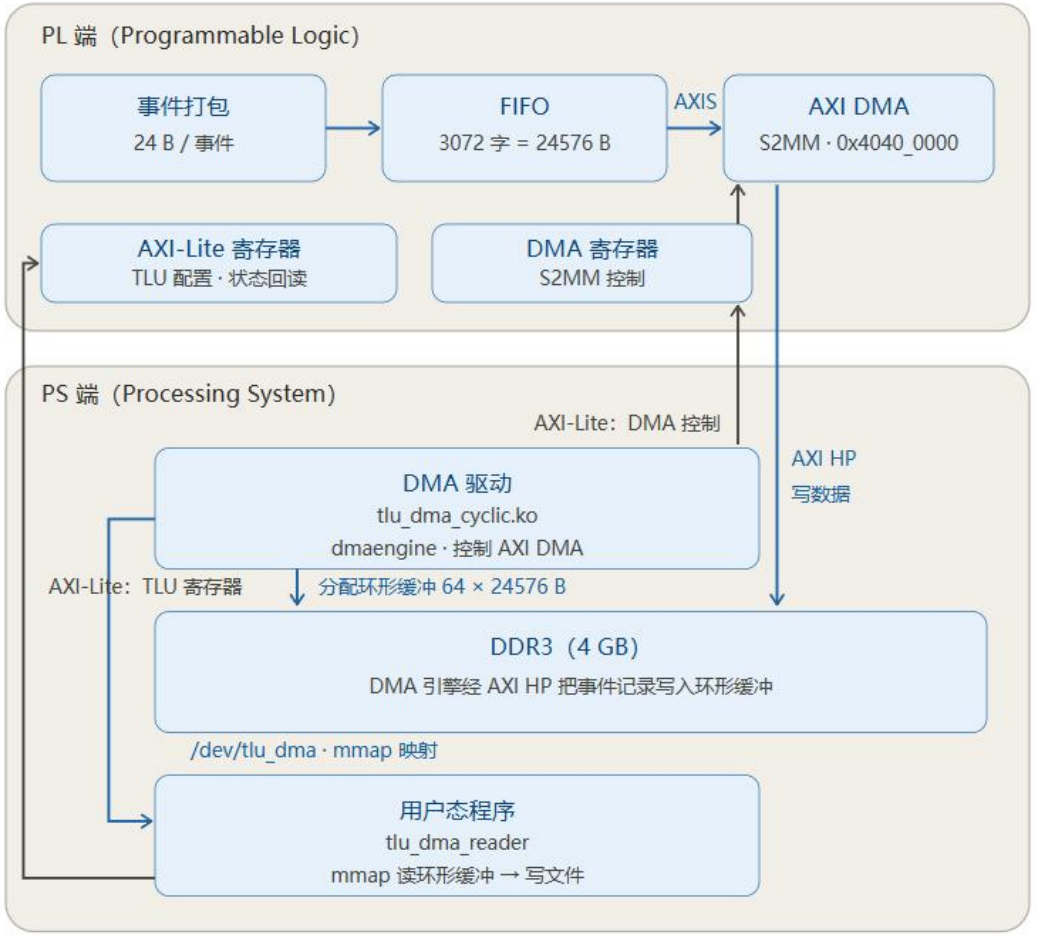
# 时间同步性能的进一步提升

WR设备间的建立链路时的多个初始化/设置过程，会导致同步精度出现误差,包含bitslide误差。WR6.0版本中引入LPDC(低相位漂移校准)，解决bitslide误差。

| LPDC | V6.0引入的校准机制 |
| --- | --- |
| 建链抖动 | 每次 link-up 重新测 bitslide，误差不同 → 同步偏差离散 |
| 无 LPDC 时 | 离散约 50ps pk-pk，校准精度上限 ±70 ps |
| 有 LPDC 时 | 离散降到 3–7 ps，精度 ±10 ps |
| 能否校准消除 | 不能，这是机制下限，不是校准误差 |



# PS端数据吞吐率测试

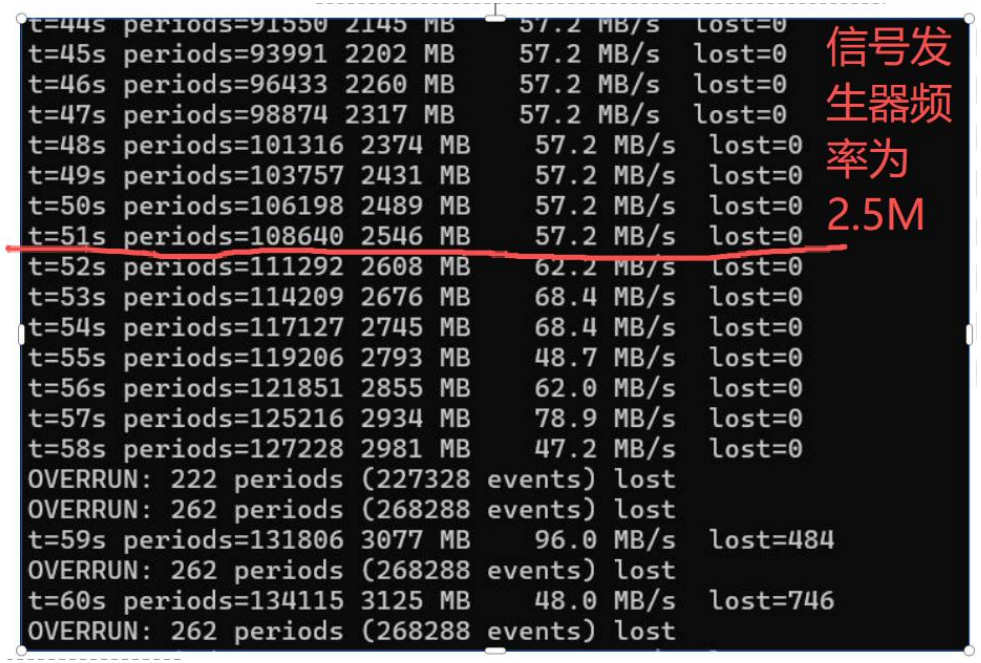



图一PS与PL的系统架构

- 采用 AXI DMA 的 Cyclic 环形传输模式，该模式下数据传输持续执行，不会在单次传输结束后自动停止
- 用户态程序借助mmap系统调用完成 DMA 数据缓冲区的地址映射，读取缓冲区数据后直接释放，以此完成生产者 - 消费者吞吐率性能测试。

在 DMA Cyclic 模式下，PL 端 FIFO 不会发生积压溢出，但引入了下游数据丢失风险：环形缓冲区容量固定，DMA 完成一轮写入后将从起始地址覆写缓存。当 DMA 写指针追上用户态读指针时，产生数据丢失。

# PS端吞吐率测试结果




DMA搬运数据，用户态读完即丢

- 信号发生器输出频率设置为 2.5 MHz 时，在前 51 s 内，内核态 DMA 写指针速率低于用户态读指针速率，系统无数据丢失。
- 51 s 后将信号发生器频率调整至 3 MHz；经过 7 s，DMA 缓冲区被填满，DMA 写指针速率超过用户态读指针速率，发生数据丢失。

DMA硬件可以持续把数据打进DDR环形buffer，但是**最终吞吐率上限**卡在用户态读程序:**CPU拷贝**，**内存访问**，**线程调度开销**，**中断处理**等等。

```
t=81s periods=1545736 36228 MB   572.2 MB/s  lost=0
t=82s periods=1570148 36800 MB   572.2 MB/s  lost=0
t=83s periods=1594562 37372 MB   572.2 MB/s  lost=0
t=84s periods=1618976 37944 MB   572.2 MB/s  lost=0
t=85s periods=1643388 38516 MB   572.2 MB/s  lost=0
t=86s periods=1667800 39089 MB   572.2 MB/s  lost=0
t=87s periods=1692213 39661 MB   572.2 MB/s  lost=0
t=88s periods=1716627 40233 MB   572.2 MB/s  lost=0
t=89s periods=1741041 40805 MB   572.2 MB/s  lost=0
t=90s periods=1765455 41377 MB   572.2 MB/s  lost=0
t=91s periods=1789869 41950 MB   572.2 MB/s  lost=0
t=92s periods=1814282 42522 MB   572.2 MB/s  lost=0
t=93s periods=1838693 43094 MB   572.1 MB/s  lost=0
t=94s periods=1863104 43666 MB   572.1 MB/s  lost=0
t=95s periods=1887516 44238 MB   572.2 MB/s  lost=0
t=96s periods=1911928 44810 MB   572.2 MB/s  lost=0
t=97s periods=1936343 45383 MB   572.2 MB/s  lost=0
t=98s periods=1960756 45955 MB   572.2 MB/s  lost=0
t=99s periods=1985171 46527 MB   572.2 MB/s  lost=0
```

用户态不读数据，DMA的速度
信号发生器频率25M

# 总结

- 完成TLU-WR硬件开发（触发输出通道，触发输入通道，WR硬件）。
- 完成TLU-WR固件开发（基准时钟，时钟树架构，绝对时间戳，数据传输链路，固件配置链路）。
- 完成PS端内核态DMA驱动开发。

## 未来计划

- 在 Zynq PS 端部署网络服务，实现远程交互式 Web 配置界面。
- 优化内核态驱动与用户态应用程序，提升数据读取吞吐性能。
- 优化时间戳数据结构，减少单条触发数据存储占用。
- 更新 WR 交换机最新固件，提升时间同步精度。

# 结尾

请各位老师批评指正！