



2026年1-4月考核报告

导 师：朱科军，章红宇

专 业：核技术及应用

2026年4月23日



- 基于RDMA的高性能数据传输研究
 - 背景介绍
 - 固件开发
 - 软件开发
- 其他工作
- 总结及计划



背景介绍

● 研究目标

- 使用RDMA技术代替传统数据传输协议进行FPGA到DAQ系统的数据传输，提高数据传输效率，节约计算资源
- 建立连接、RoCE v2 功能支持 (Write、Send、Receive、Read)



RoCE v2 数据包结构

● 项目进展

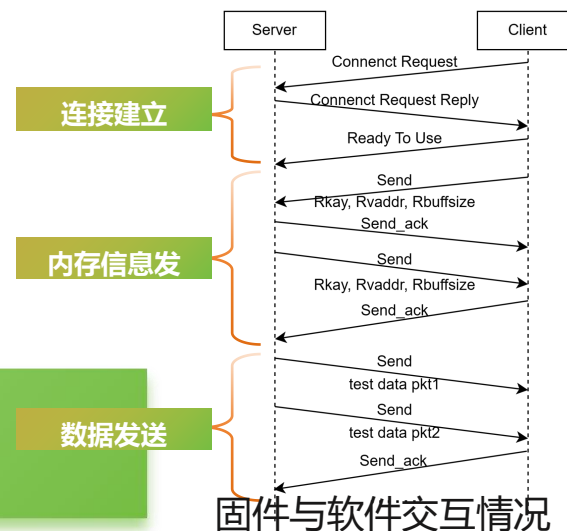
- **Send 功能的实现**
 - ACK 数据包的产生与发送
 - RDMA 建立连接过程中关键字段的提取
 - Send 数据包的组装
- **初步完成 PC 端软件开发**
- **PC与FPGA进行数据传输测试**

- Send 数据包发送成功
- FPGA -> PC 的连续数据传输过程中发生中断

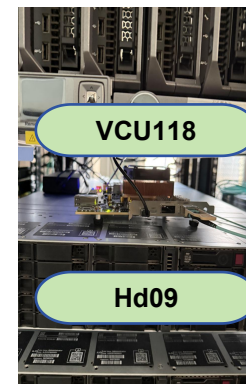
难点

- 协议复杂性高，状态机设计复杂
- 数据包处理需在极小时钟周期内完成
- 缓存报文、维护连接状态表需大量存储资源
- 拥塞控制与流量管理

兼顾高性能、低延迟、协议复杂性和资源效率



固件与软件交互情况



Hd09 与 VCU118 开发板



固件开发

● 跨时钟域处理

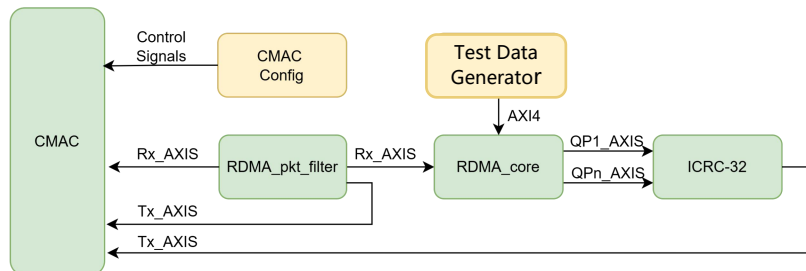
- CMAC IP 输出的 tx_clk 与 rx_clk 为同频时钟，但存在固有相位差，属于同频异步时钟域
- 需实现 rx_clk 到 tx_clk 的跨时钟域数据传输与同步

● Header Checksum 计算

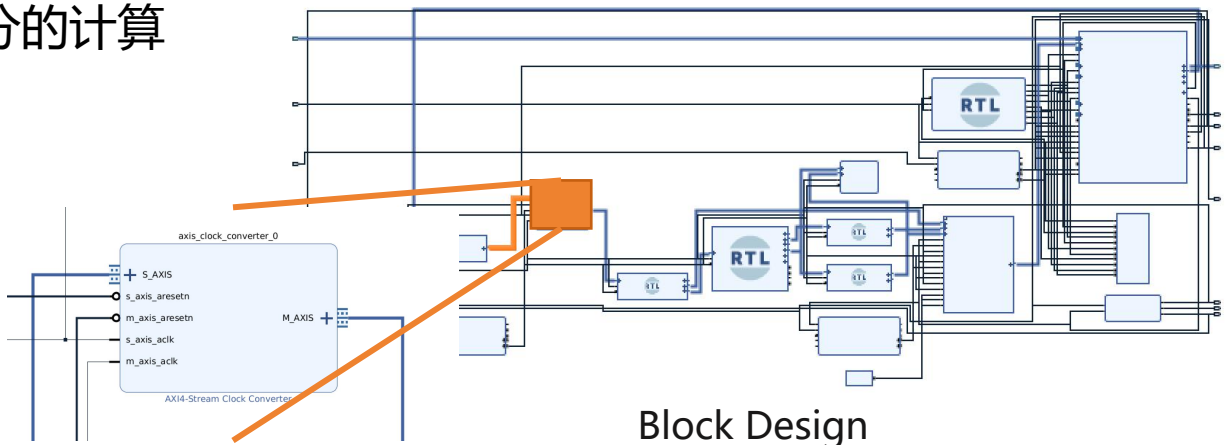
- 一个时钟周期内完成 Header Checksum 计算
- 将固定字段与可变字段分开计算
- 连接建立时完成 Dest IP, Mac 地址等信息的交换，并完成部分计算
- 数据包组装时完成数据包长度字段以及PSN字段部分的计算

● 功能开发

- 数据包长度可调
- 数据发送速率可调
- 发送数据包总数可调
- 有效数据中添加编号



固件结构



Block Design

Name	Value	Activity	Direction	VIO
> myBd/clockChanged_i/rdma_core_1/inst/QP_send_handler/vio_delay_setting[31:0]	数据包发送速率		Output	hw_vio_1
> myBd/clockChanged_i/rdma_core_1/inst/QP_send_handler/vio_packet_interval[31:0]	数据包长度		Output	hw_vio_1
> myBd/clockChanged_i/rdma_core_1/inst/QP_send_handler/vio_repeat_count_setting[31:0]	发送数据包个数		Output	hw_vio_1
> myBd/clockChanged_i/rdma_core_1/inst/QP_send_handler/vio_packet_count_setting[31:0]				

可调参数

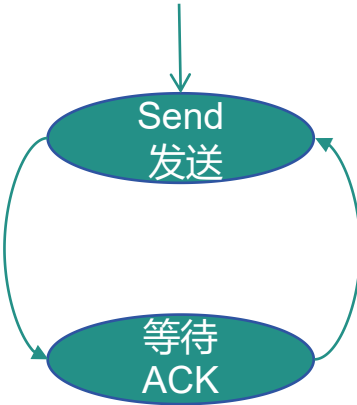
- 实现稳定数据传输
- 为功能测试提供调试手段

固件开发——数据传输测试结果



● 测试结果

测试编号	有效数据长度 (bytes)	数据传输速率 (Gbps)	传输是否中断	每个数据包传输的时钟周期数(200Mhz时钟)	预期PPS (不算ack等待的时间)	PPS
1	80	0.72	否	4 clocks per packet	5×10^7	1127558
2	144	1.27	否	5 clocks per packet	4×10^7	1103717
3	208	1.79	否	6 clocks per packet	3.33×10^7	1078582
4	272	2.37	否	7 clocks per packet	2.86×10^7	1087676
5	336	2.87	否	8 clocks per packet	2.5×10^7	1067536
6	400	3.29	否	9 clocks per packet	2.22×10^7	1028096
7	1040	7.27	否	17 clocks per packet	1.76×10^7	873464
8	2064	13.07	否	35 clocks per packet	0.5×10^7	791787
9	3088	17.62	否	51 clocks per packet	0.39×10^7	713131
10	3984	21.06	- 基本实现稳定数据传输 - 最高数据传输速率 21Gbps - 每包都等待 ack，影响极限数据传输速率			660682



部分状态转换示意图

固件开发——数据传输测试结果



● 测试结果

测试编号	发送数据包数量	有效数据长度(bytes)	数据包发送间隔	RDMA Demo 接收数据包个数	Tcpdump 抓包数量	ACK数量	Send only 数量	其他数据包数量 (除连接建立和连接断开外)
279	0xFFFFF	208	0x60	691	816884	86	816793	无 (816879)
281	0xFFFFF	208	0x61	691	960266	85	960176	无 (960261)
282	0xFFFFF	208	0x62	691	977431	76	977350	无 (977426)
285	0xFFFFF	208	0x64	691	995858	94	995759	无 (995853)
286	0xFFFFF	208	0x6a	691	1013259	100	1013154	无 (1013254)
288	0xFFFFF	208	0x6e	691	945118	69	945043	无 (945187)
290	0xFFFFF	208	0x6d	691	924705	87	924612	1 (OPcode=0x81)
291	0xFFFFF	266	0x6d	691	916298	68	916224	1 (OPcode=0x81)
277	0xFFFFF	208	0x6F	0xFFFFF(1048575)	1433623	689390	744228	无 (1433618)

- 丢包
- 出现拥塞控制报文 (CNP)



固件开发——滑动窗口与重传机制

● 滑动窗口

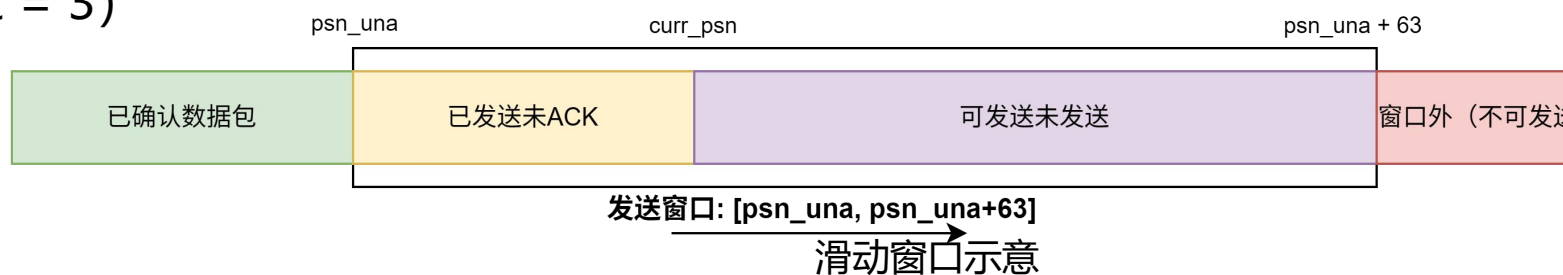
- 累计 ACK : $\text{ACK_psn} = X$ 表示所有序号小于 X 的数据包均已确认接收
- 发送约束: $\text{psn_una} < \text{curr_PSN} < \text{psn_una} + \text{window_size}$
 - psn_una : 最早未被确认的数据包序号
- 窗口更新: 每次收到 ACK 数据包后, 更新 psn_una

● 重传条件

- 超时重传
- 收到 NAK
- 连续 3 次相同 ACK ($\text{dup_ack_count} = 3$)
- 窗口内无有效 ACK

● 重传策略

- 采用 Go-Back-N 重传机制
- 发送端从丢包的序号开始, 重传当前滑动窗口内所有未被确认的包



- 已初步完成滑动窗口设计
- 需添加重传功能



软件开发以及调试

- 开发目标：支持数据传输测试、支持极限吞吐率测试、数据传输过程中错误检查、离线数据包检查
- 错误检查
 - 连接检查：检查 RDMA 连接建立是否成功
 - 资源检查：PD、CQ、QP、完成通道创建失败校验
 - 收包检查：空指针、非法参数、post_recv 返回值与 badWr
 - 完成检查：poll_cq 返回值、wc 成功状态
 - 硬件监控：QP 致命错误、CQ 错误、端口与 ICRC 计数异常
- 极限数据传输测试
 - 无内存拷贝，主线程完成运行状态的监控，CQ 线程轮询完成队列，缓存数据，缓冲区用完立刻重新提交，保证永远有空闲 buffer 接收新数据包，不丢包
- 测试数据存储
 - 在数据传输结束后将内存中暂存数据写入文件，不影响数据传输速率
- 可调参数
 - cache_reserve_mb、run_number、recv_buf_size、prepost_receives
- 数据包解码
 - 解析存储的二进制文件，提取每个包前 3 字节序号并校验其连续性，同时输出缺包、长度异常和解码结果日志



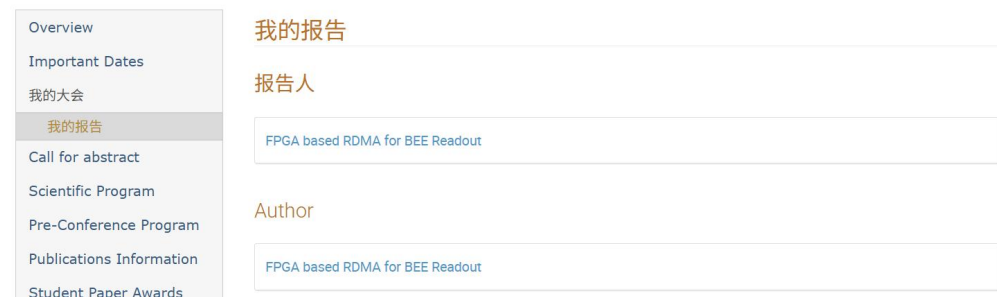
软件工作流程图

- 恢复数据获取系统，按照新数据格式完成数据解码

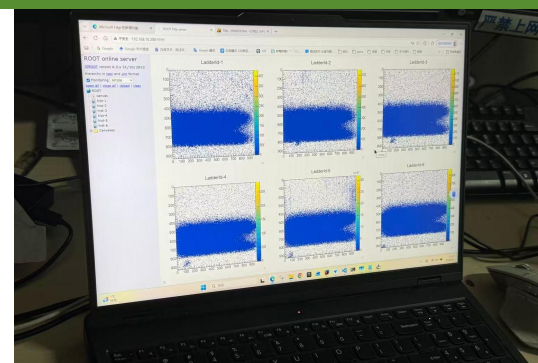
● DDR4 读写测试

- 接口配置: DataWidth = 512bit (64B/beat) , AddressWidth = 31, IDWidth = 4
- 测试流程: 写突发 (AW/W/B) → 读突发 (AR/R) → 回读数据与写入数据比对校验
- 支持循环连续运行, 可配合 ILA 多次稳定触发, 便于捕获每轮测试起始时刻的握手信号与数据波形

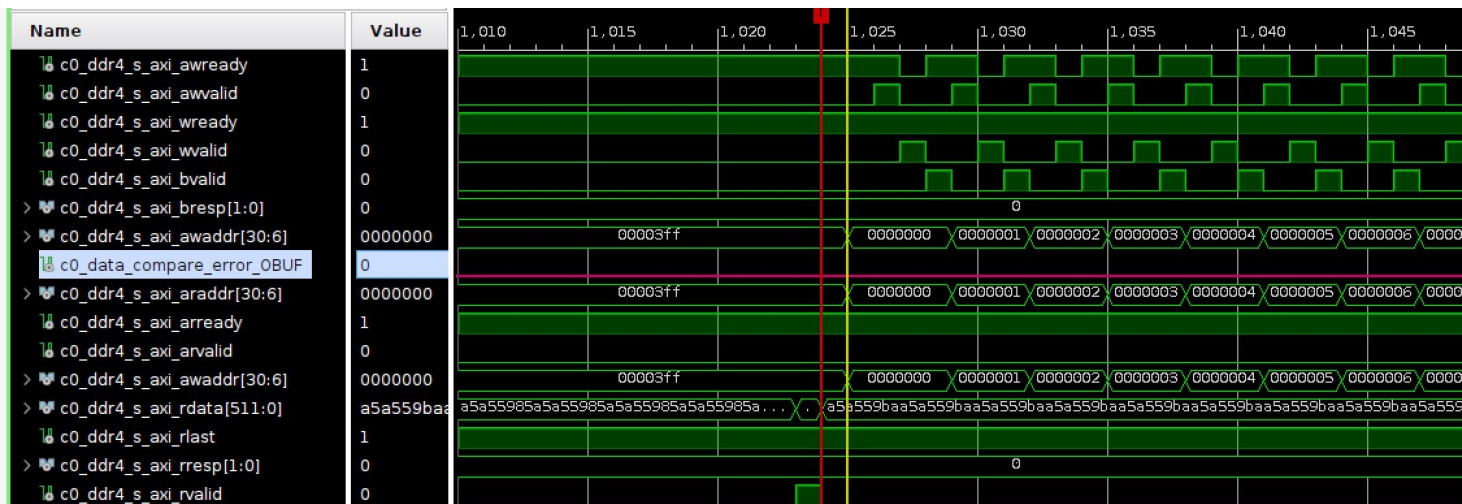
- **IEEE Real Time Conference 2026 摘要提交**



Real Time Conference 2026



工作中的DAQ系统



ILA 查看 DDR4 读写结果



● 总结

- **进一步完成固件功能的开发**
 - 跨时钟域处理
 - 优化 Header Checksum 计算逻辑
 - 数据包长度可调、数据发送频率可调、数据包发送个数可控
- **进一步完成 PC 端软件开发**
 - 为软件添加功能，便于开发中的调试
 - 进行FPGA与PC端数据传输测试
- **其他**
 - HPES Telescope 束流测试
 - DDR4 读写测试
 - IEEE Real Time Conference 摘要提交

● 工作计划

- **基于RDMA的高性能数据传输研究**
 - 实现重传
 - 实现流控与拥塞管理机制
 - 继续完善固件中 RoCE v2 协议相关功能 (Write)



感谢！