

中国科学院高能物理研究所

2026年4月考核报告

报告人：刘 栋

导 师：刘振安

CONTENTS

01 CEPC触发通用板设计

- ◆ 原理图优化
- ◆ PCB设计与优化
- ◆ 板卡生产

02 BESIII EACC固件移植

- ◆ 原EACC固件移植
- ◆ SP3固件整合

03 总结与下一步计划



CEPC触发通用板设计



■ 原理图优化

- ◆ K26 SOM仅有2个IIC控制器，需调整板上IIC结构
- ◆ 考虑功能测试需求，增加测试点，测试路径，以及关键指示灯
- ◆ 相关信号的电平检查和确认

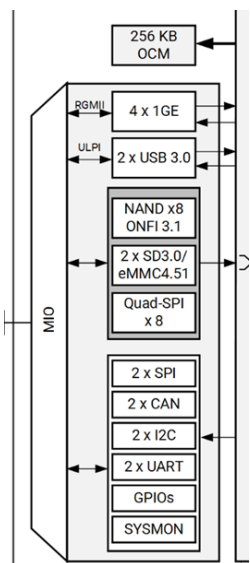


图3. K26模块的控制器

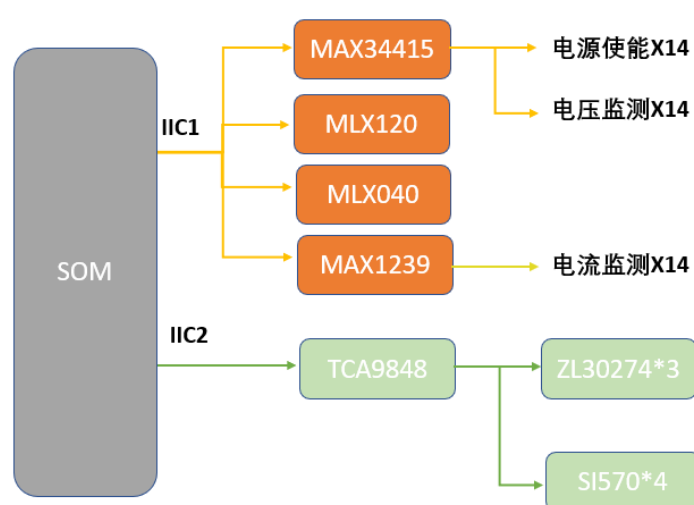


图4. 触发通用板IIC结构

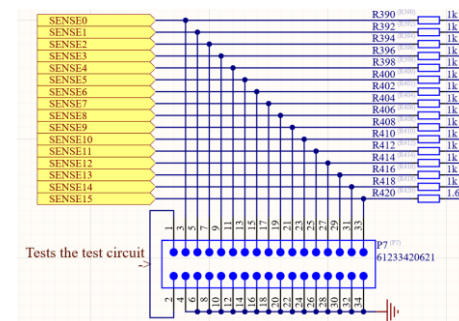
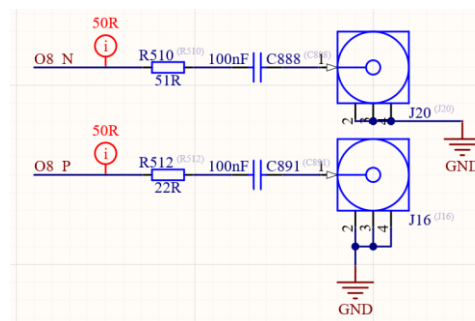
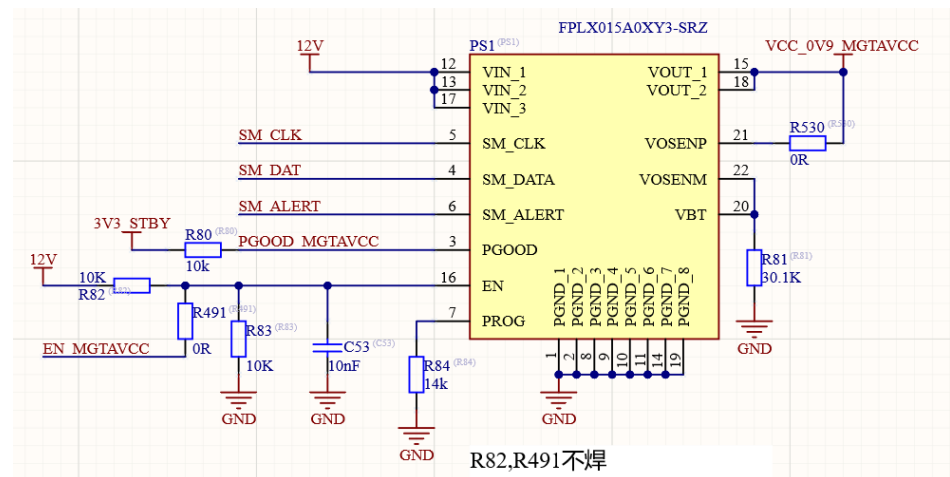


图5. 新增的部分测试点和测试路径

已完成原理图优化

CEPC触发通用板设计



■ PCB设计与优化

◆ 层叠结构设计

- 18层板，8层信号层，5层地，5层电源

◆ 电源平面分割

- 电流大小和压降

◆ PCB设计难点

- 器件密度高
- 多种阻抗控制 (39, 50, 66, 86, 100)
- 高速线多，其中QSFP单通道设计为需支持25Gb/s，背钻限制了走线灵活性

◆ 生产前相关准备

- 封装尺寸及元器件参数的确认
- 生产及加工工艺沟通
- 物料清点与购买

已完成第一版设计，所有物料准备齐全，
PCB已发出制板。

层	层属性
L1	信号
L2	地
L3	信号
L4	电源 (VCCIN_12V,VCCINT_0V85,SOM_1V8,48V_A)
L5	信号
L6	地
L7	信号
L8	电源(VCC3V3,VCCINT_0V85,DDR_VTT,48V_B)
L9	电源(MGTAVTT_1V2,VCC_1V8,2V5_SWITCH,1V2_SWITCH)
L10	电源(VCC_1V2,SOM_5V,MGTVCCAUX_1V8)
L11	电源(VCC2V5,SOM_3V)
L12	信号
L13	地
L14	信号
L15	电源(MGTAVCC_0V9,3V3_STANDBY)
L16	信号
L17	地
L18	信号

表1. 触发通用板层叠结构及电源分割

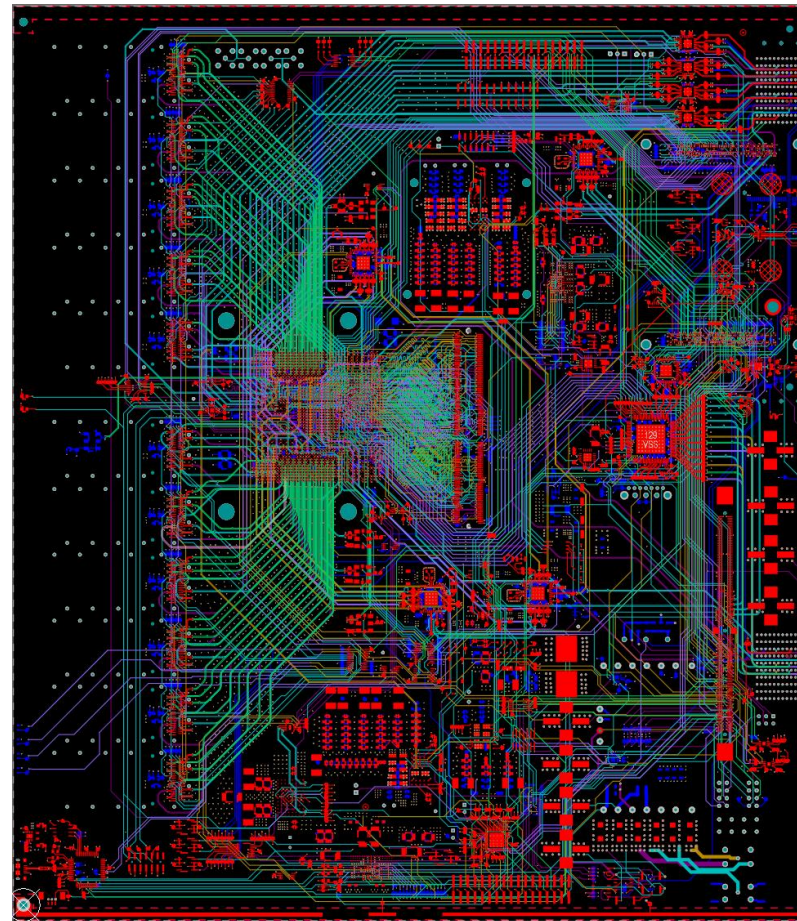


图6. 触发通用板第一版布线

CEPC ECAL簇团特征分析



■ 目的

- ◆ 为簇团查找算法及触发策略提供参考

■ 基本思路

- ◆ 产生事例样本
- ◆ 筛选事例样本
- ◆ 分析物理过程簇团特征（大小，能量，形状，个数等）

■ 工作进展

- ◆ 基于1*1晶体尺寸，基本单元选用1个模块，基本完成 $H \rightarrow \gamma \gamma$ 过程的桶部光子簇团特征分析（去年完成）
- ◆ 正在基于新的晶体尺寸（1.5*1.5）产生模拟事例样本，计划以单个晶体及单层晶体为基本单元，研究光子簇团的形状以及深度的特征。

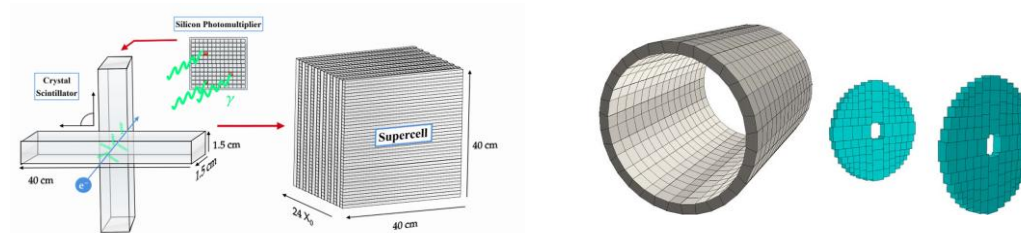


图7 ECAL几何结构示意图

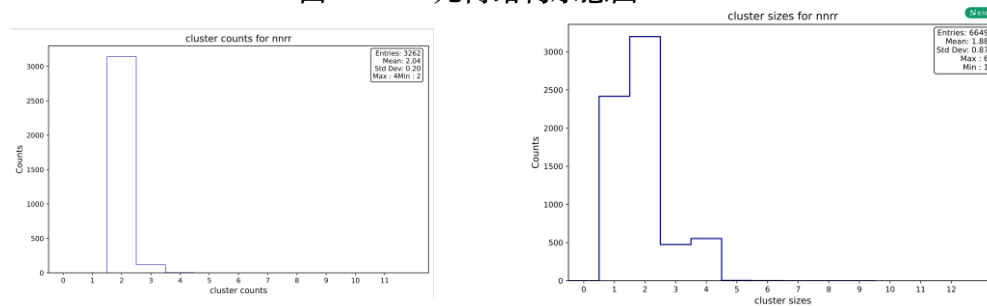


图8 $H \rightarrow \gamma\gamma$ 过程簇团个数及簇团尺寸分布

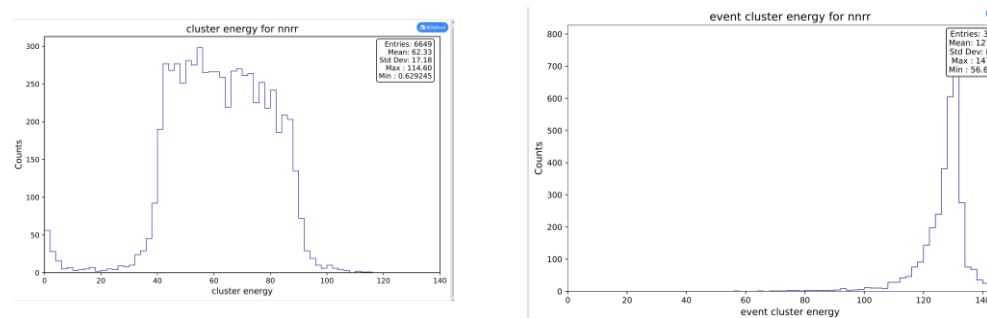


图9 $H \rightarrow \gamma\gamma$ 过程单个簇团的能量分布及单个事例的能量分布

BESIII EACC固件移植



背景和需求

- EMC触发子系统硬件升级，FPGA从VirtexII pro更换为XCKU060。
- EACC板上两片FPGA的功能需整合到一片FPGA中实现
- 固件功能的增加，需增加原始数据全读出的功能。

具体工作内容

- V2P固件移植（EACC相关的触发逻辑）
- SP3固件整合（VME总线的控制与配置相关功能）
- IIC时钟配置（配置GTH的参考时钟）
- 数据全读出功能模块实现（可参考TKF的数据全读出相关设计）

```
graph TD
    v2p_top["v2p_top (v2p_top.v) (22)"]
    clk40_gen["clk40_gen: clk_40 (clk_40.v) (1)"]
    clkdictation["clkdictation: clk_dic (clk_dic.v)"]
    nLrg1AndEtoDictation["nLrg1AndEtoDictation: nLrg1_dic (nLrg1_dic.v)"]
    INST_System_Command_Control["INST_System_Command_Control: System_Command_Control (5)"]
    sp3_Sp3_Top["sp3: Sp3_Top (Sp3_Top.v) (9)"]
    GT_top["GT_top: gth_16channels_example_top (gth_16channels_example_top.v) (1)"]
    FUNC_en["FUNC_en: function_en (function_en.v)"]
    L1ChkWidthChkAndShaper["L1ChkWidthChkAndShaper: L1ChkInputWidthCheck (L1ChkInputWidthCheck.v)"]
    Dtrack_VME_Sel["Dtrack_VME_Sel: DtrackSel (DtrackSel.v)"]
    Data_VME_Sel["Data_VME_Sel: DataOutSel (DataOutSel.v)"]
    Dscout_1["Dscout_1: DS_Count (DS_Count.v)"]
    CsrReg_1["CsrReg_1: CsrReg (CsrReg.v)"]
    WriteCtlWord["WriteCtlWord: WrCtlWord (WrCtlWord.v)"]
    WriteSimData["WriteSimData: WrSimData (WrSimData.v)"]
    SimRealSel["SimRealSel: SimRealSelection (SimRealSelection.v)"]
    Fibre_Input["Fibre_Input: FibreDataIn (FibreDataIn.v)"]
    EMCCondiGen["EMCCondiGen: EMC_Csum_condi_Gen (Csum_Condi_Gen.v)"]
    DataStoreAndRd_1["DataStoreAndRd_1: DataStoreAndRd (DataStoreAndRd.v) (8)"]
    EMC_EtotCondiGen["EMC_EtotCondiGen: EMC_Etot_condi_Gen (Etot_condi_Gen.v)"]
    NLrg1_AnPeak_tmp1["NLrg1_AnPeak_tmp1: NLrg1_AnPeak (NLrg1_AnPeak.v)"]
    EMCCondiOut1["EMCCondiOut1: EMC_Condi_Out (EMC_Condi_Out.v)"]
    BarShapeModule["BarShapeModule: BarShape (BarShape.v) (4)"]
```

图10.目前的固件工程结构

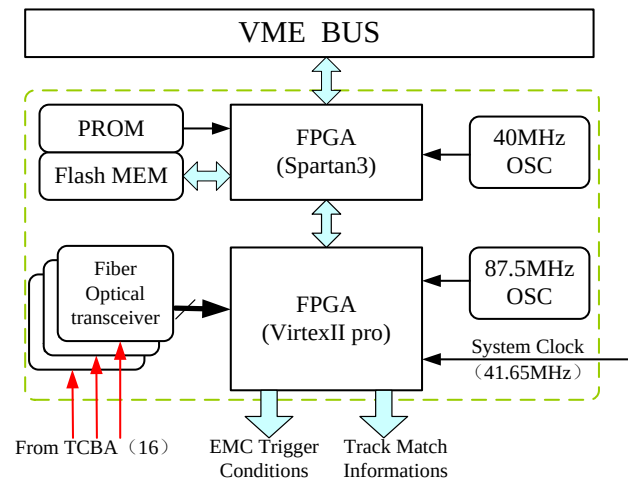


图9 EACC插件硬件框图

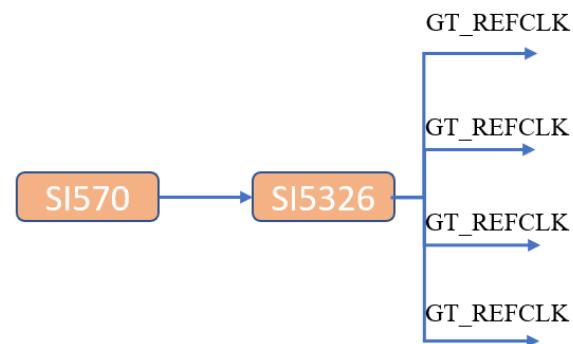


图11.触发核心板中GT参考时钟的路径

BESIII EACC固件移植



■ 工作进展

V2P固件移植

- 完成原有EACC固件中所有的重新配置与例化
- 完成原语的检查替换
- GTH IBERT工程的上板测试，GTH例子工程的前仿与上板测试，单板自回环数据收发正常

SP3固件整合

- 完成V2P和SP3固件的整合与管脚分配，成功生成比特流

IIC时钟配置（正在熟悉相关固件）

数据全读出功能模块实现（待完成）

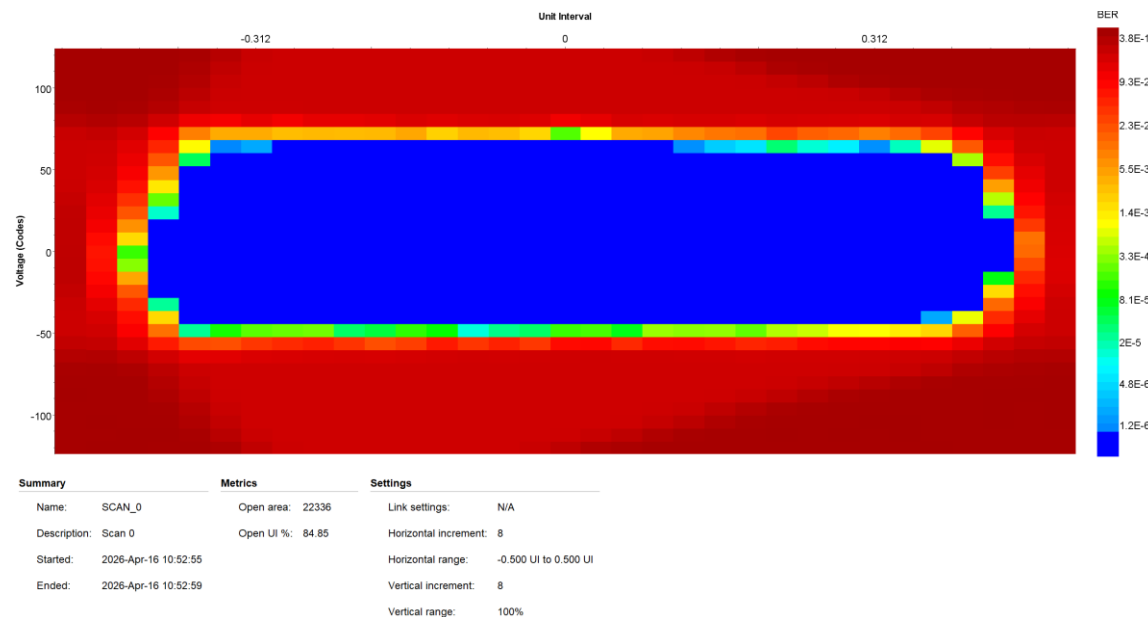


图12 EACC的GTH IBERT工程上板测试眼图

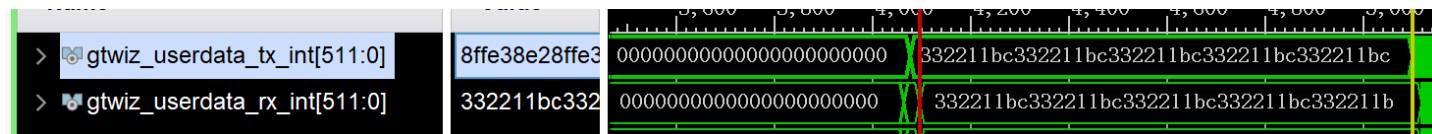
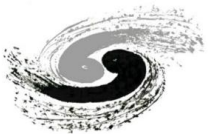


图13 EACC的GTH 工程上板测试收发数据



■总结

◆CEPC触发通用板设计

- 第一版设计已完成，已发出制板，完成生产工艺确认沟通
- 完成物料清点和购买

◆BESIII EACC固件移植

- 已完成原EACC固件整合，16路GTH 单板自回环测试正常
- SP3部分的固件已整合完成，完成原语相关替换和管脚重新分配，整合后的固件可以正常生成bit流

■下一步计划

◆CEPC触发通用板

- 生产完成后开始功能测试，近期开始准备测试方案
- 正在准备NSS/MIC/RTSD会议的摘要

◆CEPC ECAL簇团特征分析

- 计划以单个晶体为基本单元，进一步分析光子簇团的特征

◆BESIII EACC固件移植

- 正在学习IIC的相关配置，完成后开始整体固件的上板测试

请各位老师批评指正