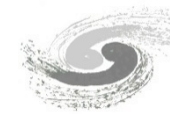


4月季度考核汇报

汇报人： 陈奕铭

导 师： 江晓山

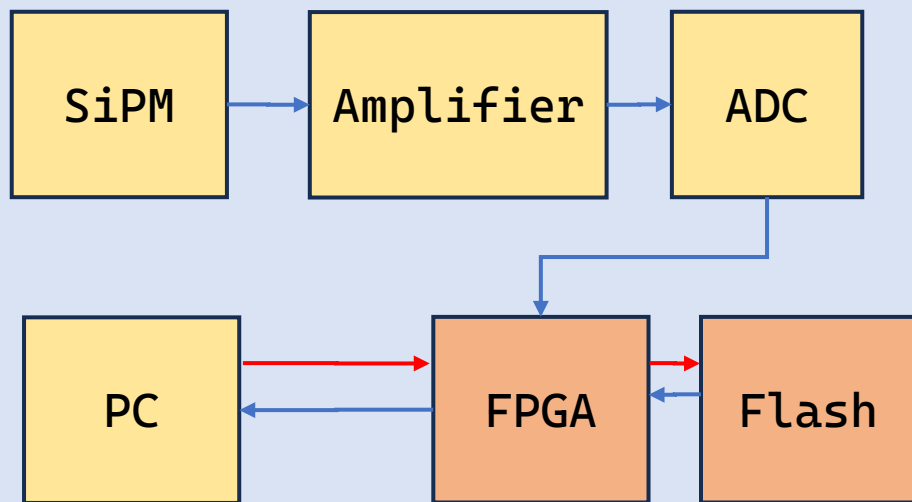
课题组： 电子学组



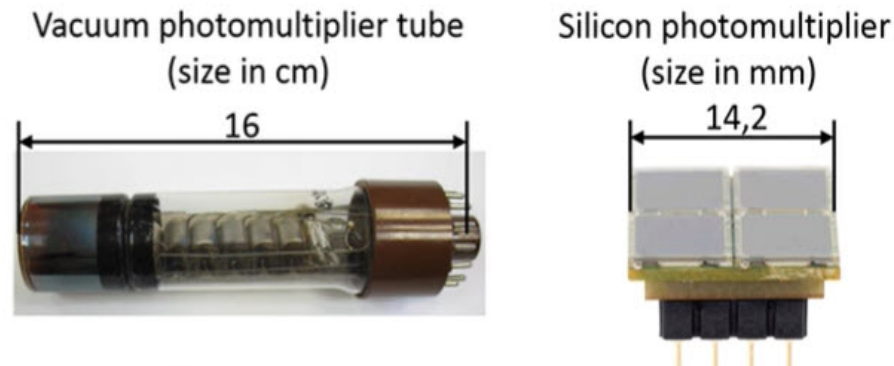
- 课题的背景
- 工作进展
 - RISC-V core 与蓝牙联调
 - 芯片后端布局布线
 - 芯片测试板
- 工作计划



依托于国家重点研发课题——**超高能量分辨率及多模辐射探测器研制及应用验证**，需要实现一种与探测器相适配的小型、便携式的SiPM电子学读出系统。该系统需要对SiPM输出信号进行处理，并将数字化后的数据传输到后端主机系统。

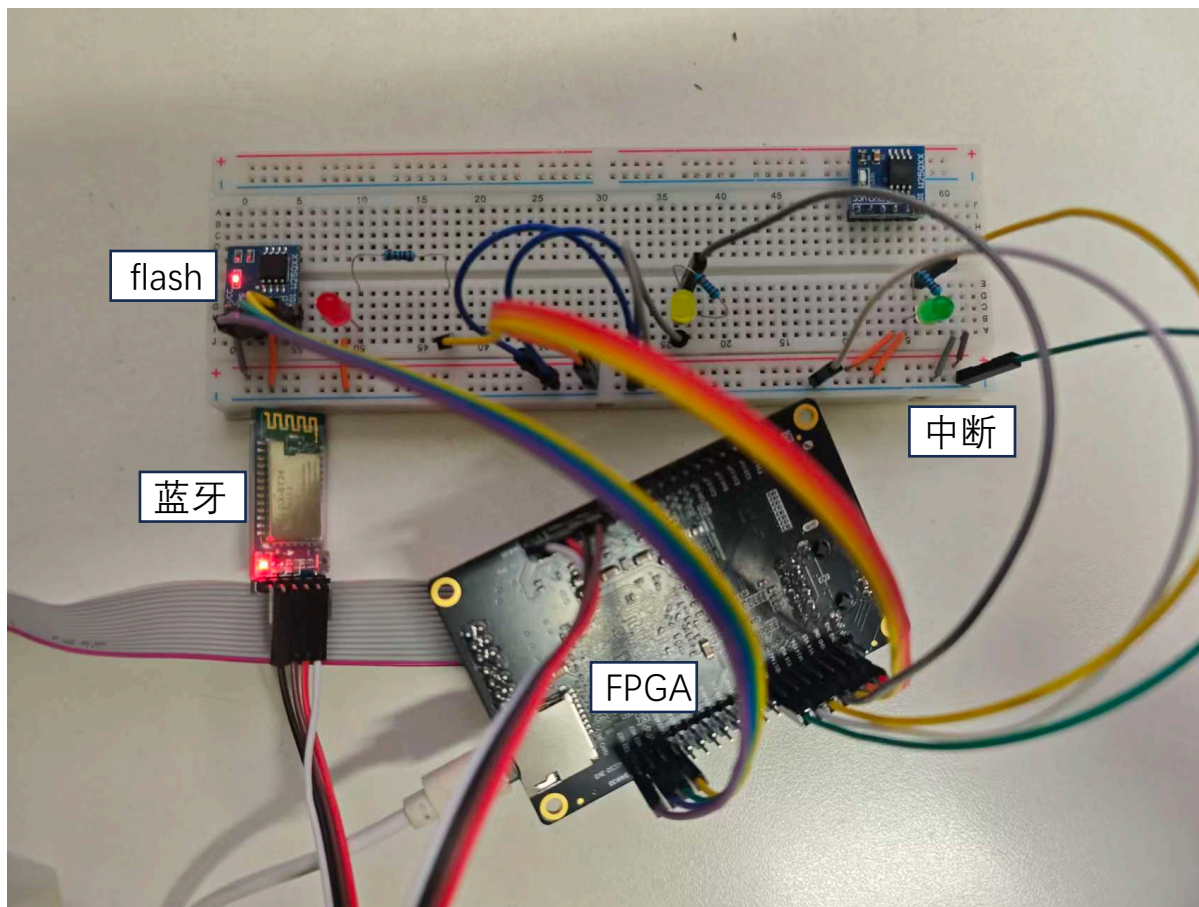
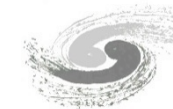


系统结构

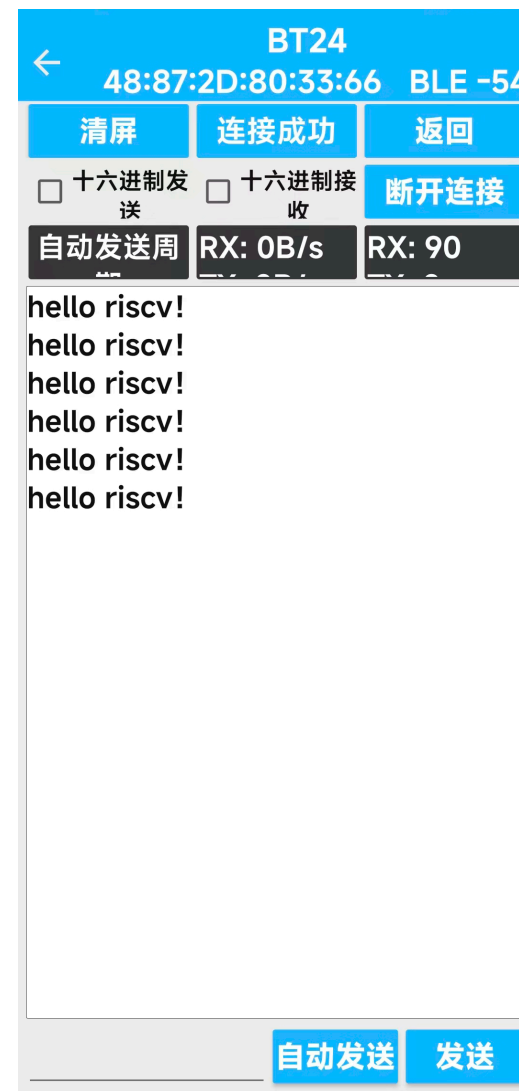


传统的光电倍增管与SiPM的尺寸

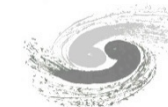
针对便携型的特点，需要低功耗的电子学系统，以最终实现单片芯片能够进行全部处理及传输控制。计划基于RISC-V处理器指令集研发芯片中的**数据控制部分**（MCU），实现一个控制灵活的FPGA嵌入式处理器软核。该IP核可以对**毫秒级**的数据进行计算以及分类，并将处理之后的数据通过蓝牙等低速协议发送到PC端。



目前已在FPGA上实现RISC-V软核，可通过SPI协议向FLASH芯片加载C语言代码，并支持通过RS232串口向蓝牙模块发送数据。

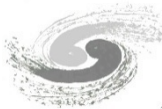


蓝牙透传软件



```
pad sv
src > pad sv > {} PAD
128 P08W out11_pad (.PAD(OUT11), .I(out11));
129 P08W out12_pad (.PAD(OUT12), .I(out12));
130 P08W out13_pad (.PAD(OUT13), .I(out13));
131 P08W out14_pad (.PAD(OUT14), .I(out14));
132 P08W out15_pad (.PAD(OUT15), .I(out15));
133 P08W out16_pad (.PAD(OUT16), .I(out16));
134 P08W spi_sclk_pad (.PAD(SPI_SCLK), .I(spi_sclk));
135 P08W spi_mosi_pad (.PAD(SPI_MOSI), .I(spi_mosi));
136 P08W spi_cs_pad (.PAD(SPI_CS), .I(spi_cs));
137 P08W uart_tx_pad (.PAD(UART_TX), .I(uart_tx));
138 P08W test_port_pad (.PAD(TEST_PORT), .I(test_port));
139 输出PAD
140 top u_top (
141     .clk(clk),
142     .rst_n(rst_n),
143
144     .flash_sclk(flash_sclk),
145     .flash_mosi(flash_mosi),
146     .flash_miso(flash_miso),
147     .flash_cs(flash_cs),
148
149     .flash_uart_rx(flash_uart_rx),
150     .flash_uart_tx(flash_uart_tx),
    92 PIDW rst_n_pad (.PAD(RST_N), .C(rst_n));
    93 PIDW flash_miso_pad (.PAD(FLASH_MISO), .C(flash_miso));
    94 PIUW flash_uart_rx_pad (.PAD(FLASH_UART_RX), .C(flash_uart_rx));
    95 PIDW in1_pad (.PAD(IN1), .C(in1));
    96 PIDW in2_pad (.PAD(IN2), .C(in2));
    97 PIDW in3_pad (.PAD(IN3), .C(in3));
    98 PIDW in4_pad (.PAD(IN4), .C(in4));
    输入PAD
```

- 为了对IP核进行硅片级的验证。
- 对已有的RTL代码进行综合和布线。生成GDS文件。
- 在顶层模块中插入SMIC130工艺库提供的PAD。随后将代码放入Design Compiler中进行综合。



pad.sv area.rpt

dc > rpt > area.rpt

```
9 Library(s) Used:
10
11 sc9tap_logic013_base_rvt_tt_typical_max_1p20v_25c (File: /home/EDA/ic_prj/less
12 DUAL_PORT_RAM_TT_1.2_25 (File: /home/EDA/ic_prj/lessarea/dc/lib/ram/DUAL_PORT_
13 SP013D3W_V1p4_typ (File: /home/EDA/ic_prj/lessarea/dc/lib/io/SP013D3W_V1p4_typ
14
15 Number of ports: 47
16 Number of nets: 15901
17 Number of cells: 14641
18 Number of combinational cells: 11649
19 Number of sequential cells: 2944
20 Number of macros/black boxes: 48
21 Number of buf/inv: 1989
22 Number of references: 188
23
24 Combinational area: 117930.260993
25 Buf/Inv area: 14132.552292
26 Noncombinational area: 100937.586315
27 Macro/Black Box area: 1161841.500000
28 Net Interconnect area: 0.000000
29
30 Total cell area: 1380709.347308
31 Total area: 1380709.347308
32 1
33 |
```

面积报告

时序报告

pad.sv timing.rpt

dc > rpt > timing.rpt

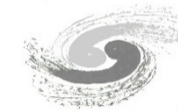
```
128 data arrival time 17.99
129
130 clock CLK (rise edge) 20.00 20.00
131 clock network delay (ideal) 1.40 21.40
132 clock uncertainty -0.80 20.60
133 u_top/cpu_inst/ifu_inst/prefetch_inst/fetch_fifo_inst/addr_c_reg[0][31]/CK (DFFRX1)
134 | 0.00 20.60 r
135 library setup time -0.13 20.47
136 data required time 20.47
137 -----
138 data required time 20.47
139 data arrival time -17.99
140 -----
141 slack (MET) 2.48
```

pad.sv power.rpt

dc > rpt > power.rpt

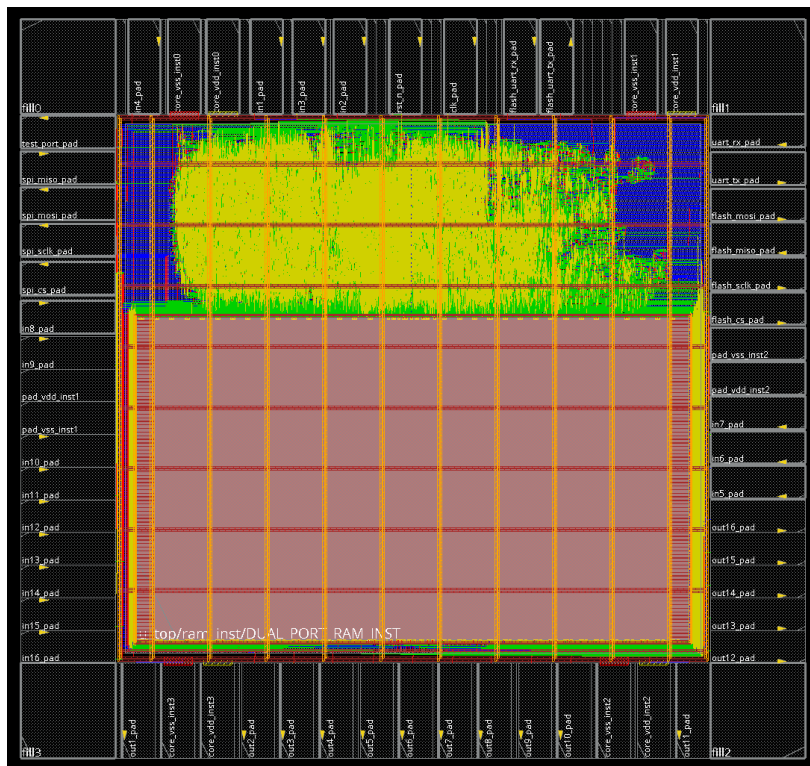
```
40 CELL Internal Power = 11.1354 mW (10%)
41 Net Switching Power = 72.6327 mW (87%)
42 -----
43 Total Dynamic Power = 83.7681 mW (100%)
44
45 Cell Leakage Power = 145.0085 uW
46
47
48 Power Group Internal Switching Leakage Total
49 Power Power Power Power ( % ) Attrs
50 -----
51 io_pad 5.3632 72.4091 0.7484 77.7730 ( 92.68%)
52 memory 2.8697 1.3037e-03 138.7460 3.0097 ( 3.59%)
53 black_box 0.0000 0.0000 0.0000 0.0000 ( 0.00%)
54 clock_network 2.8351 0.0000 0.0000 0.0000 ( 0.00%) i
55 register 2.1644e-02 2.1554e-02 2.2006 2.8805 ( 3.43%)
56 sequential 0.0000 0.0000 0.0000 0.0000 ( 0.00%)
57 combinational 4.5735e-02 0.2008 3.3135 0.2498 ( 0.30%)
58 -----
59 Total 11.1354 mW 72.6328 mW 145.0085 uW 83.9131 mW
60 1
61
```

功耗报告



➤ 将综合后的网表导入INNOVUS中进行物理布线

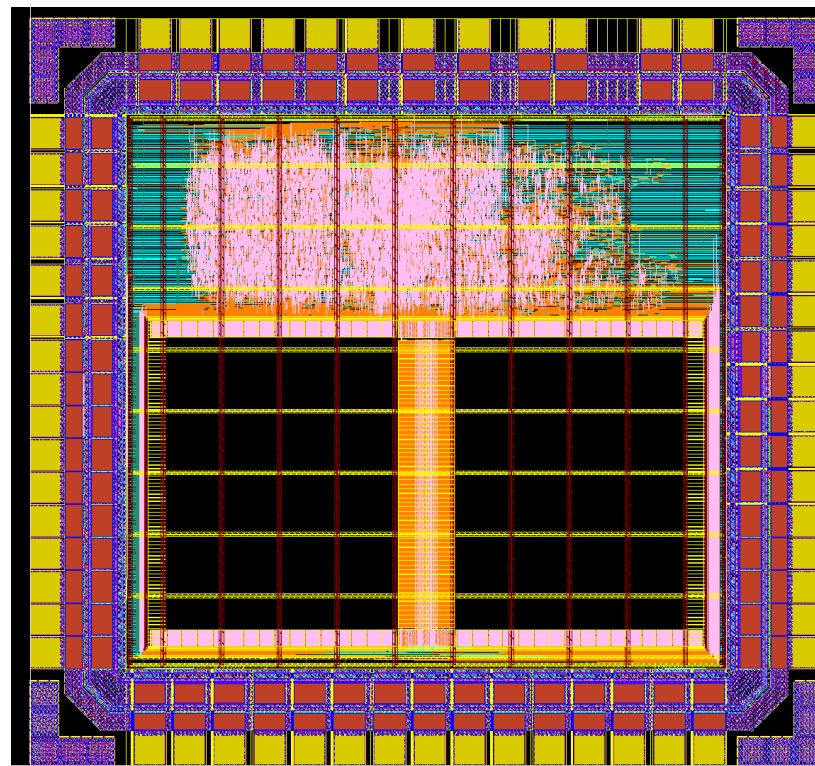
- 划定芯片的整体面积
- 确定电源网络
- 摆放SRAM IP核与STD CELL的位置
- 时钟树综合与绕线



SIZE
H:1517
W:1610

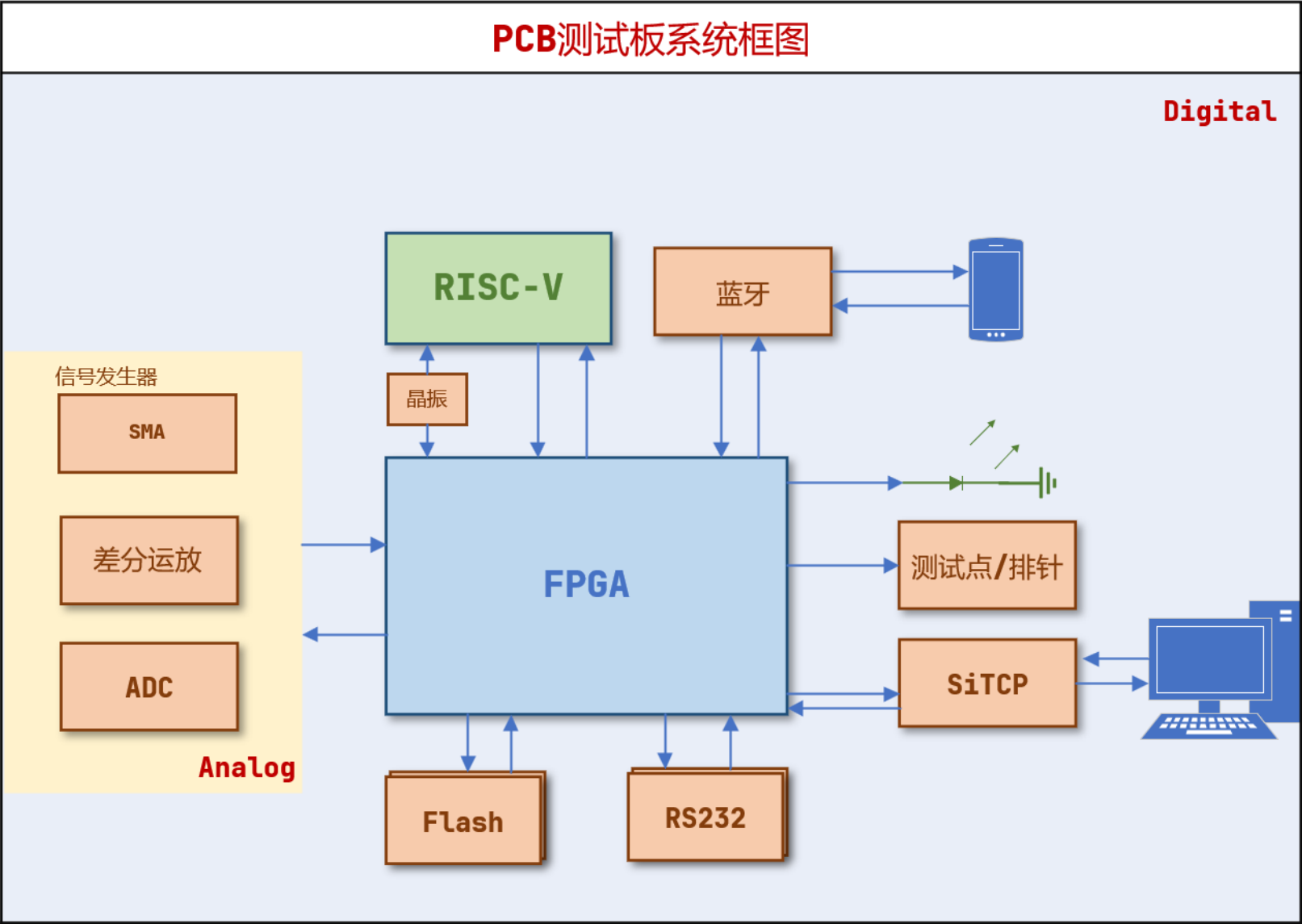
➤ 最终得到**GDSII文件**。（3月份提交流片）

- 导出sdf文件进行芯片后仿真
- 导入virtuoso进行DRC检查（已完成）
- 导入virtuoso进行LVS检查



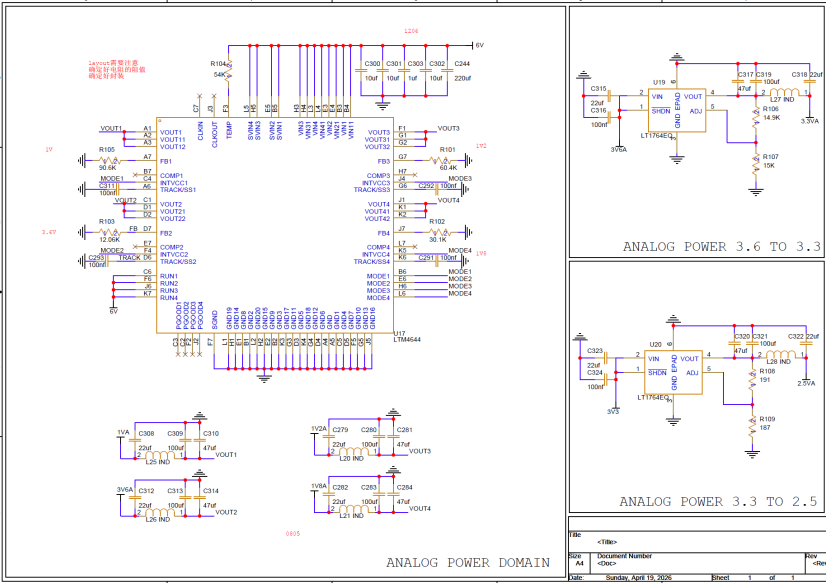


PCB测试板系统框图

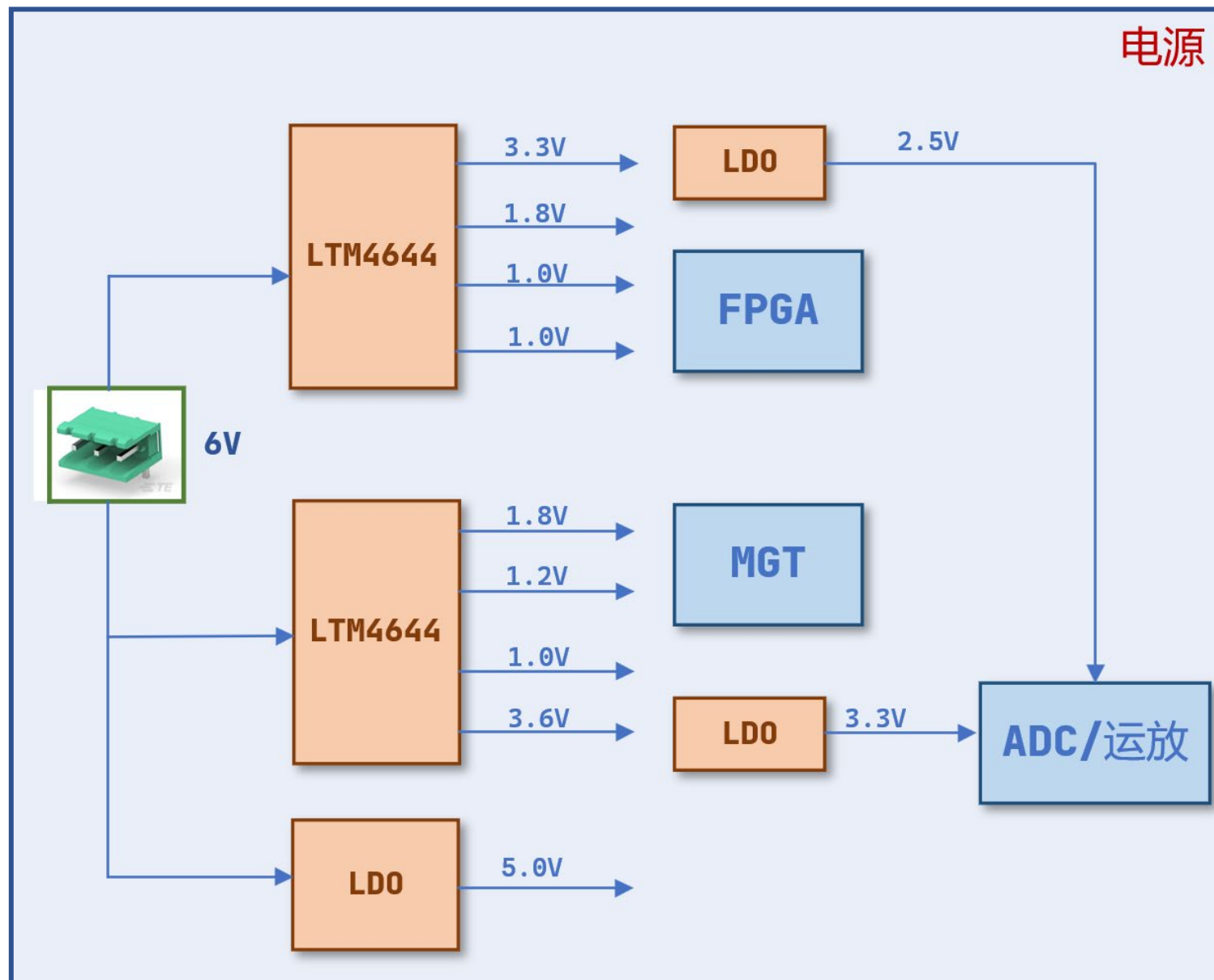


针对设计的芯片，需要制作测试板对其进行测试。目前已完成原理图的绘制。

所有外围芯片都与FPGA进行连接，测试芯片可以通过FPGA对外部的芯片进行访问。



端口输入6V电压。经过LTM4644电源芯片后产生不同幅值的电压。数字电压由DC-DC的方式产生，主要供给FPGA芯片使用。而ADC则需要纹波更小的电压，因此需要使用LDO芯片（LT1764）进行稳压。

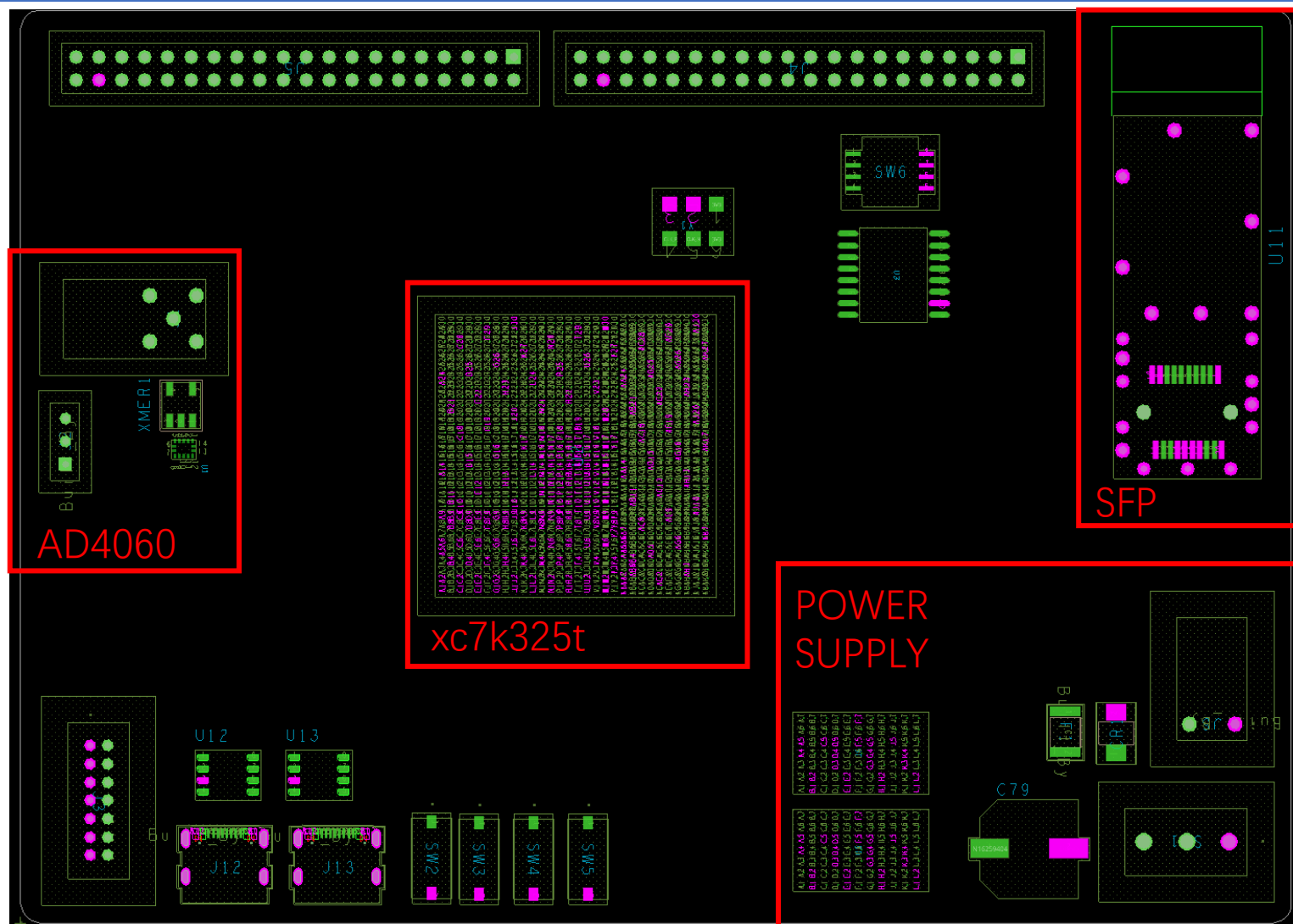




SIZE

H : 100 mm

W : 140 mm



目前正在依据原理图绘制PCB板，以上为PCB预布局的结果，后续会再按照实际走线结果进行调整。



- 完成测试板的布局与布线，预计在下个月投板。
- 在投板之后，继续对芯片的后端设计进行验证（包括后仿真、LVS检查等）
- 测试板子的功能是否正常，检查FPGA是否能够和板子上的设备正常通信。
- 使用测试板对RISC-V芯片的功能进行测试。



感谢各位老师 请批评指正！