

国家重点研发计划—“高能量加速器关键技术研究” 2026中期

# 课题2 “硅像素探测器和 无线数据传输技术研究”

报告人：董明义

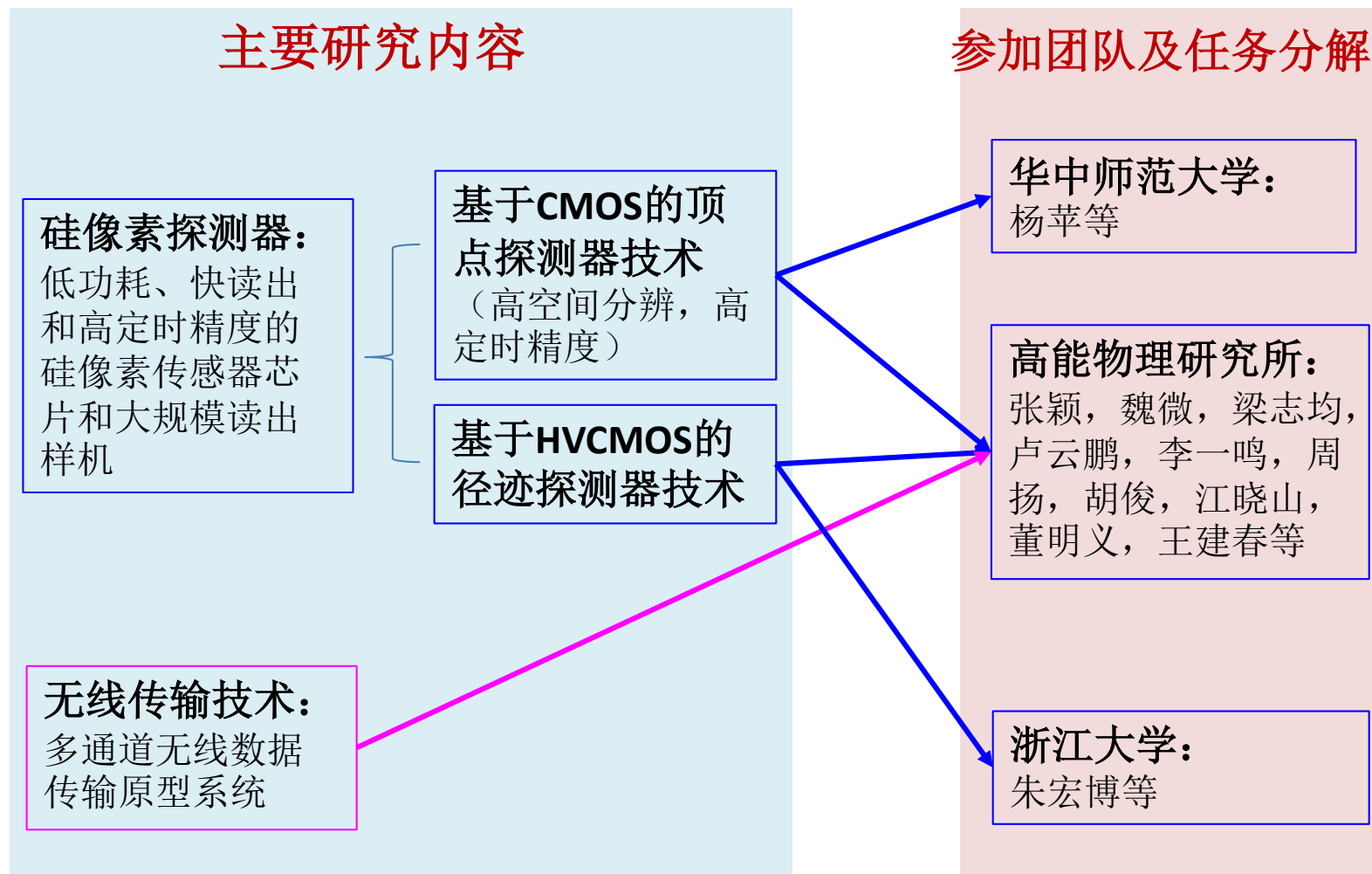
中国科学院高能物理研究所，2026年05月18日

# 报告提纲

- ◆ **课题简介**
- ◆ **重要进展及成果**
- ◆ **经费使用**
- ◆ **小结**

# 课题简介

- 课题名称：硅像素探测器和无线数据传输技术研究
- 课题总预算：936万（已拨付748.8万）
- 课题承担单位：中国科学院高能物理研究所
- 课题负责人：王建春
- 执行期限：2023年12月至2028年11月



# 课题简介：研究进度安排



时间节点	顶点探测器样机	HVCMOS径迹探测器样机	无线数据传输技术
2026.5 (中期)	传感器样机的位置分辨、定时精度、功耗分别达到小于5微米、1微秒和150mW/cm <sup>2</sup>	传感器样机位置分辨、定时精度、功耗分别达到10微米、100纳秒和500mW/cm <sup>2</sup> 。	无
2028.12 (结题)	探测器样机的位置分辨、定时精度、功耗分别达到3微米、100纳秒和100mW/cm <sup>2</sup>	探测器样机位置分辨、定时精度、功耗分别达到10微米、10纳秒和200mW/cm <sup>2</sup>	多通道无线数据传输原型系统，总传输带宽 ≥30Gbps，满足数据上传下发的需求

# 报告提纲

- ◆ 课题简介
- ◆ **重要进展及成果**
- ◆ 经费使用
- ◆ 小结

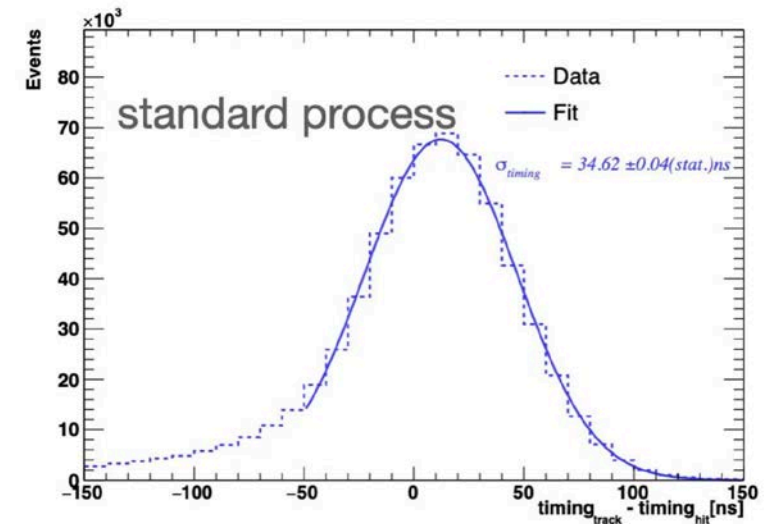
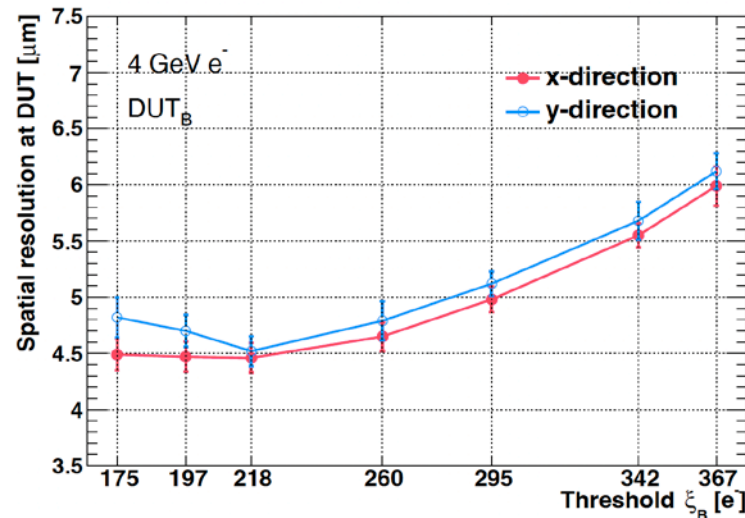
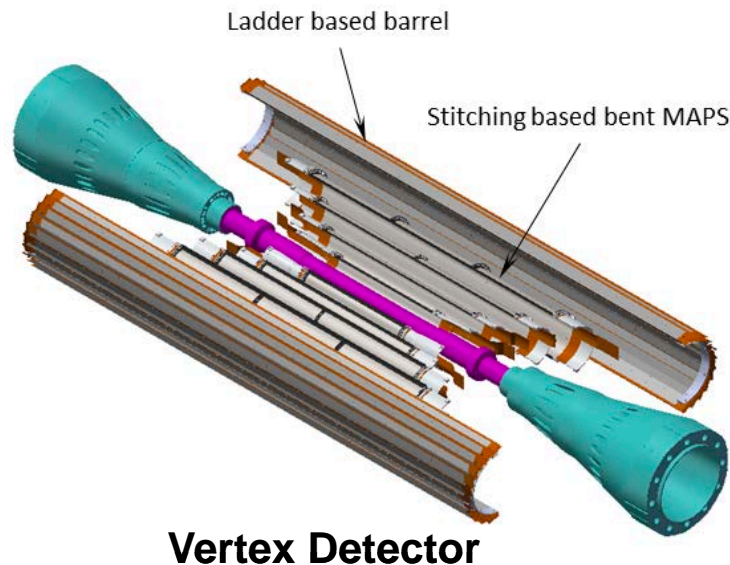
# 考核指标完成情况

中期时间点 2026年5月，完成时间 2028年11月

成果名称	指标名称	立项时指标值/状态	中期指标值/状态	完成时指标值/状态	中期指标状态	考核方式
硅像素探测器	硅像素顶点探测器样机位置分辨	约5 微米	小于5 微米	3 微米	4.5微米	同行专家评议
	硅像素顶点探测器样机定时精度	3 微秒	1 微秒	100 纳秒	< 50纳秒	同行专家评议
	硅像素顶点探测器样机功耗	/	150mW/cm <sup>2</sup>	100mW/cm <sup>2</sup>	60mW/cm <sup>2</sup>	同行专家评议
	高压CMOS 径迹探测器样机的位置分辨	/	10 微米	10 微米		同行专家评议
	高压CMOS 径迹探测器样机的定时精度	/	100 纳秒	10 纳秒		同行专家评议
	高压CMOS 径迹探测器样机的功耗	/	500mW/cm <sup>2</sup>	200mW/cm <sup>2</sup>		同行专家评议
无线传输技术	多通道无线数据传输原型系统，总传输带宽	/	/	≥30Gbps	30Gbps	同行专家评议

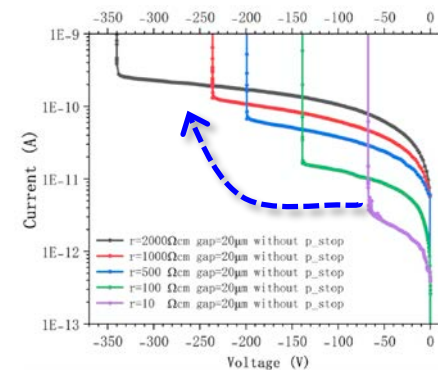
# 课题总体进展及成果：硅像素顶点探测器

- 基于TJ-180 nm 的太初芯片的样机，性能已达到中期考核的指标
  - 位置分辨、定时精度、功耗分别达到好于5 微米、100 纳秒和100 mW/cm<sup>2</sup>
- 基于TaichuPix-Stitching的设计和减薄卷曲技术，完成了CEPC的基准探测器的技术设计报告
- 基于海力士 90nm的CIS工艺，设计下一版的像素芯片
  - 将实现好于3微米的空间分辨率

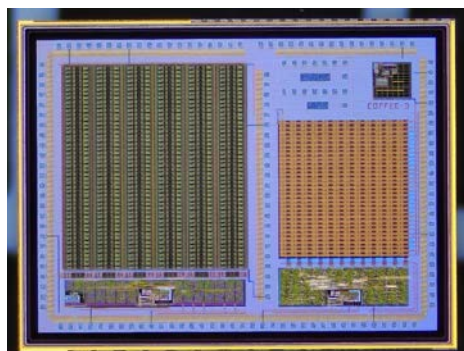


# 课题总体进展及成果：HVCMOS硅径迹探测器

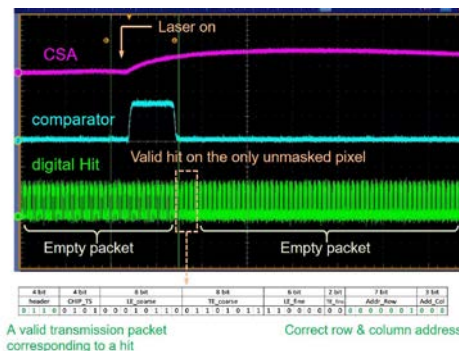
- 设计研发基于55nm高压工艺的小读出阵列原理验证芯片COFFEE3
  - 各部分基本设计功能得到全面验证，可用于下一版芯片设计
  - 有望在正在进行的束流测试中验证10微米空间分辨目标
- COFFEE3测试研究发现工艺条件限制，与国内产线合作改进工艺
  - 使用低阻晶圆击穿电压和耗尽深度受限 → 带电粒子信号的信噪比低
  - 首个新工艺设计CHiR已于2026年1月提交，预计年内可回片开展测试
  - 新设计中继承已验证的电路模块，以及和COFFEE3类似的像素阵列，预期将大幅提高击穿电压和耗尽深度



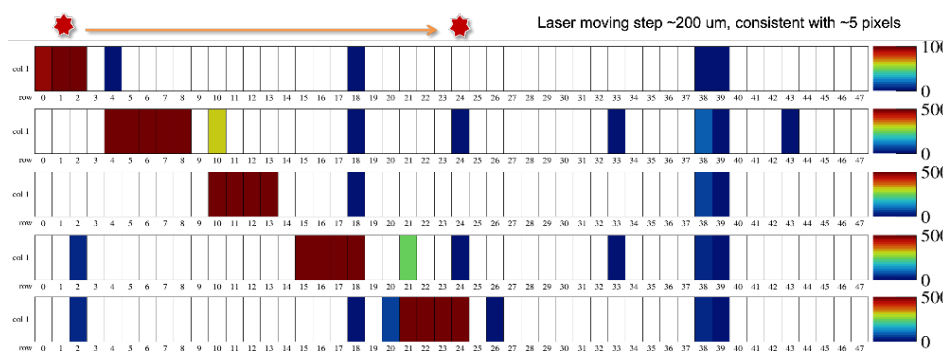
新工艺使用高阻晶圆有望提升击穿电压至超过 -200V



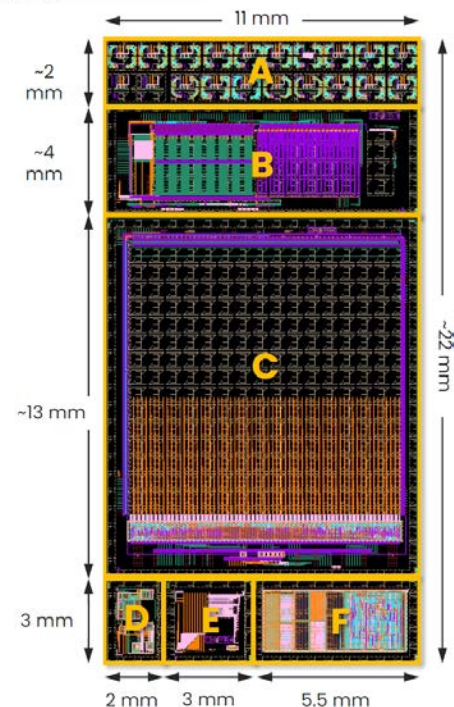
COFFEE3 芯片照片



像素地址可正确解码读出



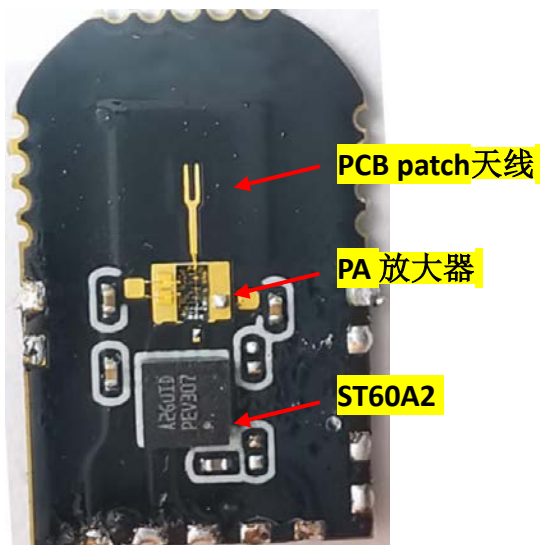
对移动的激光光斑响应符合预期



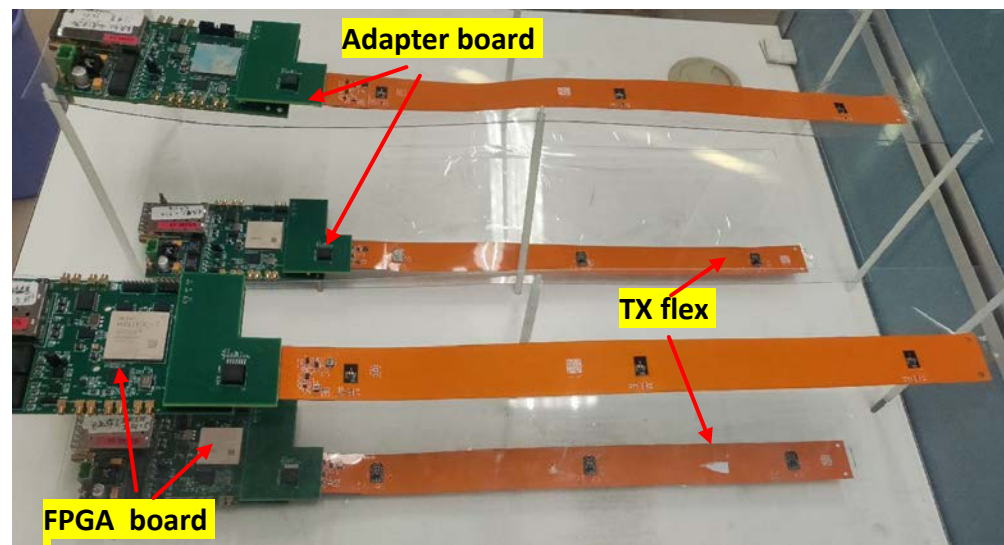
CHiR 芯片设计版图

# 课题总体进展及成果：无线数据传输技术

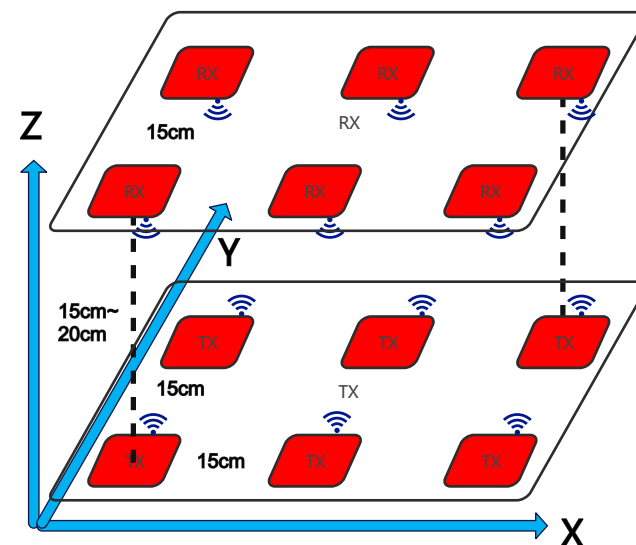
- 已成功搭建基于增强型毫米波模组的多通道数据传输模型系统，完成了电路设计、高密度集成和性能优化工作
  - 系统采用与顶点探测器原型相同结构的Flex设计，尽可能贴近真实探测器情况
  - 单通道最高速率可以达到5 Gbps，误码率小于 $10^{-13}$
  - 实现了在 $15\text{cm} \times 15\text{cm} \times 15\text{cm}$ 范围内，6通道单向总计**30 Gbps的数据传输能力**，达成了项目考核目标



增强型毫米波模组



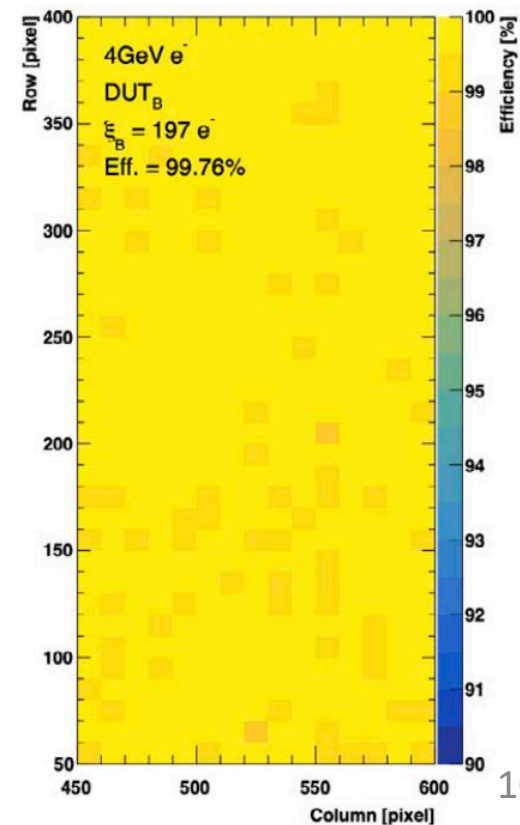
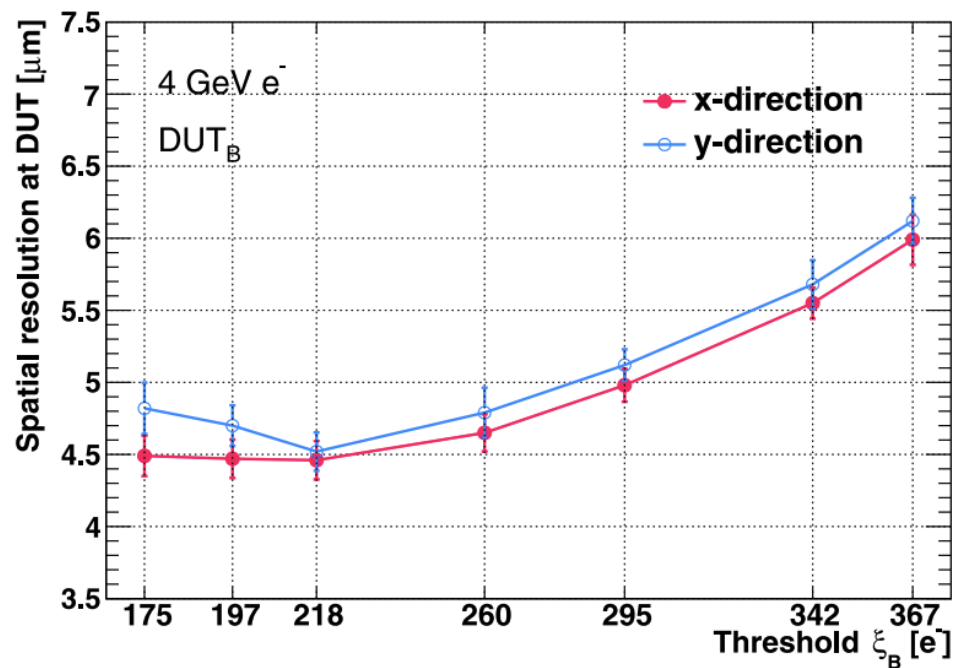
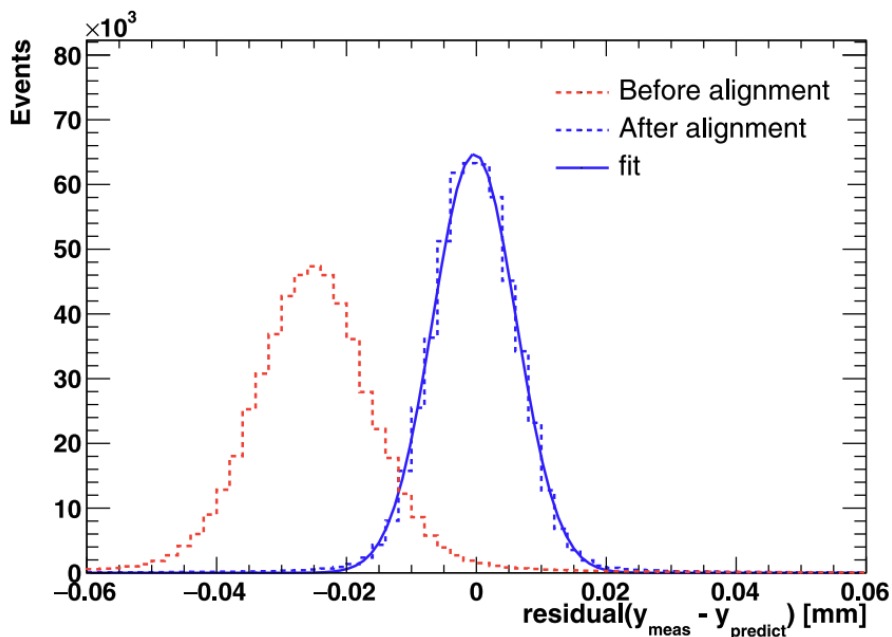
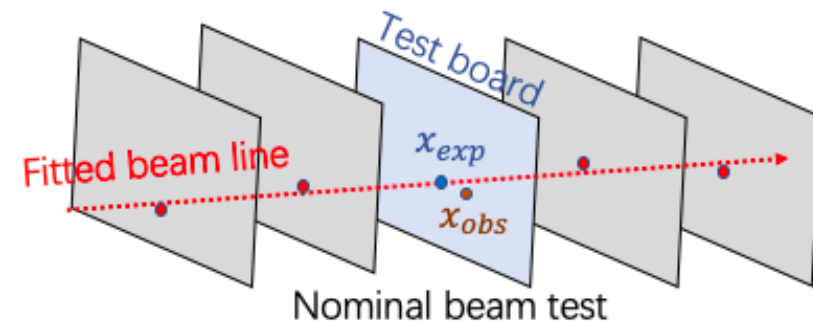
多通道毫米波数据传输系统



毫米波系统传输模型

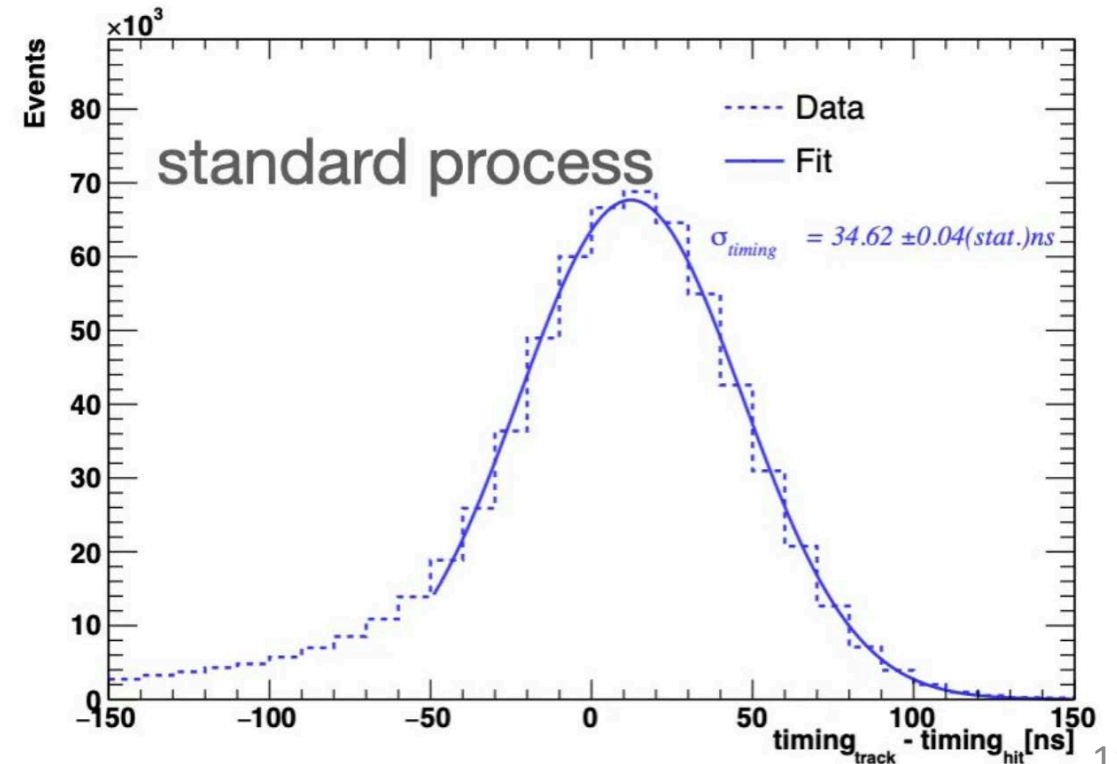
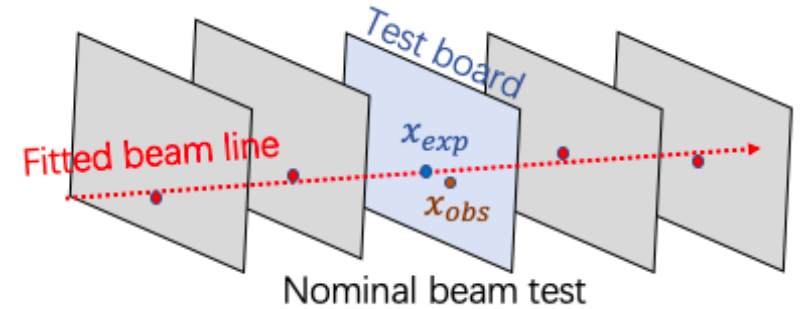
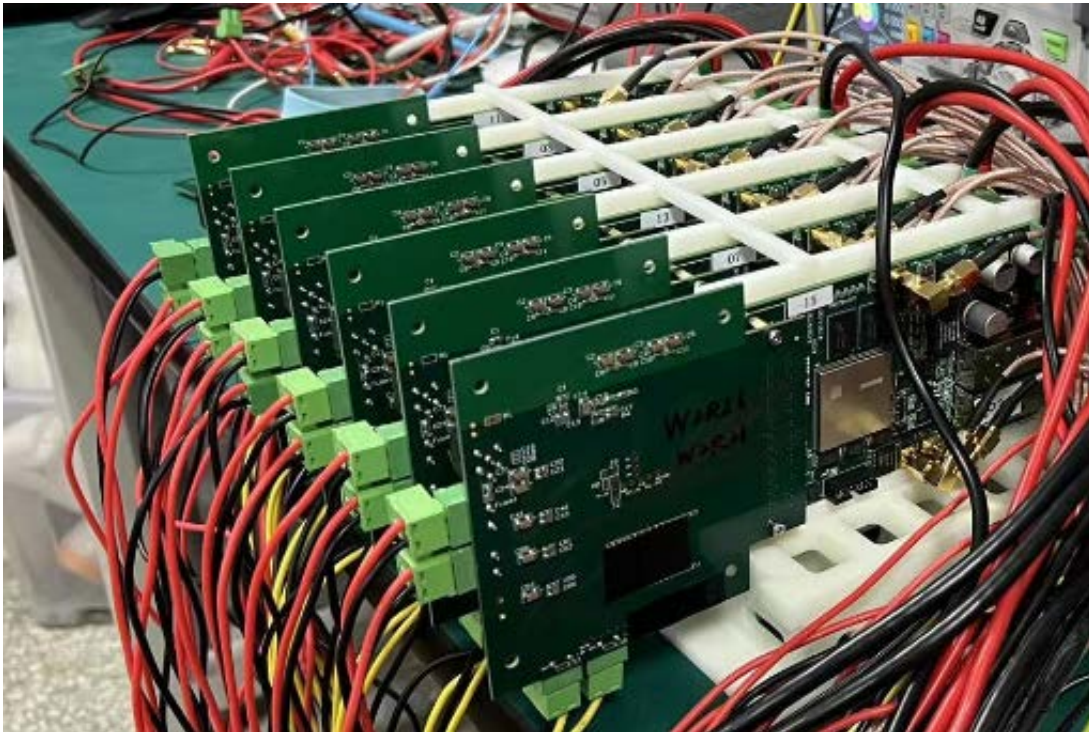
# 硅像素顶点探测器：TaichuPix位置分辨率

- 太初芯片 ( TaichuPix ) ，采用TJ 180nm CIS工艺，像素尺寸 $25\mu\text{m} \times 25\mu\text{m}$
- 通过束流测试验证，太初芯片实现中期指标：
  - 位置分辨： $4.5\ \mu\text{m}$ ，探测效率： $> 99\%$



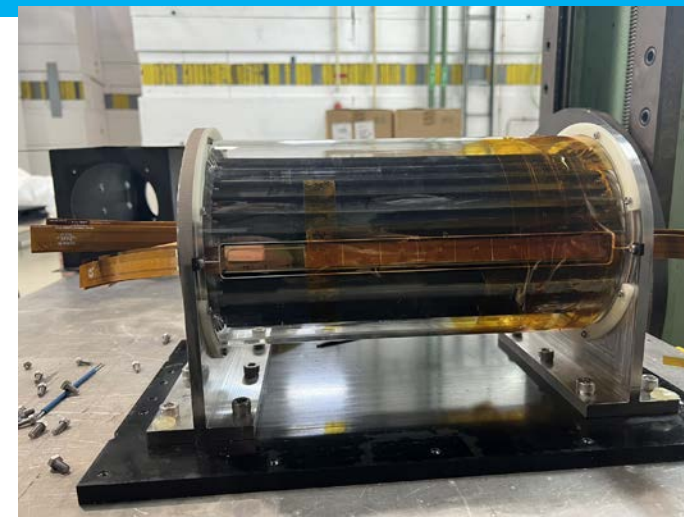
# 硅像素顶点探测器：TaichuPix时间分辨率

- 用太初束流望远镜测试时间分辨率
  - 时间分辨率：**好于50ns**，满足中期指标要求

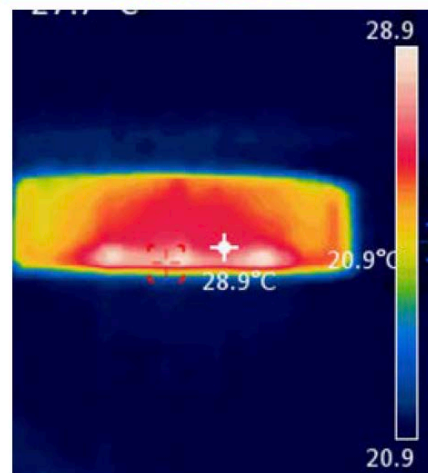


# 硅像素顶点探测器：TaichuPix探测器原型机功耗

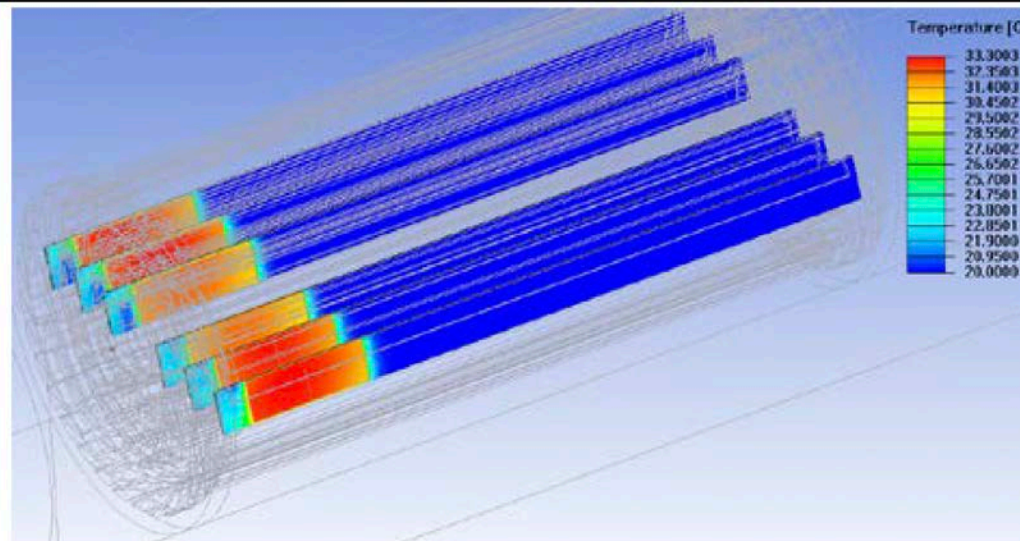
- 功耗测试结果： $60\text{mW}/\text{cm}^2$ ，达到了中期指标要求
  - 顶点探测器样机束流测试功耗： $60\text{mW}/\text{cm}^2$
  - 验证了风冷设计，温度控制到30度以下
  - 风冷振动控制在微米级，对空间分辨率没有可见的影响



Chip temperature under cooling during beam test:  
Max 28.9 °C

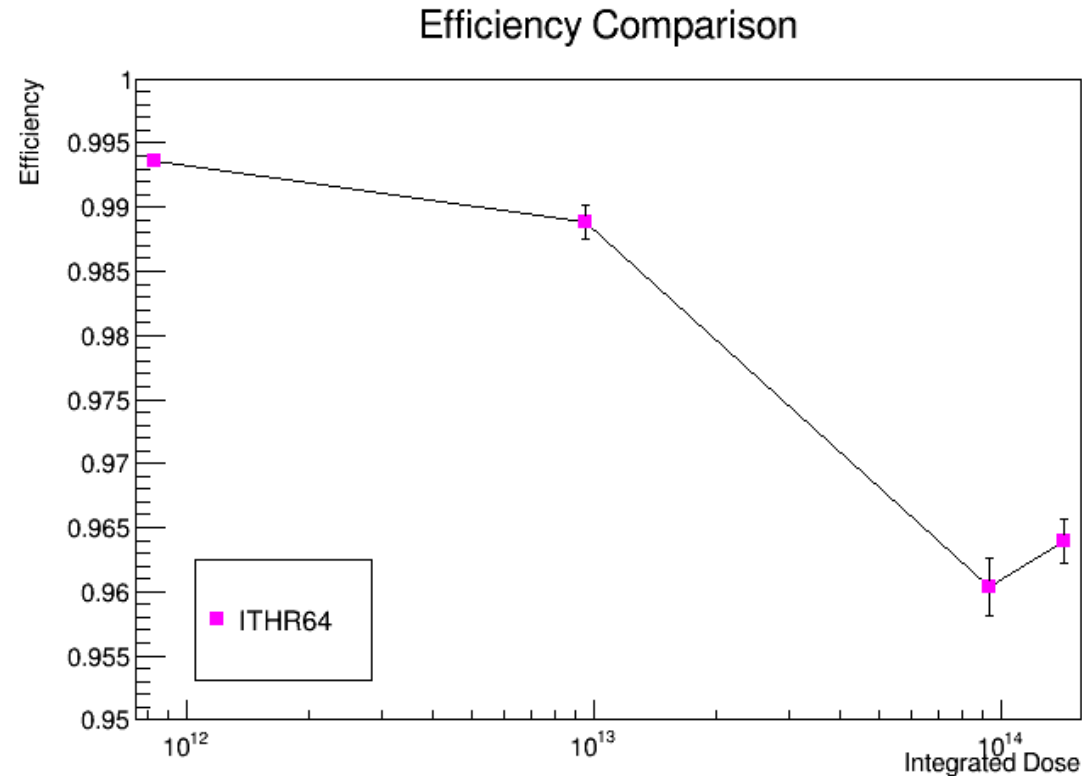


Prototype cooling simulation: Max 33.3 °C



# 硅像素顶点探测器：TaichuPix 抗辐照性能

- 本项目无抗辐照指标要求，但CEPC vertex探测器需要承受 $10^{13}n_{eq}\cdot cm^{-2}$
- 太初芯片辐照后，束流测试表明
  - 探测效率  $>99\%$  @  $10^{13}n_{eq}\cdot cm^{-2}$ ，探测效率 $>95\%$  @  $1.5\cdot 10^{14}n_{eq}\cdot cm^{-2}$



# 硅像素顶点探测器：国内新工艺开发

■ 受国际工艺研制，为满足项目最终设计指标，积极寻找国内工艺合作

■ 国内90 nm CIS工艺的开发

- 4阱外延层工艺
- 高阻定制晶圆

先进工艺带来性能提升：

像素尺寸缩小，速度提高，  
功耗降低

■ 全新设计方案，在单个芯片设计中同时满足验收指标

- 空间分辨率 < 3  $\mu\text{m}$
- 时间标记精度 < 100 ns
- 平均功耗 < 100 mW/cm<sup>2</sup>

国内90 nm CIS工艺的**首次流片计划**：

- 方案设计~4周，6月中
- 方案评审~1周，6月底
- 模块设计~4周，7月底
- 原理图评审~1周，8月中
- 版图设计~8周，10月中
- 总体集成~4周，12月中
- 设计验证~4周，12月中
- 设计评审~1周，12月底
- 提交流片~1周，1月初

**2027年元旦后提交**

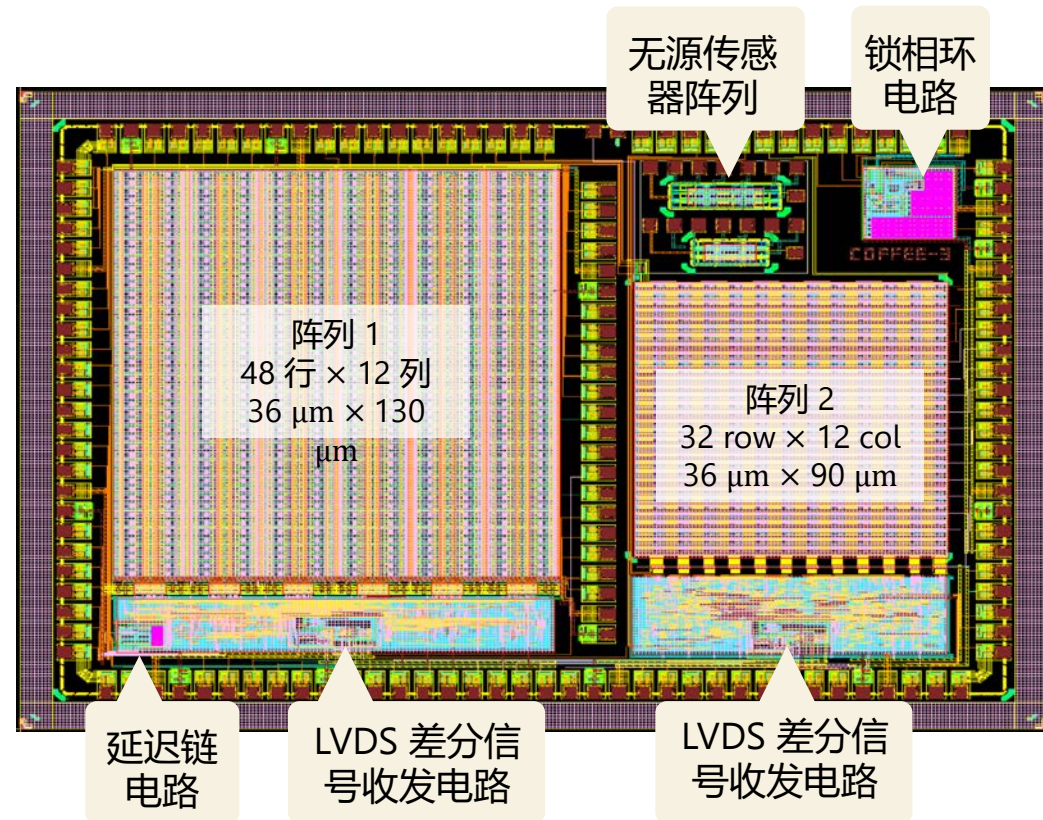
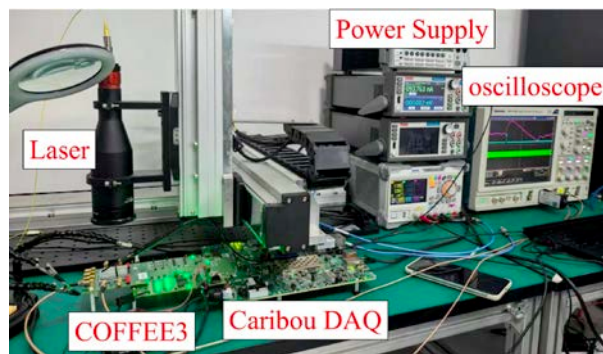
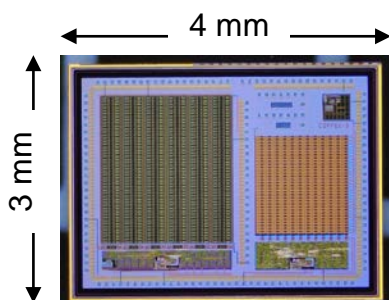
任务	负责人	单位
总体集成和验证	卢云鹏	高能所
工艺与模拟前端	张颖	高能所
阵列读出逻辑	吴天涯	南昌大学
外围数据读出	魏晓敏	西工大
外围电路模块	杨苹	华中师大

# HVCMOS硅径迹探测器：COFFEE3

- 针对未来高能对撞机上带电粒子径迹探测需求
  - 高定位精度（10微米）、高时间精度（10纳秒）、低功耗（200 mW/cm<sup>2</sup>）

- 设计研发基于55nm高压工艺的小读出阵列原理验证芯片COFFEE3

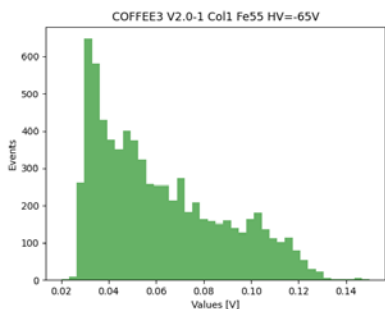
- 设计无源像素传感器：研究工艺相关传感器性能
- 两种读出阵列：探索先进工艺下的高时间分辨读出架构
- 多个独立电路功能模块
- 2025年1月提交设计，5月底回片，开展各部分基本功能测试



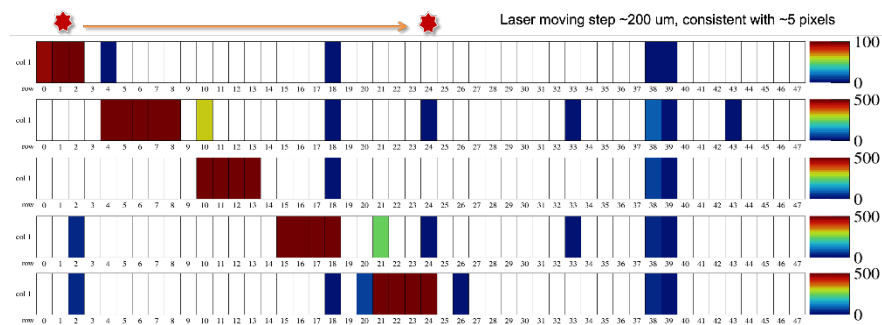
# HVCMOS硅径迹探测器：COFFEE3

## COFFEE3芯片各部分基本设计功能得到全面验证

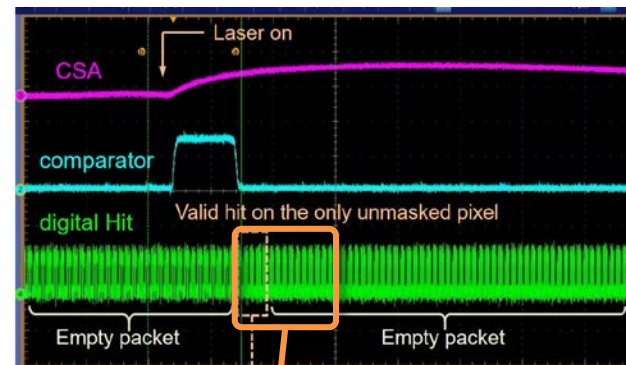
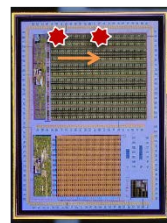
- 独立功能模块得到验证，可用于后续设计
- 放射源、激光响应正常，带电粒子束流测试（CERN）正在进行中



单像素<sup>55</sup>Fe的放大器响应



对移动的激光光斑响应符合预期



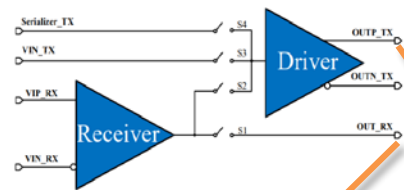
4 bit	4 bit	8 bit	8 bit	6 bit	2 bit	7 bit	3 bit
header	CHIP_TS	LE_coarse	TE_coarse	LE_fine	TE_fine	Addr_Row	Addr_Col
0 1 1 0	1 0 0 0	1 1 0 1 1 0 1 0	1 1 0 1 0 1 1 1	0 0 0 0 0	0 0	0 0 0 0 0 0 0 0	0 0 0

A valid transmission packet corresponding to a hit

Correct row & column address

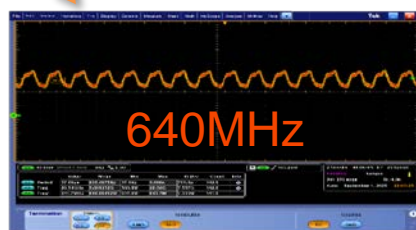


唯一未屏蔽像素地址可正确解码读出



### LVDS

640MHz时钟下可正常收发信号



### DLL

延迟链将320MHz主时钟分6个相位延迟，可实现更好时间分辨能力

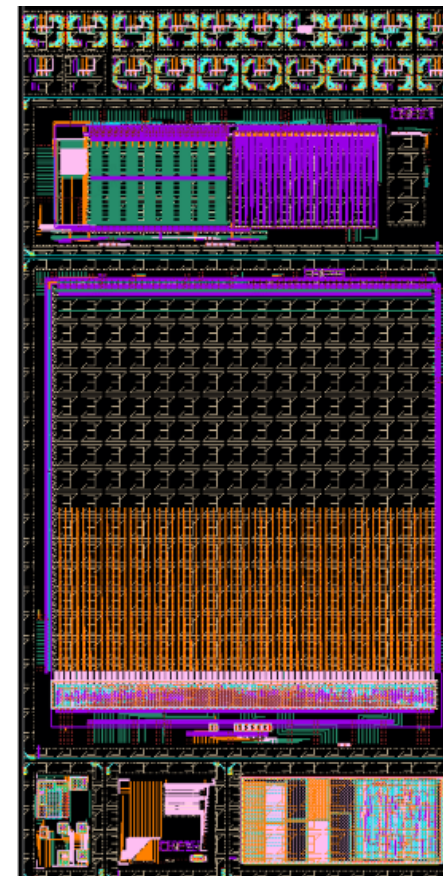
# HVCMOS硅径迹探测器：CHiR

## ■ COFFEE3测试研究发现工艺条件限制

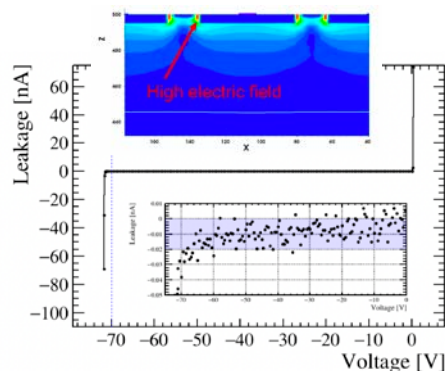
- 使用低阻晶圆击穿电压和耗尽深度受限 → 带电粒子信号的信噪比低
- 缺少PMOS管与收集极之间的隔离层，限制了像素内数字电路设计灵活性

## ■ 与国内HVCMOS工艺厂开展合作改进工艺

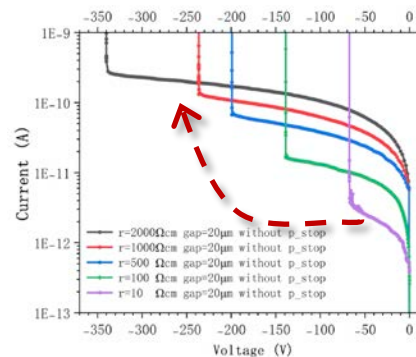
- 首个新工艺设计CHiR已于2026年1月提交，预计年内可回片开展测试
- 预期将大幅提高击穿电压和耗尽深度
- 新设计中继承已验证的电路模块，以及和COFFEE3类似的像素阵列



CHiR 芯片设计版图



COFFEE3无源阵列：击穿电压 -70V，符合10  $\Omega\text{cm}$  衬底的仿真结果



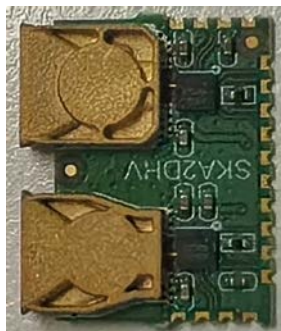
新工艺使用高阻晶圆，有望提升击穿电压至超过 -200V，耗尽深度

# 无线数据传输技术：毫米波模组研发

- 针对不同的传输距离要求，成功研制**短距离**、**长距离**两种型号毫米波收发模组，完成了**芯片选型**，**天线设计**，**系统集成**，**批量生产**的工作。



短距离模块



长距离模块



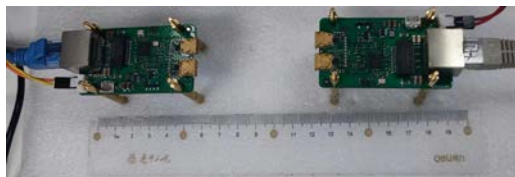
- 基于商用60GHz射频芯片（意法半导体的**ST60A2G0**）。
- 非相干调制，适合**短距离**，**低功率通信**
- 模组一收一发
- 采用**号角天线**，增益高，发散角小

- **ST60A2 + 放大器 + PCB天线**的结构
- PCB天线实现**最小尺寸**与**最小物质质量**
- 邮票孔接口，简化外围电路设计
- 极小尺寸：**14mm x 9mm**

- 批量生产200套长距离模组用于后续测试及其他可能实验的预研工作

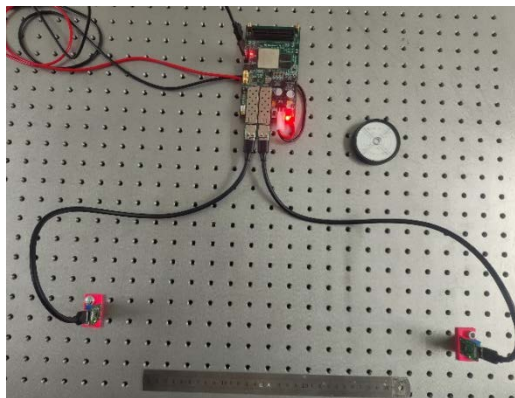
# 无线数据传输技术：毫米波模组测试

➤ 根据高能物理实验的需求，对2种模组进行了**传输距离测试**，**传输速率测试**，**穿透性测试**，**抗辐照性能测试**，**与探测器干扰测试**，**串扰测试**，**功耗测试**等，回答了毫米波技术在探测器应用中的关键问题。



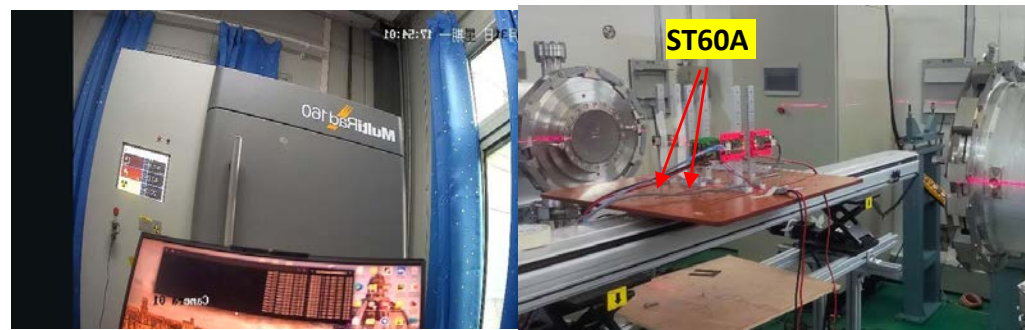
## • 短距离模组传输性能

- 最远传输距离**6 cm**
- 最大线速率达到**900 Mbps**
- 对齐发散角**10°**，远比光通信容易满足
- 功耗：**0.5W**（发射+接收）



## • 长距离模组传输性能

- 最远传输距离达到**67.5 cm** @ 1.25Gbps
- 最大线速率达到**6.6 Gbps** @ 22.5cm
- 5Gbps对齐要求**±2.5 cm** @ 45 cm距离
- 功耗：**1.5W**（发射+接收）



x光机测试

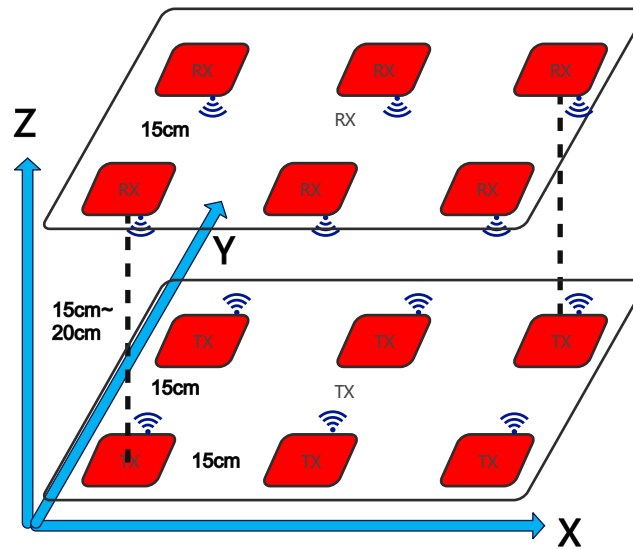
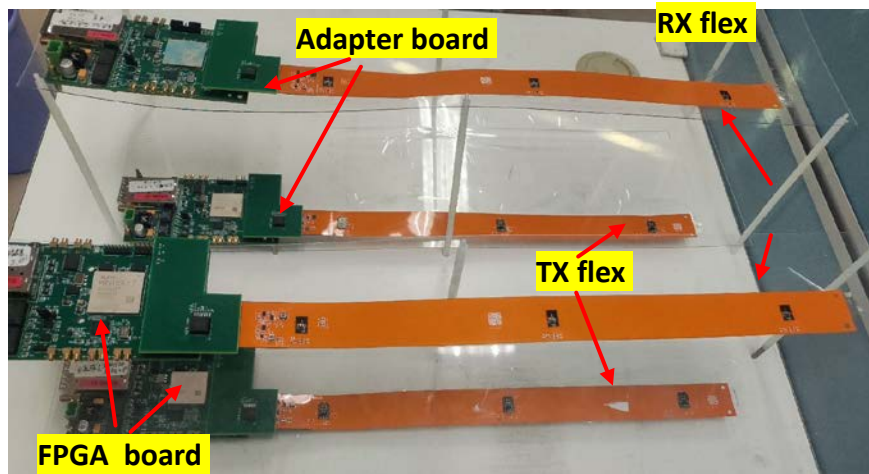
散裂中子源测试

- 总剂量测试（TID）：5 Mrad (Si).
- 非电离能损测试（NIEL）：0.97 X 10<sup>12</sup> neq/cm  
（1MeV Equivalent Neutron）

基本性能满足探测器数据传输要求

# 无线数据传输技术：毫米波传输模型系统

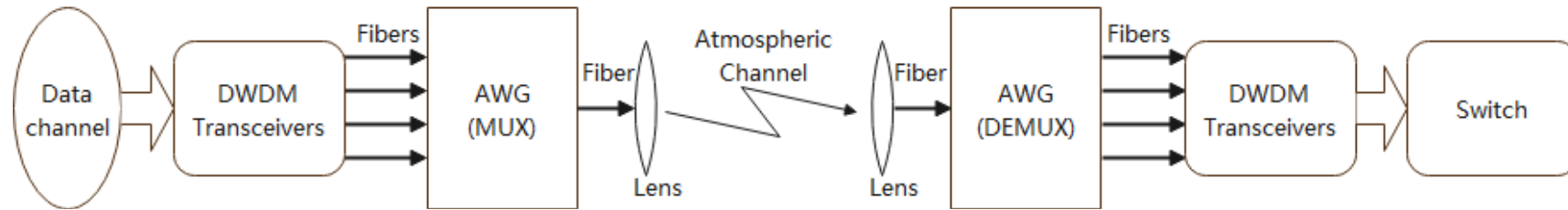
- 成功搭建基于长距离毫米波模组的多通道数据传输模型系统，完成了电路设计，高密度集成，性能优化工作，最终实现在15 cm X 15 cm X 15 cm范围内，总计30 Gbps的数据传输能力，达成了项目考核目标。



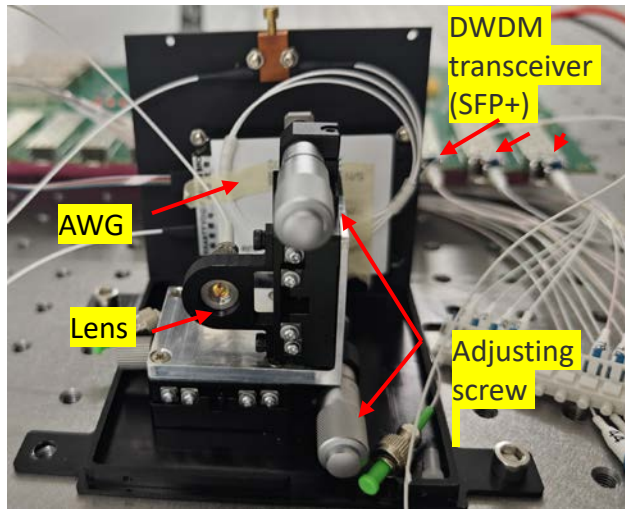
- 采用与顶点探测器原型相同结构的Flex设计，尽可能贴近真实探测器情况。
- 三维排列方式，XY平面放置2×3传输对，z方向为收发传输方向。
- 单通道线速率达5 Gbps，误码率低于 $4E-13$ 。
- 通过降低发射功率并提升接收功率来最大限度避免串扰。
- XY平面方向间距15 cm，传输方向（z方向）15-20cm区间，
- 总计30 Gbps的数据稳定无串扰传输。

# 无线数据传输技术：无线光传输模组研发

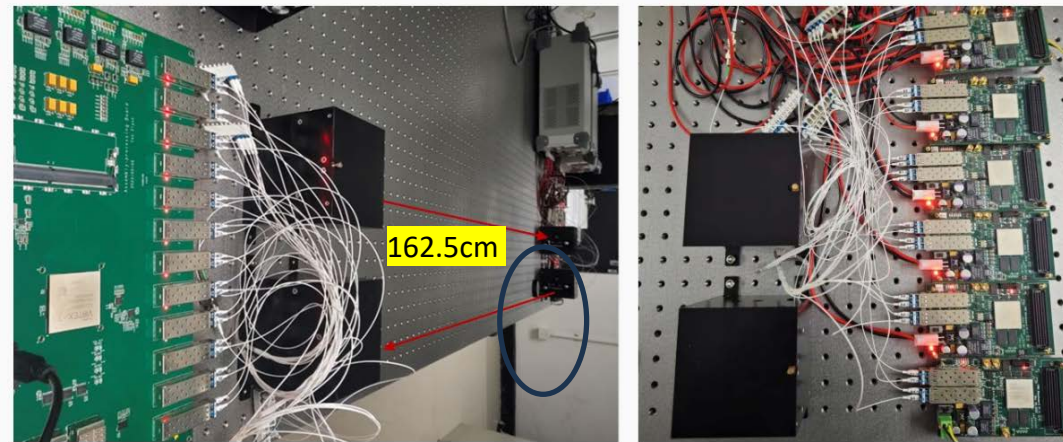
➤ 针对2 m以下距离高带宽的无线传输需求，成功研制短距离高带宽无线光传输模组，实现50cm-160cm传输距离条件下，单光路双向数据传输速度达到120 Gbps，误码率低于 $1 \times 10^{-14}$ ，达成了项目考核指标。



无线光传输原理图



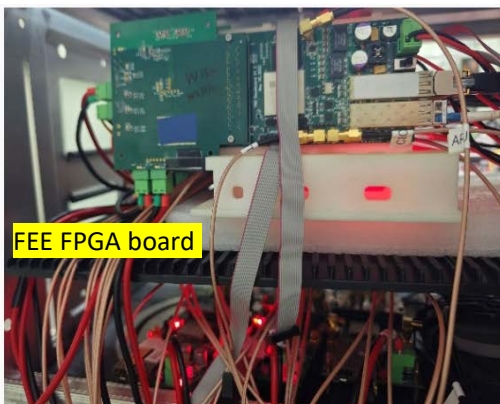
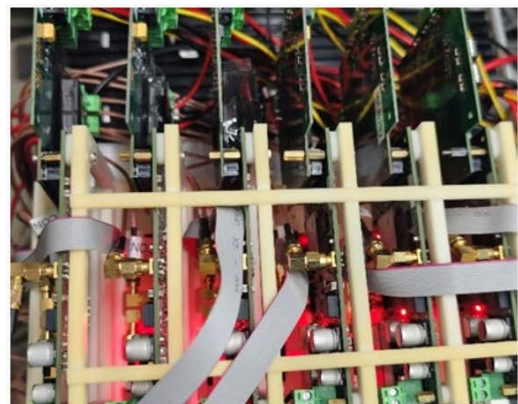
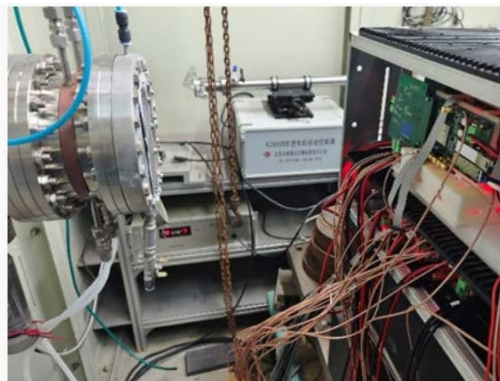
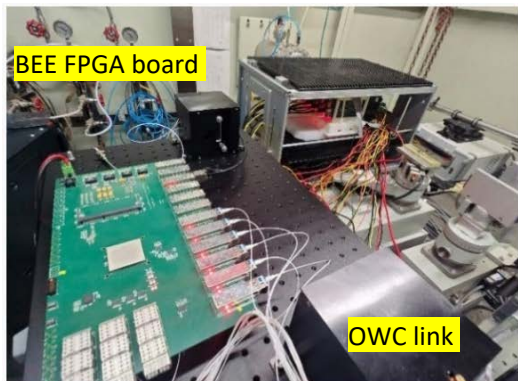
短距离无线光传输模组实物图



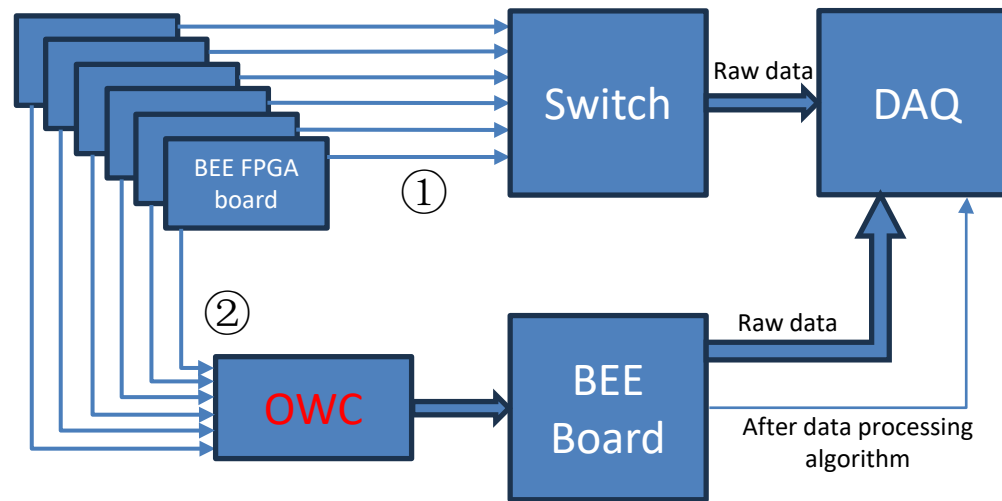
多通道光传输PRBS回环测试

- 模组基于成熟商用器件 DWDM密集波分复用光纤收发器和光学透镜，
- 搭配定制小型AWG阵列波导光栅及定制高精度机械对齐结构，
- 成功实现无线光传输模组小型化与易用性。
- 远超同等空间内光纤传输的带宽上限
- 接口采用标准SFP接口收发器，与现有基于光纤的电子学系统高度兼容。

# 无线数据传输技术：无线光传输与探测器集成测试



Telescope prototype test in BSRF



- 利用MOST2望远镜系统，在同步辐射线站验证无线光传输质量，总计运行**2086分钟**。
- 通过有线光纤传输的原始数据① 与通过 OWC 传输到 BEE板的数据② **100%一致**。

与探测器的集成测试充分验证了无线光传输系统的准确性与稳定性

# 重要进展及成果：论文及会议报告

- 在国际重要期刊发表论文8篇，几十次国际会议和国内会议报告

	题目	时间	刊物
1	Feasibility study of CMOS sensors in 55 nm process for tracking	2024	Nucl.Instrum.Meth. A, 1069(2024) 169905
2	Beam test of a 180nm CMOS Pixel for the CEPC vertex detector	2024	Nucl.Instrum.Meth. A, 1059(2024) 168945
3	Further characterization of the JadePix-3 CMOS pixel sensor for the CEPC vertex detector: In dependence of substrate reverse bias	2026	Nucl.Instrum.Meth. A, 1084 (2026) 171183
4	Multi-Channel Data and Clock Transmission System Based on Free-Space Optical Communication	2025	Journal of Instrumentation, 2025, 20
5	An exploratory study of 55 nm HV-CMOS commercial technology for monolithic pixel sensors	2025	JINST 20 (2025) C10011
6	Irradiation study of a high voltage monolithic pixel sensor in 55 nm technology	2026	NIM A1089 (2026) 171574
7	Design and first results of COFFEE3: a 55 nm HVCMOS pixel sensor prototype for high-energy physics applications	2026	JINST 21 (2026) C04075
8	Test of COFFEE2, the first 55 nm High Voltage CMOS sensor prototype	2026	JINST 21 (2026) C04078

# 报告提纲

- ◆ 课题简介
- ◆ 重要进展及成果
- ◆ 经费使用
- ◆ 小结

# 经费使用

科目名称	课题二		
	预算	支出	进度
一、直接费用	739.00	360.05	48.7%
1. 设备费	51.00	11.54	22.6%
2. 业务费	625.00	249.15	39.9%
3. 劳务费	63.00	99.36	157.7%
二、间接费用	197.00	86.26	43.8%
三、合计	936.00	446.31	47.7%

- 直接总经费和间接经费按计划执行，直接经费中的劳务费执行超预算，正在申请调整

# 风险及应对方案

- 问题1：HVCMOS芯片尝试用国产 55nm新工艺（四阱、高阻），可能造成传感器性能的不确定性
  - 应对方案：采用已经在低阻工艺上验证的成熟设计，设计阶段与厂家充分交流与沟通，加工阶段逐步验证每一步工艺以降低风险
- 问题2：CMOS 以色列TJ 先进工艺（如180nm或更小尺寸）对中国限制，对高性能顶点探测器芯片的流片造成很大困难
  - 应对方案：积极寻找国内替代工艺，目前已经确认可以使用海力士 90nm工艺，新流片将于2027年初提交

# 小结

- 基于TJ-180 nm 的太初芯片的样机，位置分辨率：4.5微米，时间分辨率：小于50ns，功耗：60mW/cm<sup>2</sup>，性能均达到中期考核的指标
- 基于国内海力士 90nm的CIS工艺，设计下一版的像素芯片，预期2027年初提交流片
- 设计研发基于55nm高压工艺的小读出阵列原理验证芯片COFFEE3，各部分基本设计功能得到全面验证
- 首个基于国内高阻新工艺设计CHiR已于2026年1月提交，预计年内可回片开展测试
- 成功搭建基于长距离毫米波模组的多通道数据传输模型系统，实现在15 cm X 15 cm X 15 cm 范围内，总计30 Gbps的数据传输能力，达成了项目考核目标
- 成功研制短距离高带宽无线光传输模组，实现50cm-160cm传输距离条件下，单光路双向数据传输速度达到120 Gbps，误码率低于 $1 \times 10^{-14}$ ，达成了项目考核指标

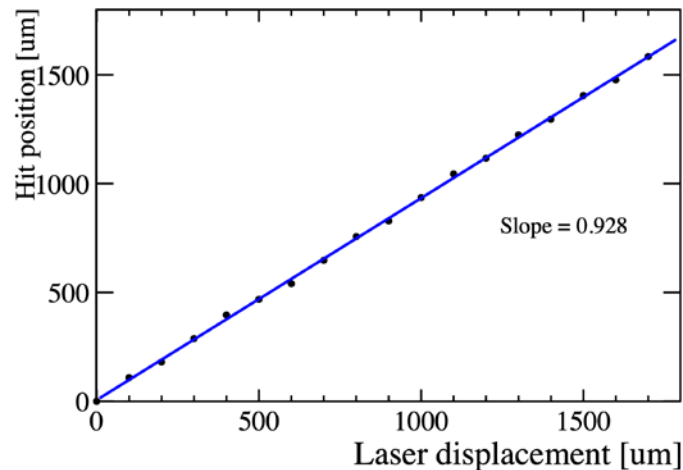
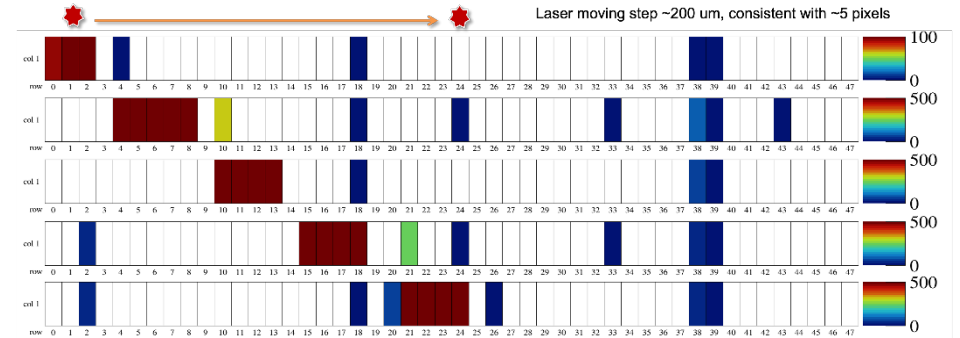
**请各位专家批评指正！**

# HVCMOS中期指标说明

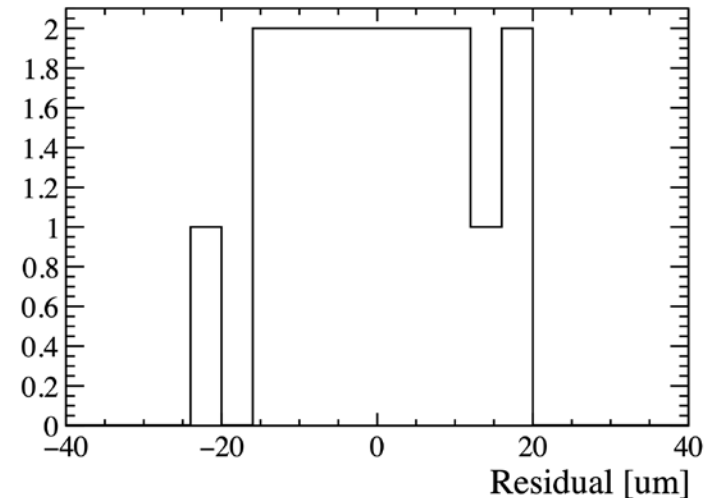
- 预期指标：
  - 高压CMOS 径迹探测器样机的位置分辨：10 微米
  - 高压CMOS 径迹探测器样机的定时精度：100 纳秒
  - 高压CMOS 径迹探测器样机的功耗：500mW/cm<sup>2</sup>
- 目前COFFEE3使用低阻晶圆，故MIP粒子信号极小，噪声高→ 信噪比低，为准确测量带来困难，难以准确反映设计性能
- 新工艺有望大幅改善
- 在低信噪比前提下，可估计样机能力

# HVCMOS位置精度

- 使用激光扫描一行像素，位置符合预期，残差符合二项分布
- 根据像素pitch（36微米）可得位置精度 10微米
- 未来使用高阻新工艺 + 高能带电粒子实测
  - 电荷分享可提高位置分辨



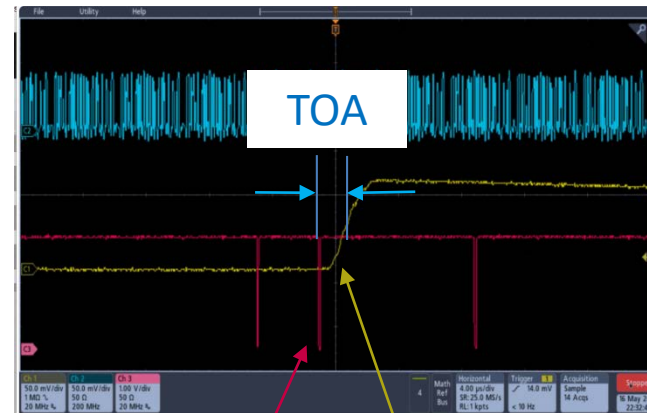
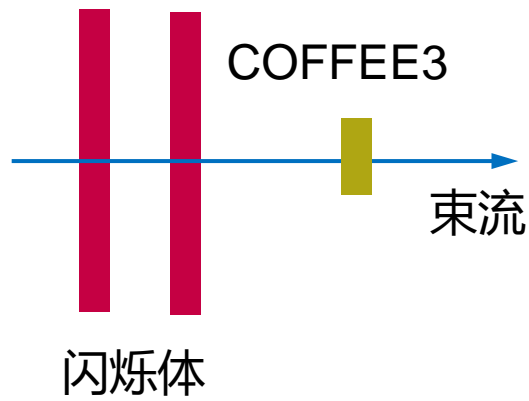
激光位置与集中像素位置符合预期



击中位置与预测位置残差分布 → 符合二项分布

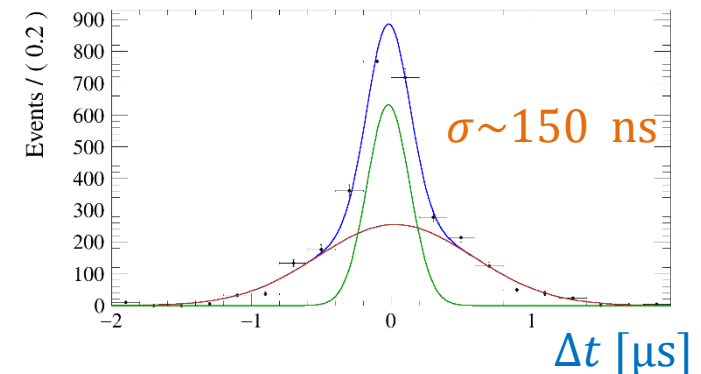
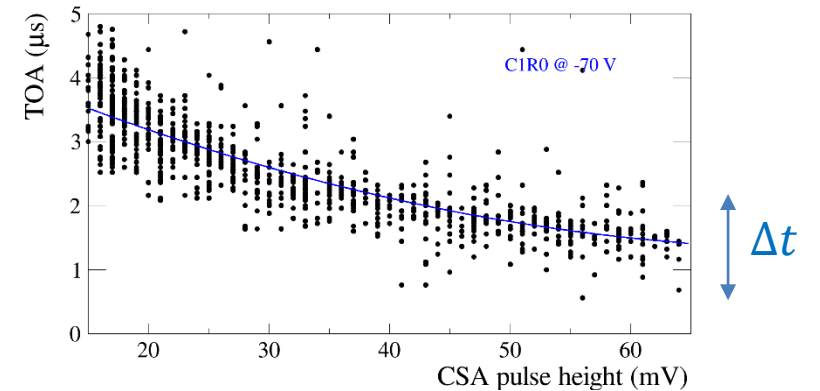
# HVCMOS定时精度

- 在束流测试中，初步根据COFFEE3单像素前端放大器CSA上升沿和闪烁体的时间差分布，估计定时精度上限
  - 束流到达时间差误差  $\Delta t \sim 150 \text{ ns}$ ，包含COFFEE3 CSA定时精度、闪烁体时间精度、CSA外接测试系统误差等
  - 实际定时精度应远好于该值
  - 定时精度依赖良好信噪比  $\rightarrow$  需新工艺



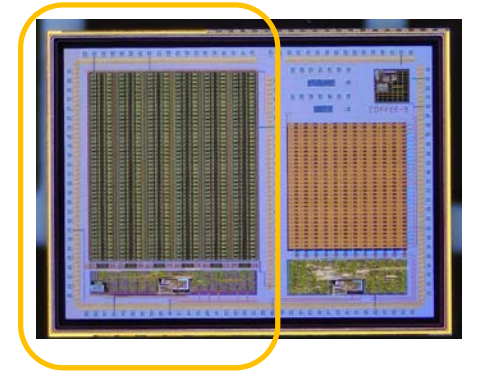
闪烁体  
触发信号

COFFEE CSA  
上升沿TOA



# HVCMOS功耗

- 对左侧阵列开展测试，总功耗~20mW
  - 阵列面积  $\sim 4.8 \text{ mm}^2 \rightarrow 20\text{mW}/4.8\text{mm}^2 \sim 430 \text{ mW/cm}^2?$
- 实际芯片推算到大面积阵列功耗**远好于该值**！
  - end of column功能模块和大芯片类似，不与面积成正比
  - 多个测试结构额外功耗
  - 改进前工艺缺少隔离层，噪声高
  - 设计仿真推断大芯片平均功耗约在  $150 \text{ mW/cm}^2$  水平



	Pixel matrix	Peripheral	Overall
Area	$20 \times 18.4 \text{ mm}^2$	$20 \times 1.6 \text{ mm}^2$	$20 \times 20 \text{ mm}^2$
Total power consumption	$\sim 580 \text{ mW}$	$\sim 22 \text{ mW}$ (may overly optimistic)	$\sim 602 \text{ mW}$
Power density	$\sim 158 \text{ mW/cm}^2$	$\sim 123 \text{ mW/cm}^2$ (estimate one data Transmitter channel)	$\sim 150 \text{ mW/cm}^2$ (hit density related dynamic power not included yet)

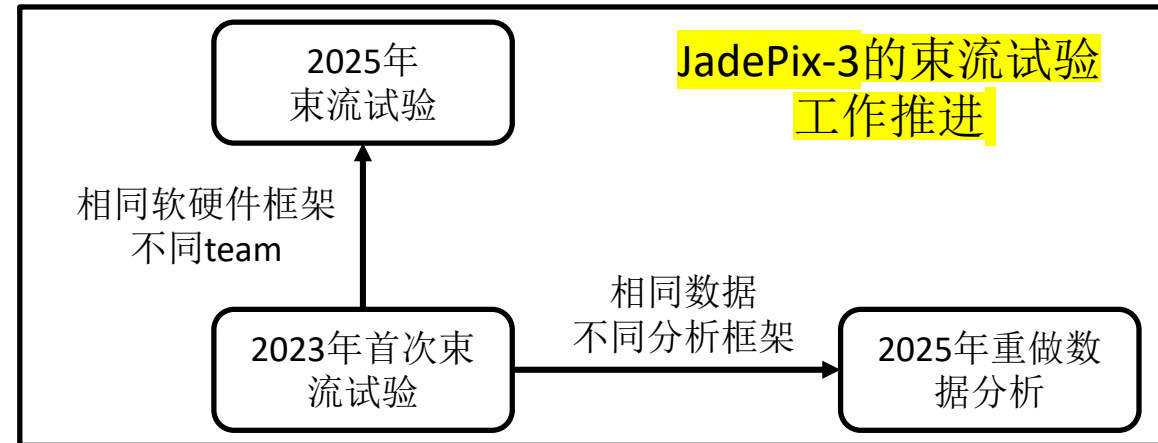
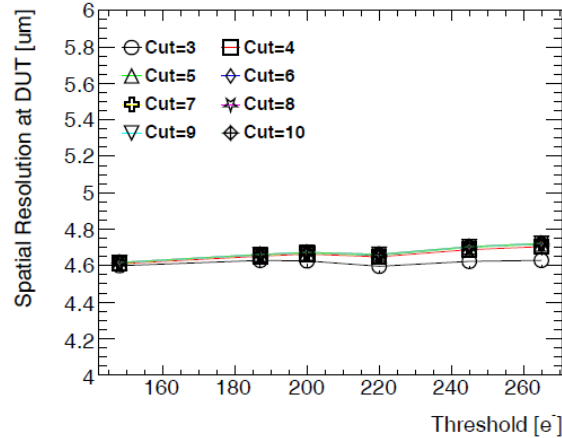
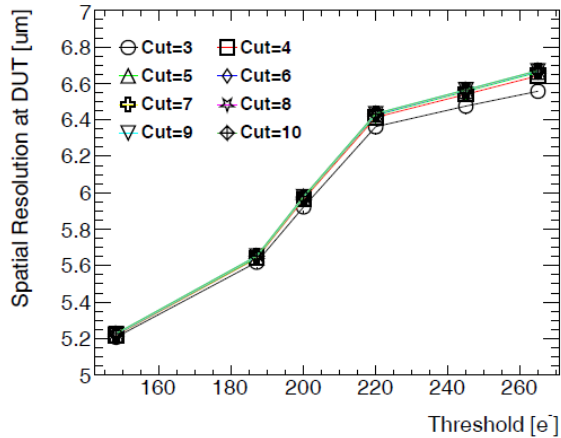
# 硅像素顶点探测器： JadePix-3芯片

## 以色列TJ180 nm CIS工艺上的空间分辨率研究

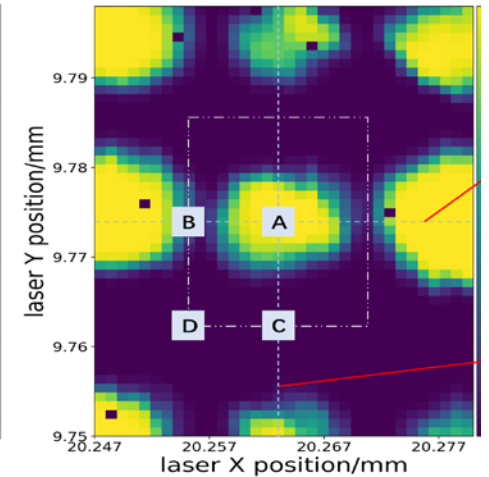
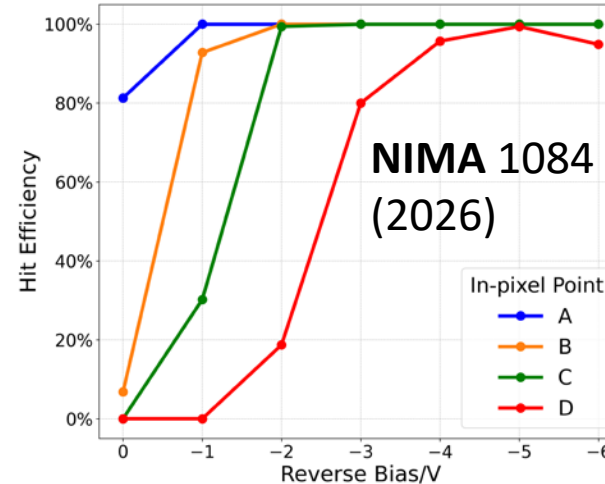
- 在JadePix-3芯片开展负偏压测试和束流试验
- 完成JadePix-4芯片的设计流片和实验室测试

JadePix-3 Telescope束流测试文章在NIMA正式发表：

- 最高效率 > 99%
- DUT列（行）方向最高分辨：4.6 $\mu$ m (5.2 $\mu$ m)
- 望远镜系统列（行）方向最高分辨分辨：2.3 $\mu$ m (2.6 $\mu$ m)



## 负偏压条件下，像素边缘的探测效率显著提升



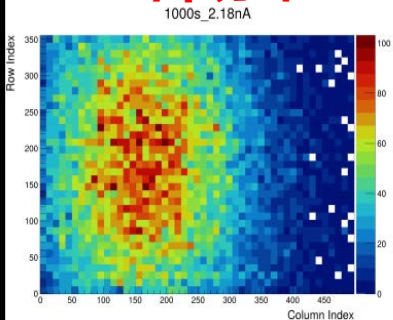
# 硅像素顶点探测器： JadePix-4芯片

- 以色列TJ180 nm CIS工艺上的空间分辨率研究
  - 在JadePix-3芯片开展负偏压测试和束流试验
  - 完成JadePix-4芯片的设计流片和实验室测试**

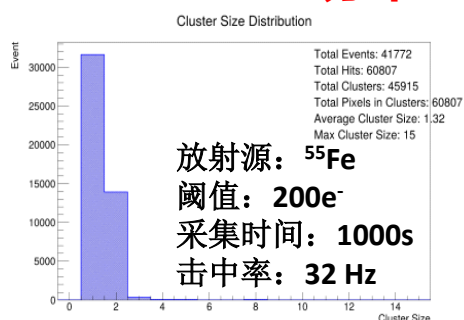
JadePix系列的最新设计（2023年流片）：

- 升级了HIT驱动的像素读出逻辑，读出时间缩短到1us
- 解决了14.8mm x 8.6mm大面积带来的复杂度问题：电压衰减，时序裕量
- 完成实验室电脉冲和放射源测试，7月初赴CERN束流测试

### 击中分布



### Cluster Size分布



### 累计击中

