

当生命意识到宇宙奥秘的存在时，距它最终解开这个奥秘只有一步之遥了。

—— 《朝闻道》



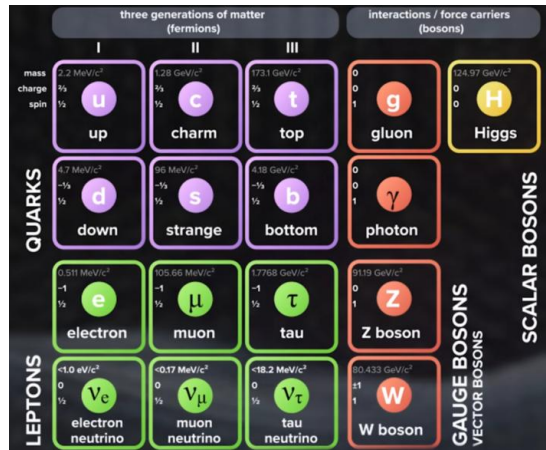
目录

- 物理实验流程概要
- 径迹探测器原理
- **RISC-V**在高能物理的应用

物理实验流程概要

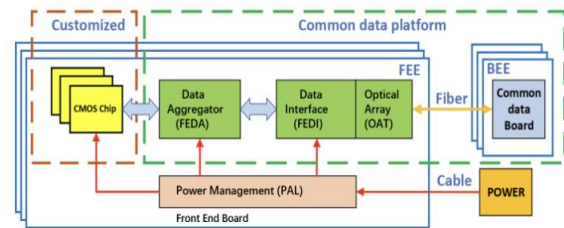
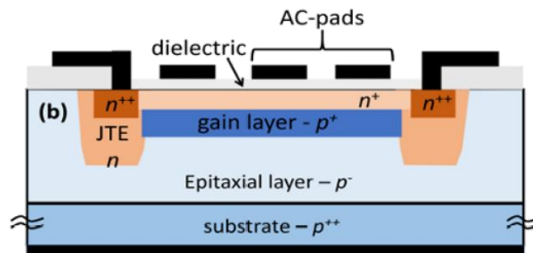
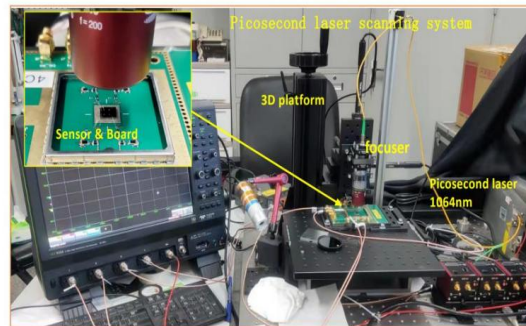
1、理论物理

- 标准模型
- 宇宙线起源
- 暗物质探测
-



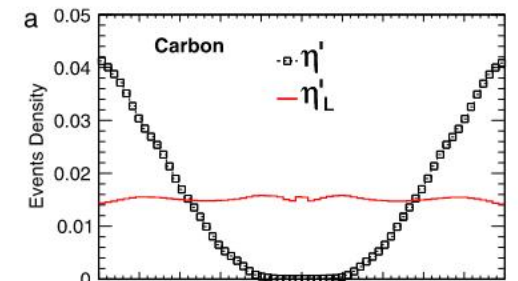
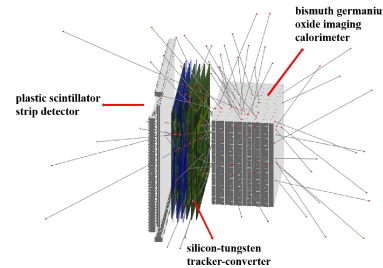
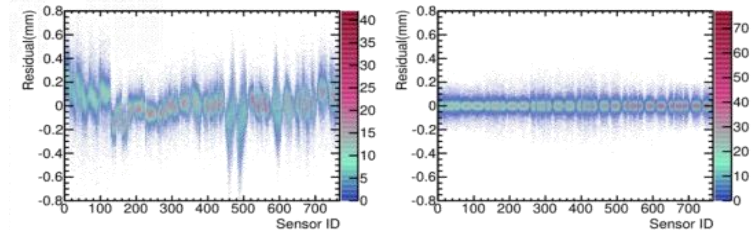
2、探测器

- 传感器设计(TCAD)
- 器件测试(树莓派、设备驱动等)
- 电子学(Vivado、ICC等)
- 机械装配(CAD)
- 冷却系统(CFD)



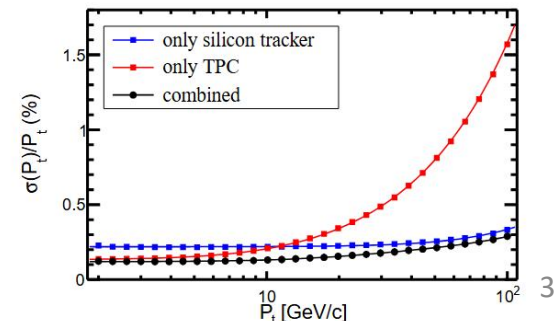
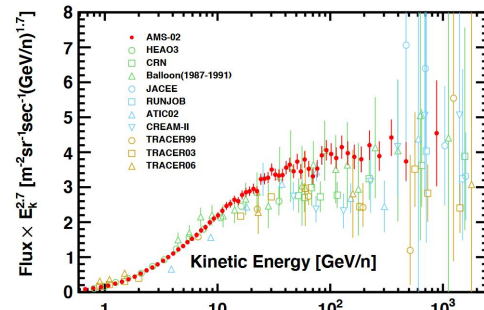
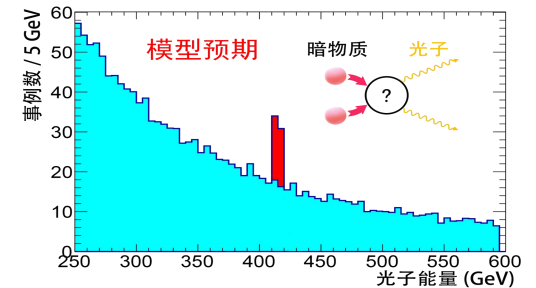
3、数据处理(ROOT、Geant4、LSF、Condor)

- 探测器标定
- 数据重建
- 探测器仿真



4、科学分析

- 宇宙线能谱
- 加速器物理
- 反物质寻找
-



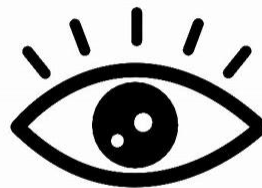
径迹探测原理



$\sim 0.06 \text{ kg}$ $V = 1 \text{ m/s}$



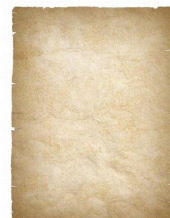
探测器



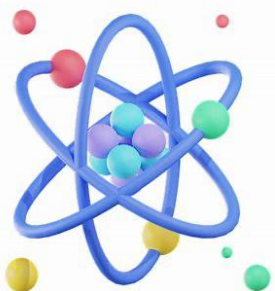
眼睛



$\sim 0.06 \text{ kg}$ $V = 10^4 \text{ m/s}$



纸...



$\sim 10^{-26} \text{ kg}$ $V = 10^8 \text{ m/s}$



粒子与物质
的相互作用

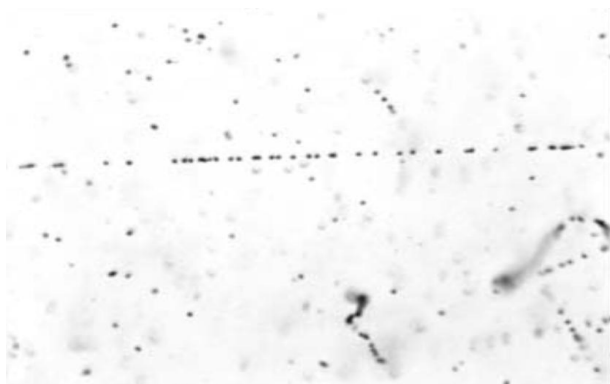
强相互作用力

弱相互作用力

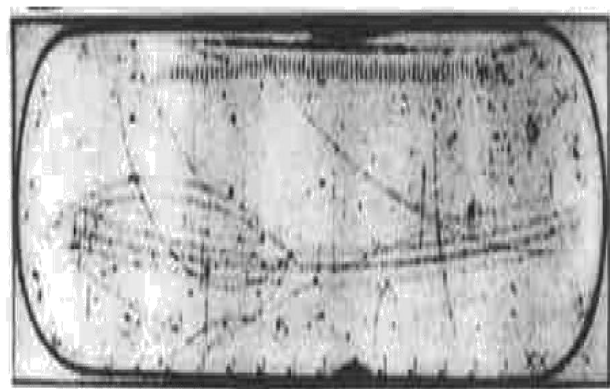
电磁相互作用力

引力

常见径迹探测器

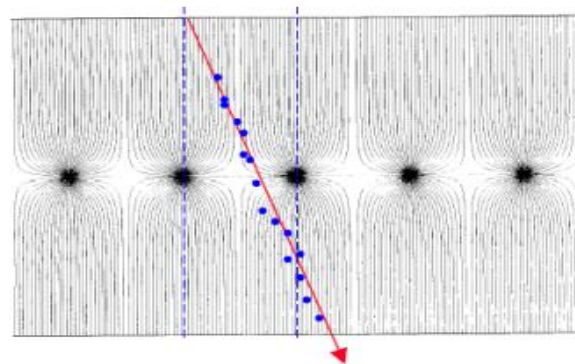


核乳胶探测器

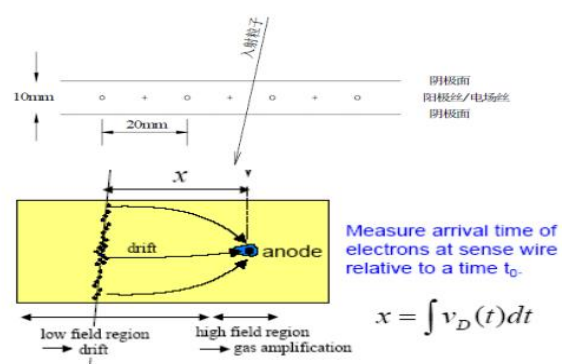


气泡室

径迹难以直接读出，导致计数率低 ——> 改进：尽快读出电离“痕迹”

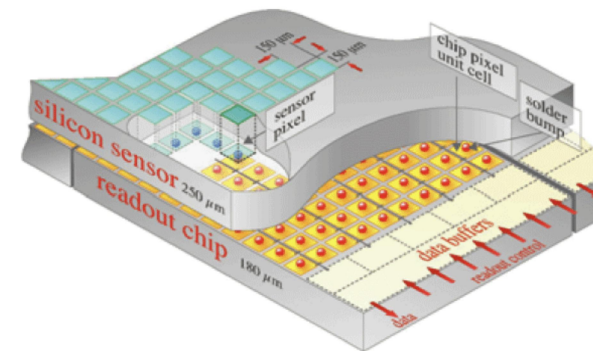


多丝正比室

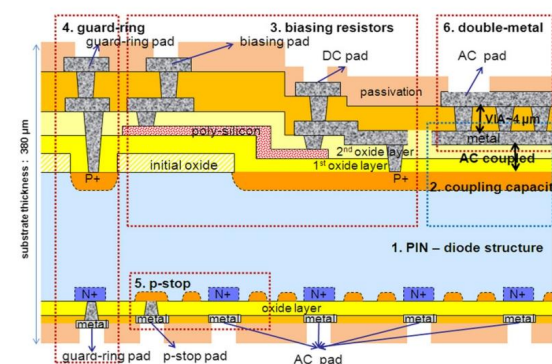


漂移室

平均电离能约30 eV ——> 能量分辨率有待提高



硅像素探测器



硅微条探测器

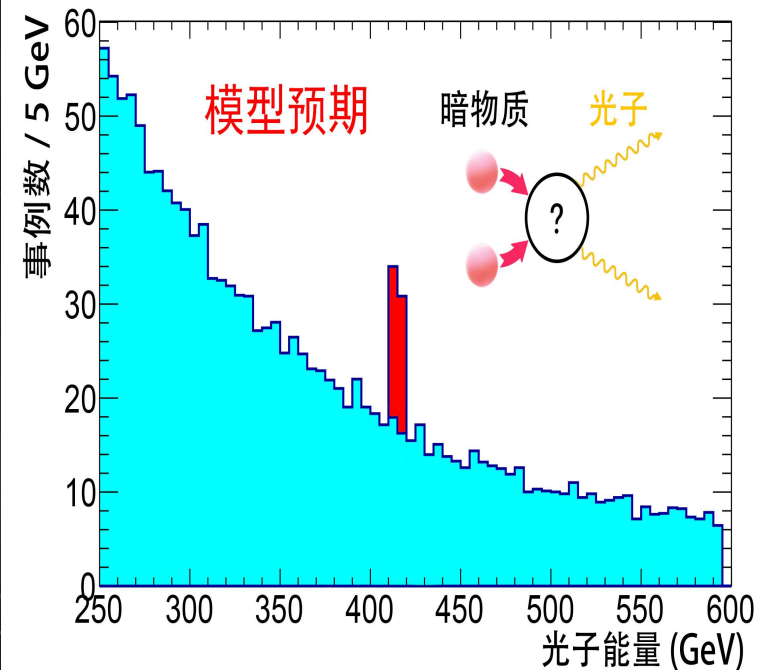
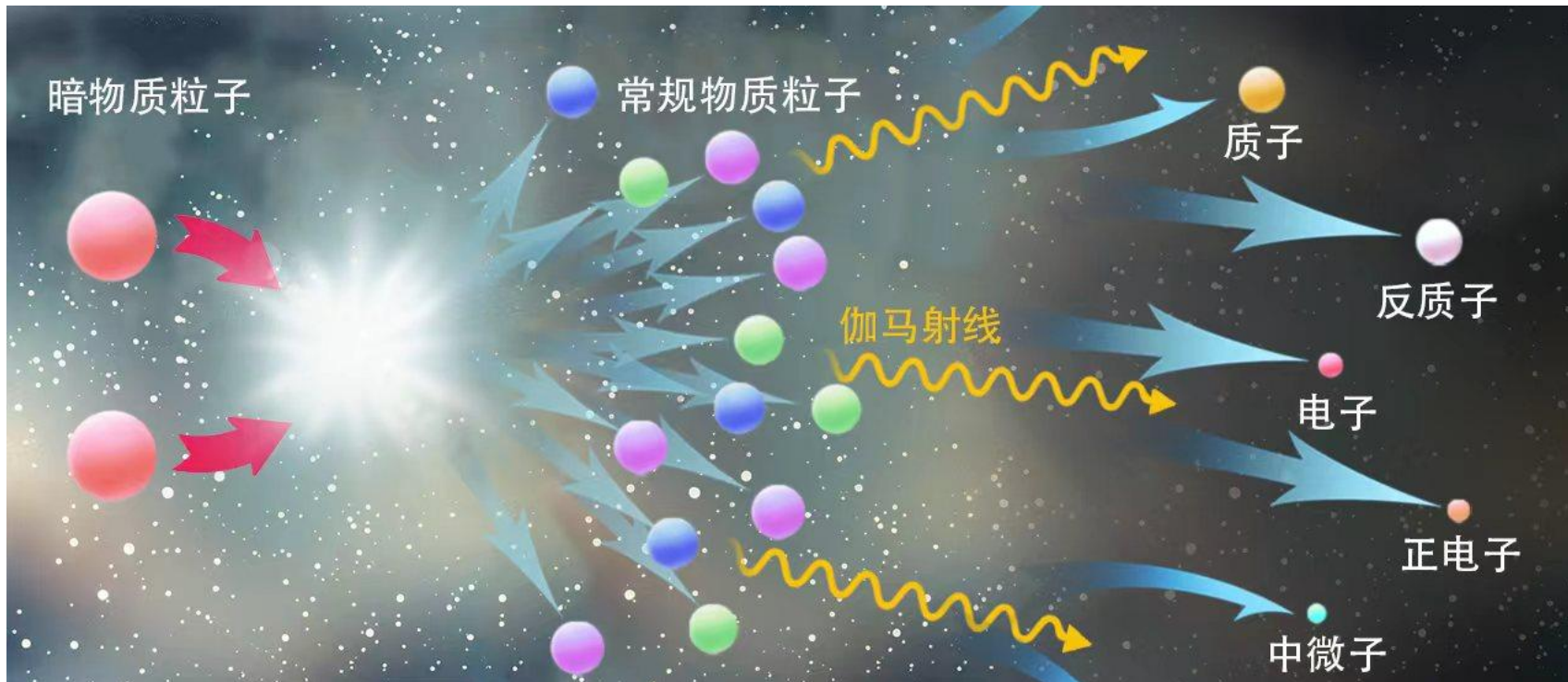
高能量分辨率，原材料成本低、计数率高、长寿命、可在室温下使用等

实验案例：空间暗物质间接探测

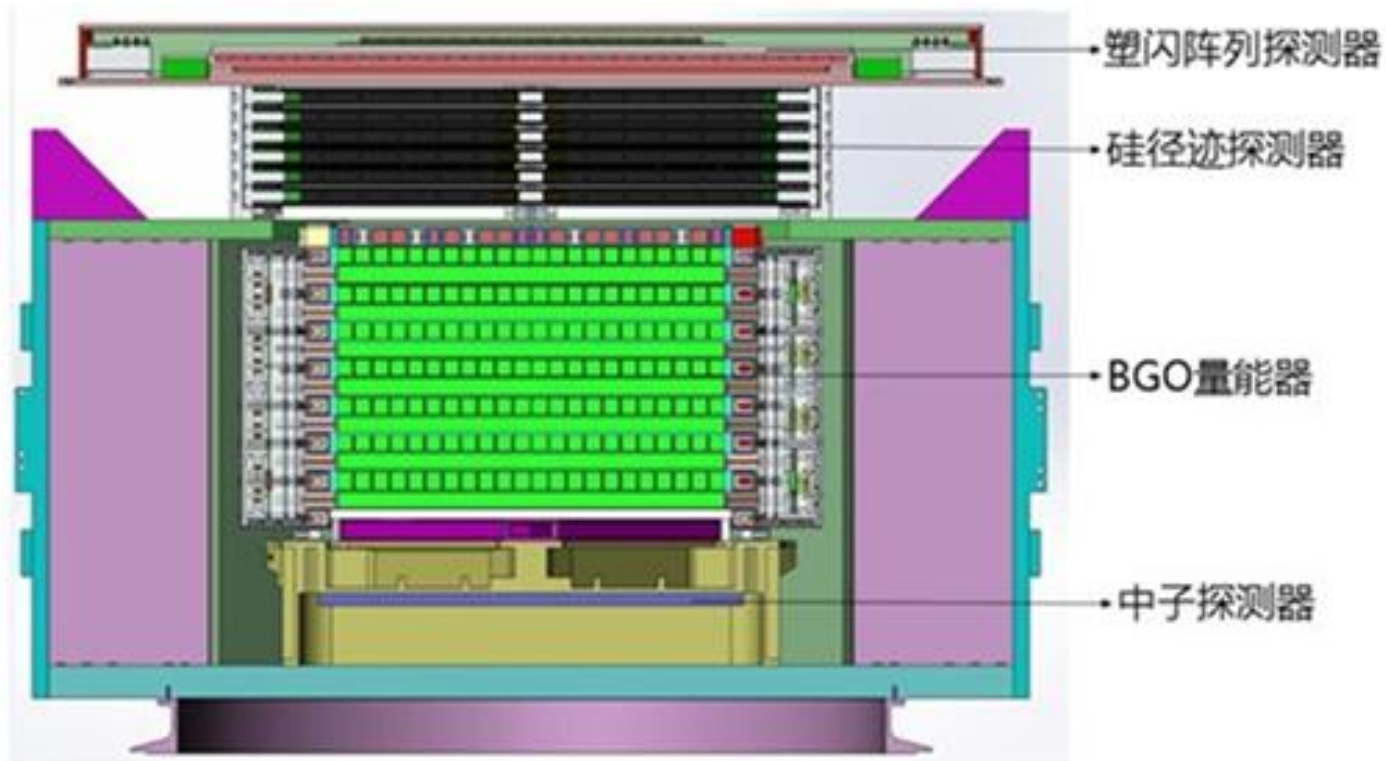
➤ 主要探测目标

◆ 电子

◆ 伽马



实验案例：空间暗物质间接探测



粒子主要属性：

电荷 (塑料闪烁探测器)、

能量 (BGO量能器)、

方向 (径迹探测器? : 气体探测器、半导体探测器(像素、微条)、闪烁光纤?)

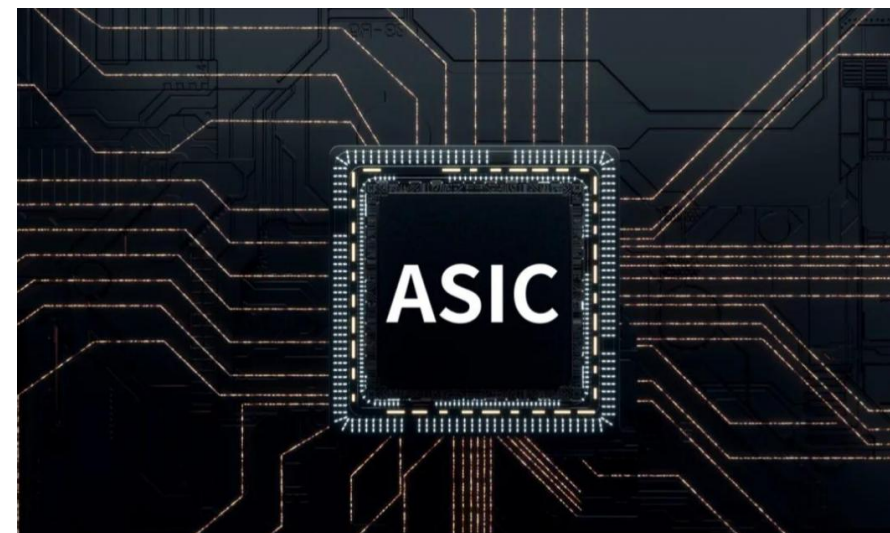
成本? 、可靠性? 、可行性? 、其他?

一、背景与挑战 (Why)

- 先进工艺成本高、设计复杂
 - 先进节点流片迭代价格昂贵
 - 要求首次设计成功，设计验证难度大
- 传统ASIC局限性明显
 - 功能固定、可配置性弱
 - 难以集成片上算法，更新与调试成本高
 - 无法满足高能物理实验的多样化与快速迭代需求

二、新的设计范式 (How)

- 引入RISC-V的SoC架构，实现软硬件协同
 - 用软件升级硬件功能，让芯片能灵活适配不同的实验需求
 - 复用开源模块来快速搭建系统，显著缩短芯片的开发时间
 - 基于开源技术，实现了从设计到应用的稳定可控



智能芯片SoC是ASIC发展的未来趋势

Risc-V的优势

➤ 完全开源（自由、免费、可控）

- X86极少对外授权，较为封闭；Arm授权费和版税结合，较为昂贵
- 为避免政治风险，2019年，Risc-V基金会总部从美国迁移至瑞士
- 活跃的开源社区：全球开发者贡献工具链（如GCC、LLVM）、调试器、仿真器（如QEMU）和IP核，多家公司、机构（如SiFive、香山、阿里）提供开源软核和开发工具
 - PULP, 提供Risc-V软核和IP的开源平台，覆盖范围从MCU到多核 Risc-V芯片
 - SOCRATES, 以 SoCMake 为中心的抗辐照 SoC 生成器工具集
 - OpenLANE, 可提供从RTL到GDSII的全自动流片流程的开源项目
 - EXTREM-EDGE, 辅助设计Risc-V，实现硬件加速的工具包
 -

➤ 模块化设计，架构简单

- Arm和X86经过长期发展，积累了许多历史包袱：
 - 例如,AMD64面向 64 位开发与应用环境;但它同时仍须要向后兼容 32 位甚至 16 位的 x86 架构
- “基础指令集+扩展指令集”的架构设计，可根据需求灵活定制指令集。
 - 例如，添加浮点运算（F/D扩展）、原子操作（A扩展）等模块，适配从嵌入式设备到高性能计算的不同场景

➤ 符合软硬件协同的趋势，可以实现面向需求的系统精准定制化

- 英伟达的CUDA通用并行计算架构的成功证明了软硬件协同的优势^[1]
- 可以根据特定应用场景，实现硬件加速，如NASA HPSC项目^[2]



X86指令数量不断增加，日渐复杂

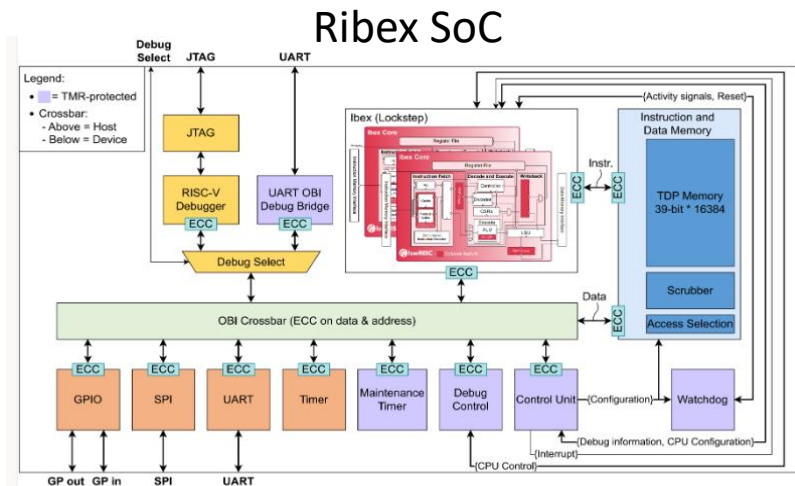
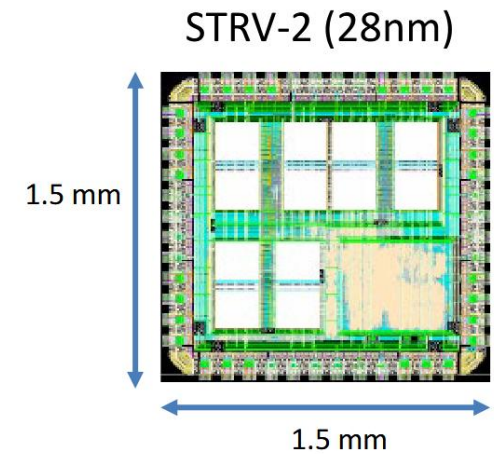
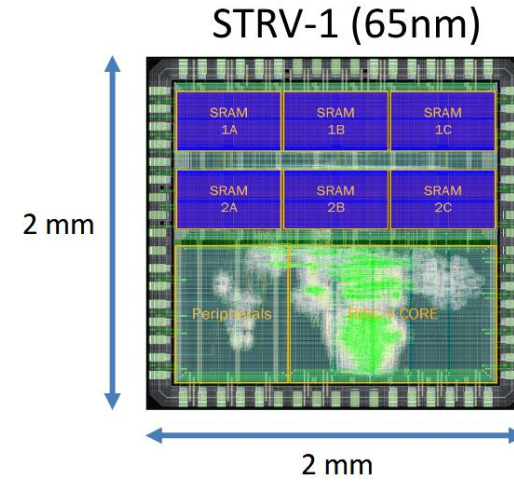
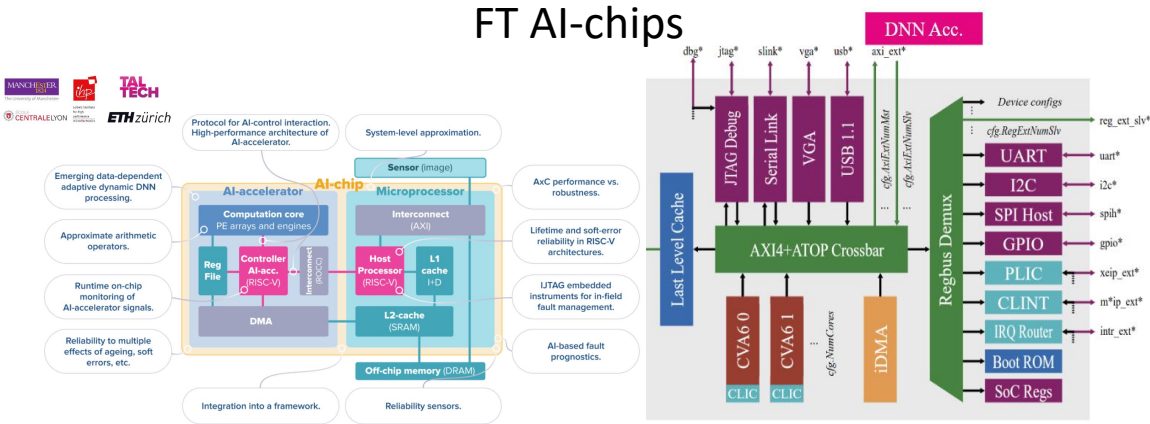
[1]10.13328/j.cnki.jos.006490

[2] <https://www.nasa.gov/game-changing-development-projects/high-performance-spaceflight-computing-hpsc/>

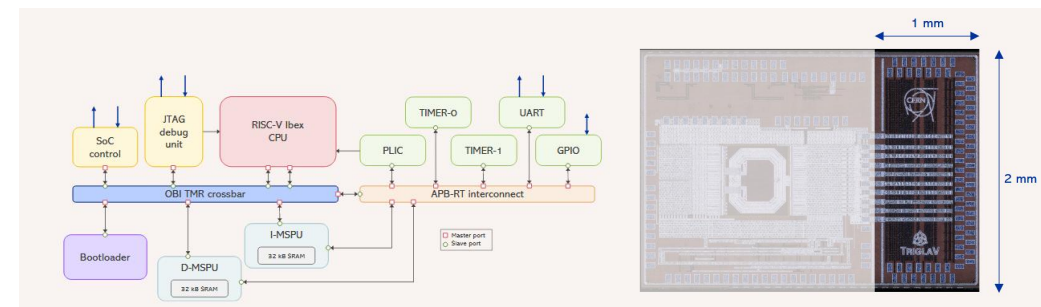
Risc-V在高能物理的应用(CERN DRD 7.2 相关Risc-V芯片)

为了应对未来高能物理实验需求，CERN在Risc-V的应用主要聚焦于两个核心方向：

- 构建高可靠性的监控与控制系统
- 发展智能化的片上数据处理 将Risc-V作为主控核心，结合AI硬件加速模块协同工作，可以在探测器前端直接对海量数据进行智能分析和事件筛选，提升发现新物理现象的效率。



TriglaV



High-Energy RISC-V Instrumentation SOC (HERIS)

➤ 核心部分 (Tiny RiscV)

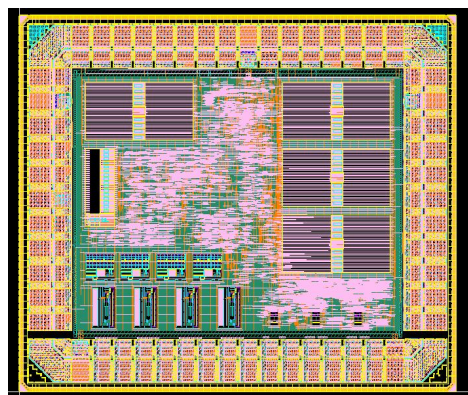
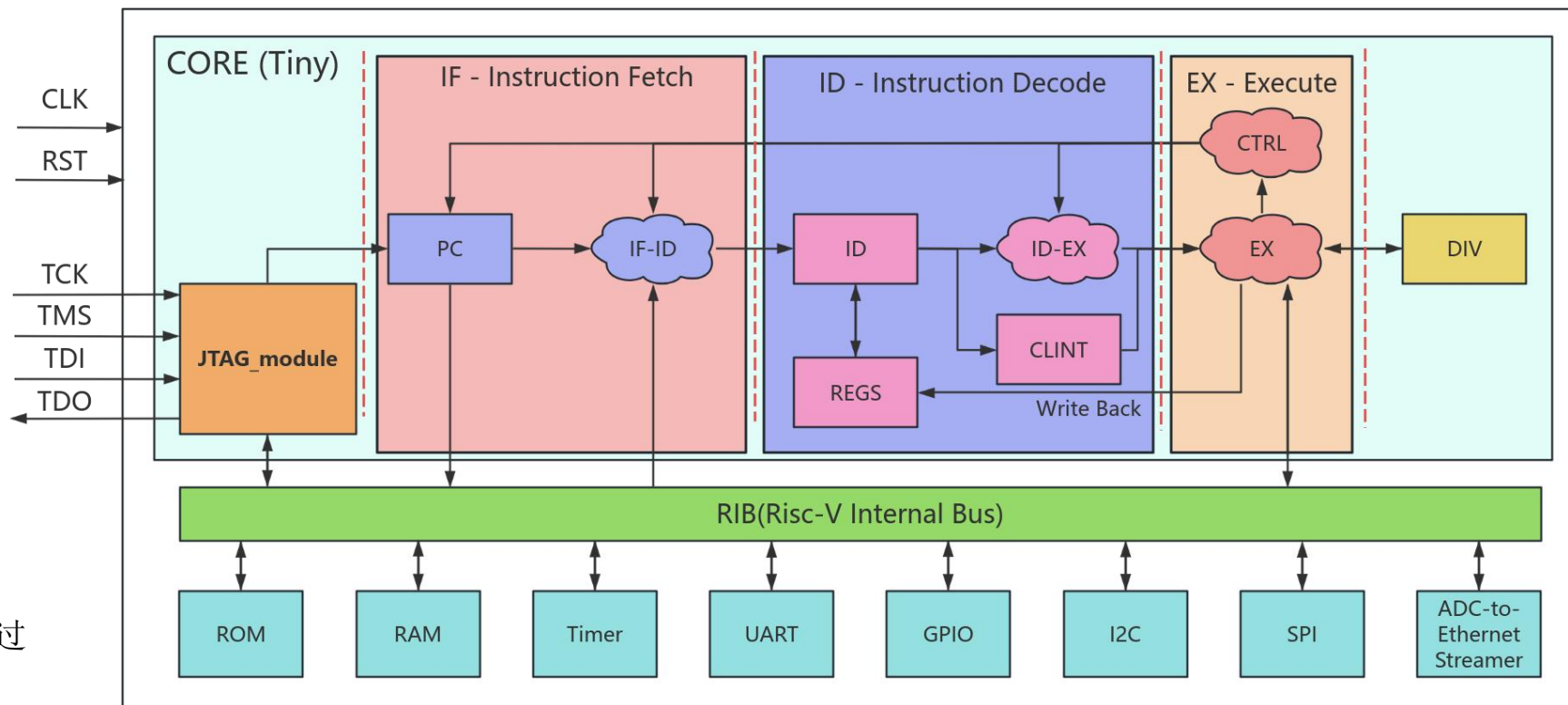
- RV32IM 指令集
- 三级流水线
- CoreMark/MHz = 2.4

➤ JTAG 接口

- 支持OpenOCD
- 支持GDB 调试启动

➤ 外设

- 4 KB ROM, 32 KB RAM
- 支持I2C、UART、SPI
- 集成ADC数据收集模块并通过UDP协议传输到上位机



HERIS V1版图(数字IC由陈娇龙完成)

- 55 nm 工艺制程
- 工作频率 50 MHz
- 面积 1020 x 1196 um
- 工作电压 1.2 V
- 10月份第一版设计验证完成并已经提交流片
- 正式芯片测试预计于2026年1月回片后开展

