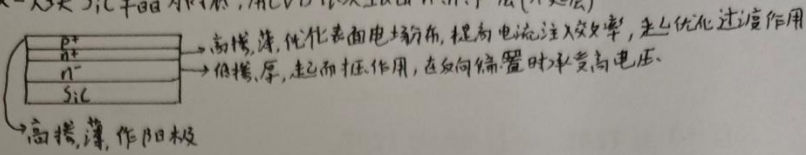


外延生长

工艺流程

1. 外延生长路线

① 取一大块 SiC 单晶为衬底，用 CVD 依次生长出 n、n⁺、p⁺ 层（外延层）



② 刻蚀 p⁺、n⁺ 及部分 n

做出台阶，用来做终端电势控制、保护环

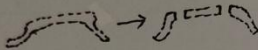


③ 热氧化 + 钝化层

在 SiC 表面生成一层 SiO₂，再沉积 SiO₂ 或 Si₃N₄，形成复合钝化层，主要 | 保护表面
为后续光刻等操作提供基础

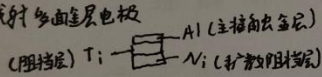
④ 刻蚀钨层

为 p⁺ 的输运提供通道



⑤ 磁控溅射欧姆接触金属电极 Ni/Ti/Al

溅射多道金属电极



RTA 后，会形成低阻欧姆接触，作为 p⁺ 型区的正面电极，让电流低损耗流入

⑥ 钝化

绝缘隔离，以防电极间短路
保护表面
为后续操作提供基础

⑦ 刻蚀钝化层（开 Pad 窗口）

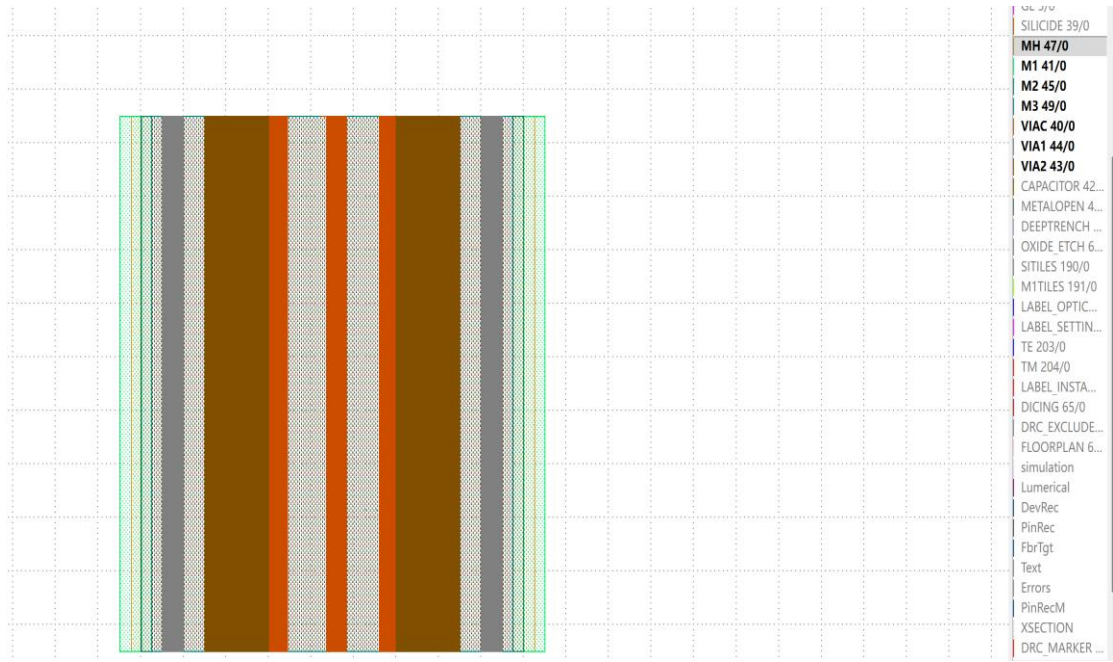
让后续金属层可与底层电极连接，实现电流引出

⑧ 沉积 PAD 金属扩散板

PAD：加厚金属层，可降低大电流下的电阻，防止与键合台
扩散板：延伸至终端的金属结构，可进一步优化电场分布，提升耐受电压。

⑨ 衬底减薄、背面金属沉积 → 形成背面 n⁺ 型欧姆接触

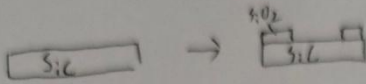
优化性能、为封装做准备。



- SILICIDE 39/0
- MH 47/0**
- M1 41/0**
- M2 45/0**
- M3 49/0**
- VIAC 40/0**
- VIA1 44/0**
- VIA2 43/0**
- CAPACITOR 42...
- METALOPEN 4...
- DEEPTRENCH ...
- OXIDE ETCH 6...
- SITILES 190/0
- MITILES 191/0
- LABEL_OPTIC...
- LABEL SETTIN...
- TE 203/0
- TM 204/0
- LABEL INSTA...
- DICING 65/0
- DRC_EXCLUDE...
- FLOORPLAN 6...
- simulation
- Lumerical
- DevRec
- PinRec
- FbrTgt
- Text
- Errors
- PinRecM
- XSECTION
- DRC_MARKER ...

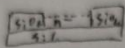
2. 离子注入路线

① 取一大块 SiC 单晶作为衬底，热氧化 (沉积 SiO₂ 层) + 涂光刻胶 + 光刻 + 干法刻蚀开窗、去除光刻胶



② 注入 n 型杂质 (硼、磷) (高剂量 + 低剂量)

形成厚 n⁻ 阱区



再用 (低剂量 + 高剂量) n 型杂质，形成薄 n⁺ 高掺杂区

↑
光刻开窗
↑
热氧化

用 p 型杂质 (硼、磷) 形成薄 p⁺ 高掺杂区

↑
光刻开窗
↑
热氧化

形成四区 $\begin{cases} p^+ \\ n^+ \\ n^- \\ SiC \end{cases}$ 结构

③ 热氧化 + 表面钝化 —— $\begin{cases} \text{修复保护表面} \\ \text{为后续操作提供基础} \end{cases}$

④ 光刻 + 刻蚀，在钝化层上开口作电极窗口

⑤ 溅射电极

⑥ 钝化

⑦ 刻蚀钝化层，开 Pad 窗口

⑧ 沉积 PAD + 铜板

⑨ 衬底减薄，背面金属沉积

