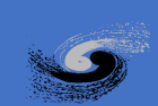
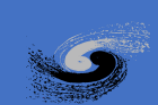


2026科创第六次课

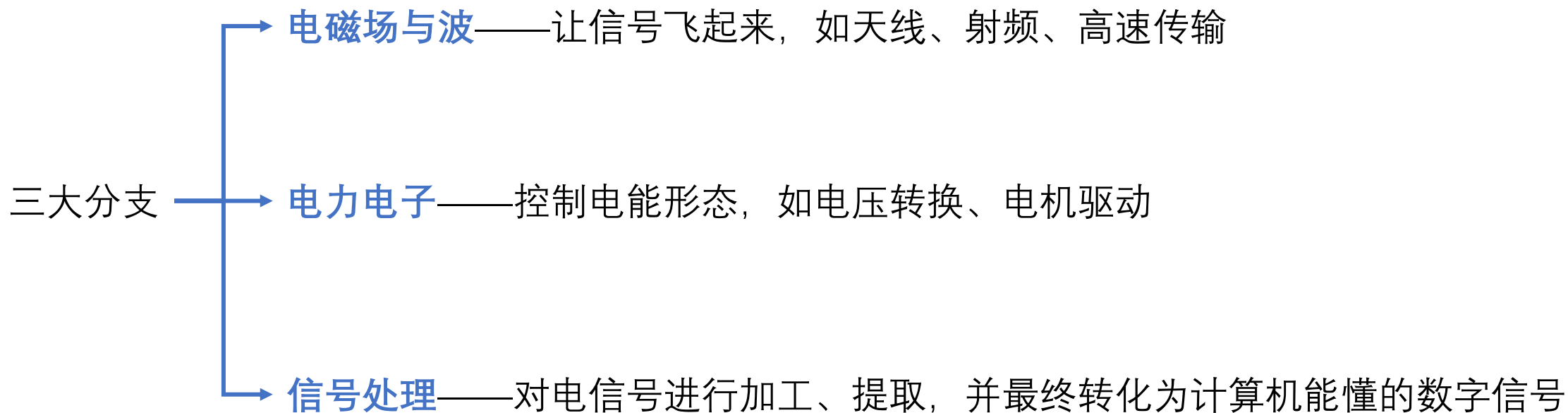


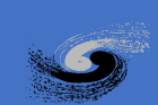
一、什么是电子学？

发明器件、设计电路来解决粒子物理问题，运动规律的数学描述



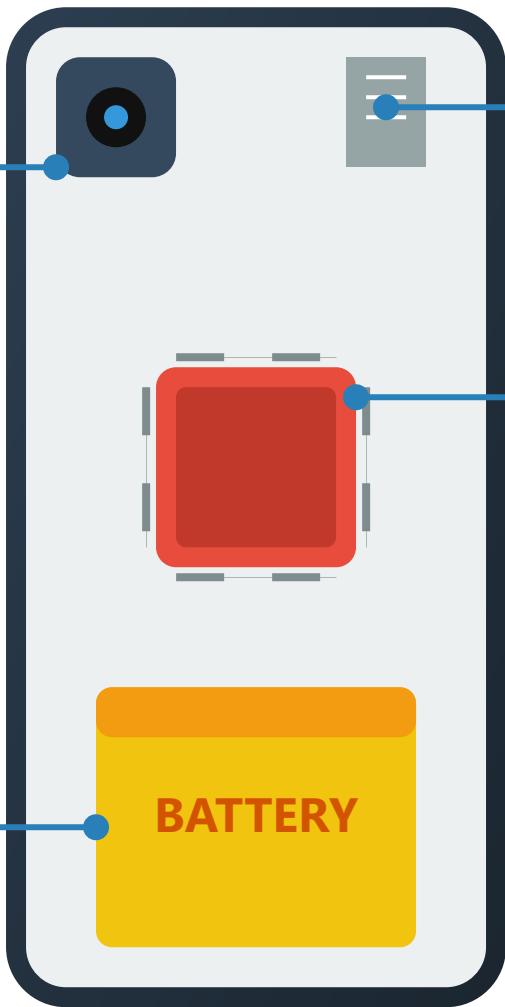
电子学 = 用电信号承载信息，并进行处理、传输和存储的科学，是连接物理世界与数字世界的桥梁





📷 传感器
对应硬件：摄像头、屏幕触控、麦克风
任务：将光、声、触觉转化为微弱电信号

LGAD



📡 电磁场与波

对应硬件：5G天线、Wi-Fi/蓝牙射频
任务：将数字信息转换为高频电磁波发射

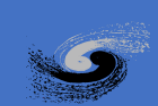
🧠 信号处理

对应硬件：CPU处理器、图像/音频芯片
任务：放大信号，并转化为0和1的数字

HERIS

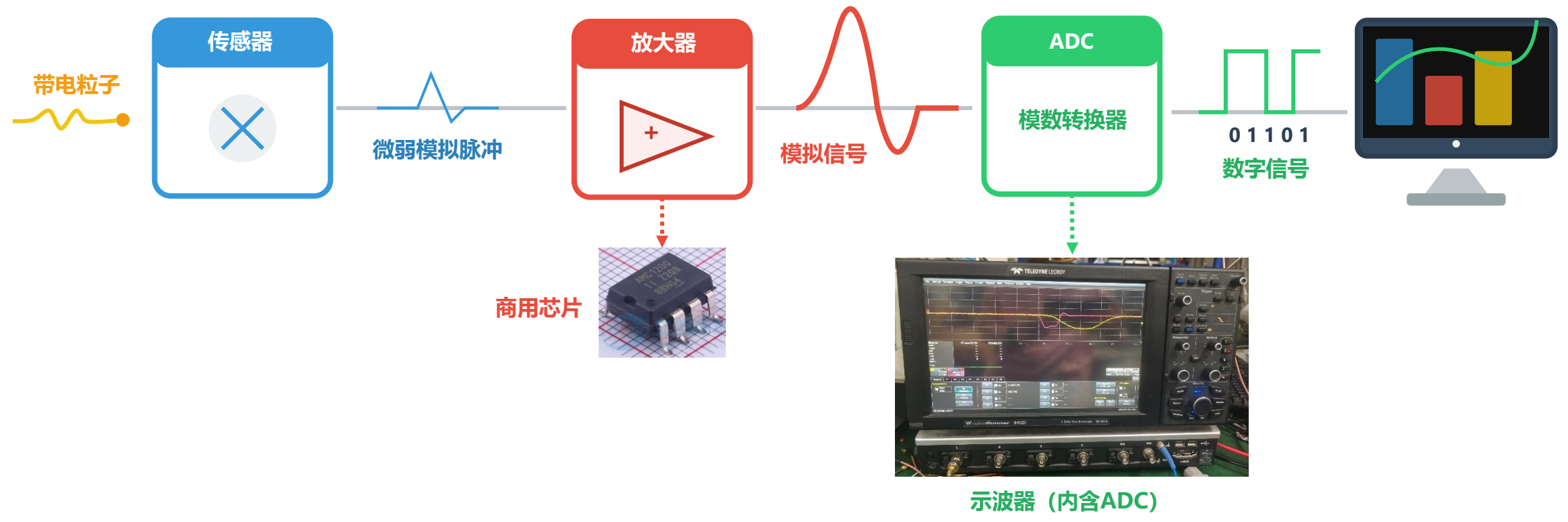
⚡ 电力电子

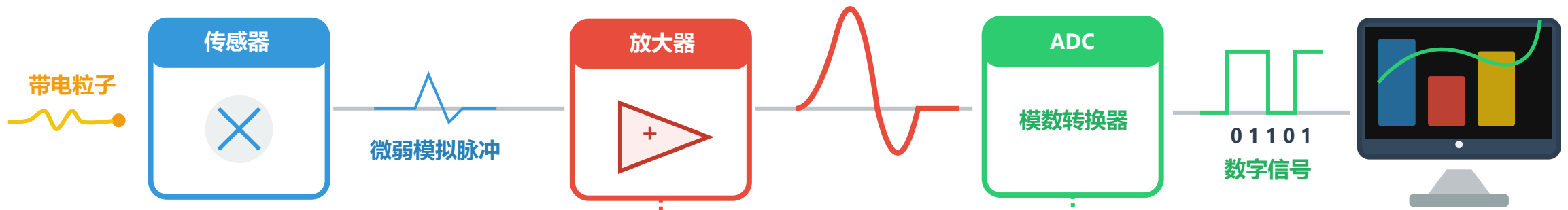
对应硬件：电源管理芯片(PMIC)、快充
任务：控制电能形态，精准转换各类电压



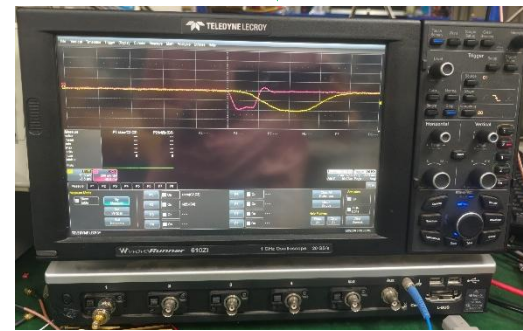
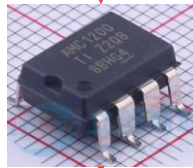
二、信号处理

信号处理

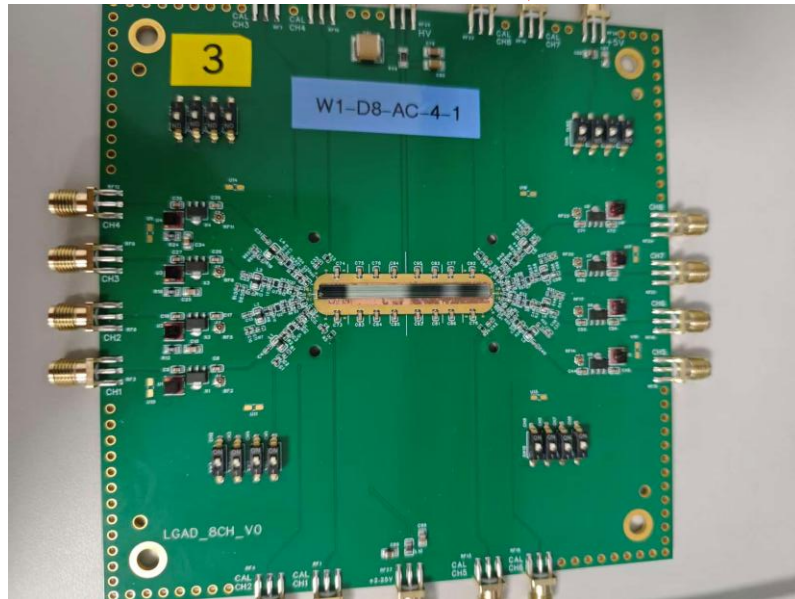




商用芯片

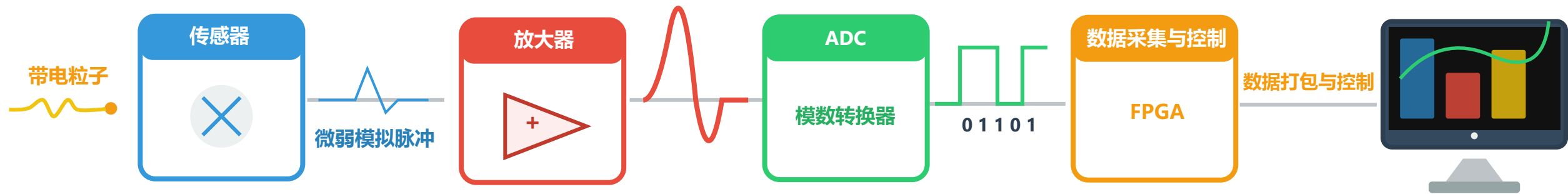


示波器 (内含ADC)



印制电路板 (PCB板)

通道数有限且读写速度慢，无法应对多通道、高事例场景；
信号只能由PCB板向电脑传播，无法实现电脑控制PCB板

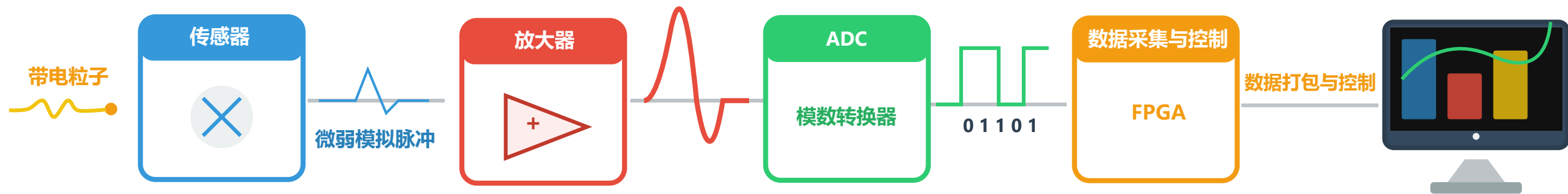


负责将数字化的数据按固定格式打包，通过接口协议传输到电脑；接收来自电脑的指令，发出相应的控制信号

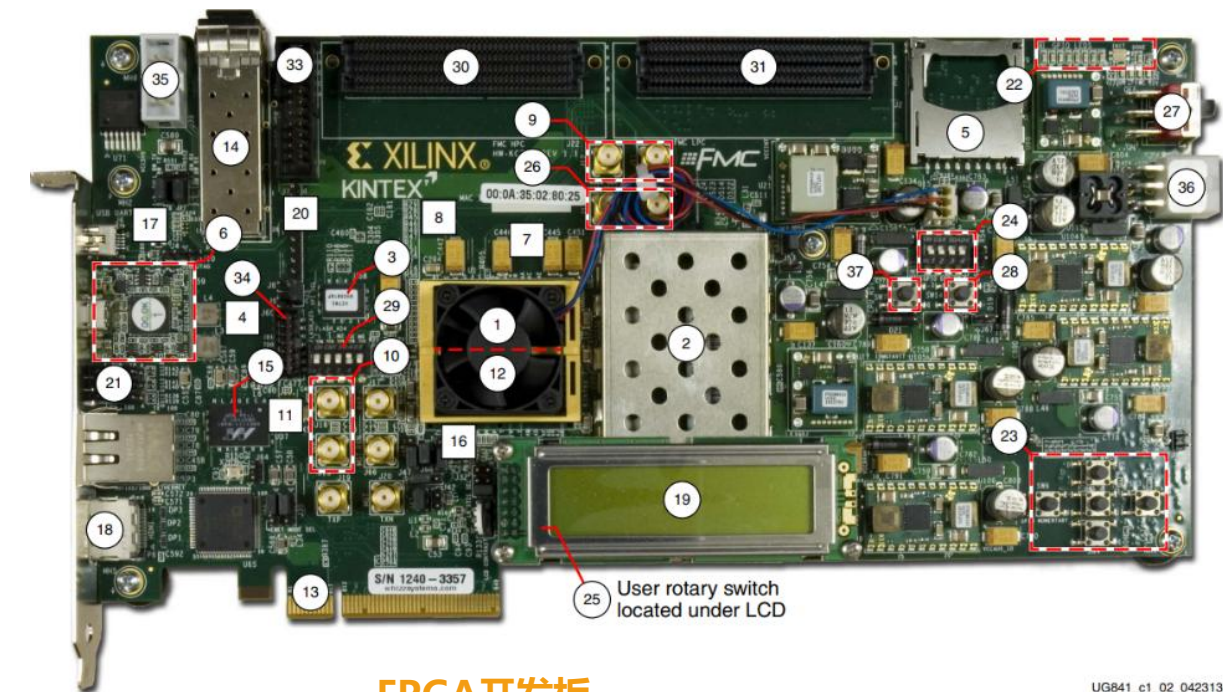
普通芯片 (比如CPU) —— 硬件中的物理连接已固定，相当于已经造好的房子

FPGA —— 相当于一堆造房子的原材料，可以通过写代码（一种叫做 Verilog 的硬件描述语言），来改变芯片内部的物理连线，从而实现不同功能

通用方案

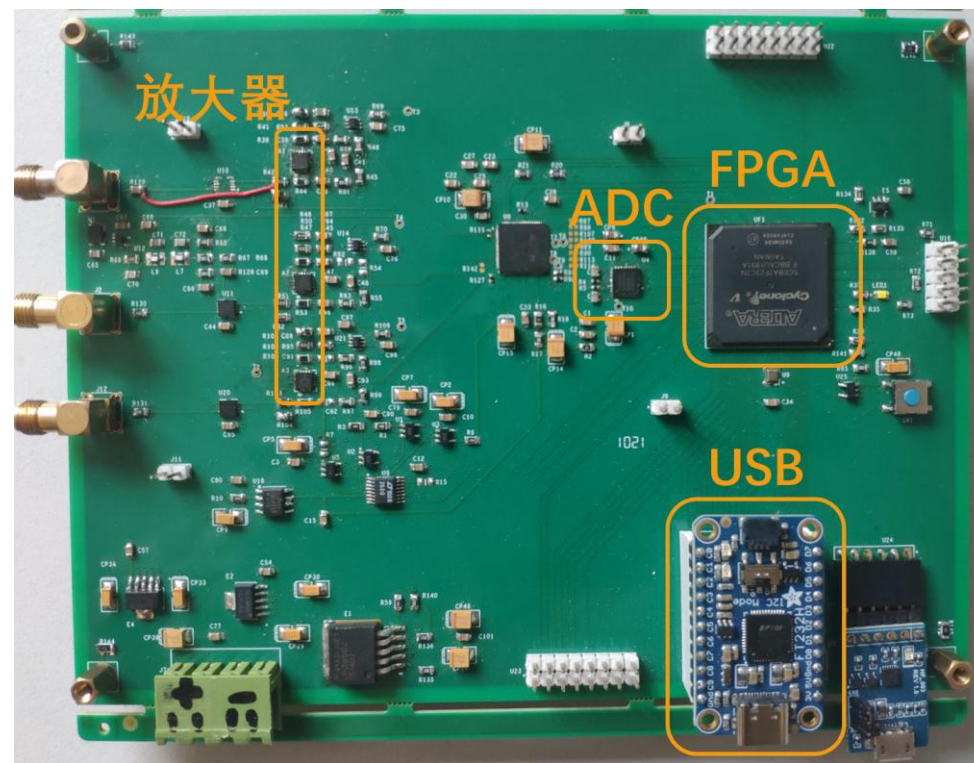


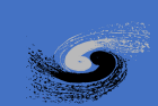
负责将数字化的数据按固定格式打包，通过接口协议传输到电脑；接收来自电脑的指令，发出相应的控制信号



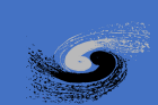
FPGA开发板

UG841_c1_02_042313





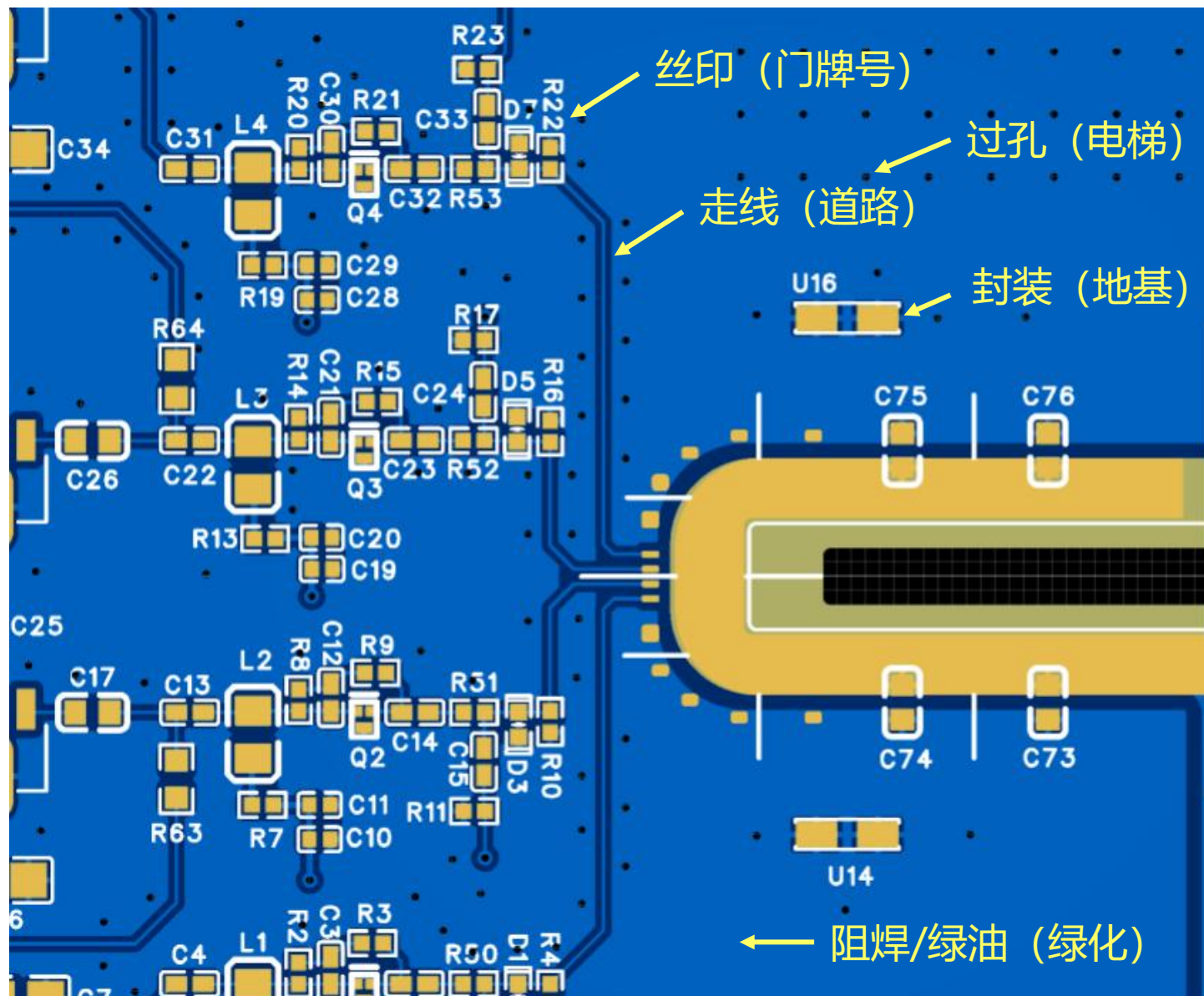
三、板级设计



印制电路板 (Printed Circuit Board) 是承载电子元器件并实现电气连接的载体。如果把电子产品比作一座城市，PCB 就是其基础设施：

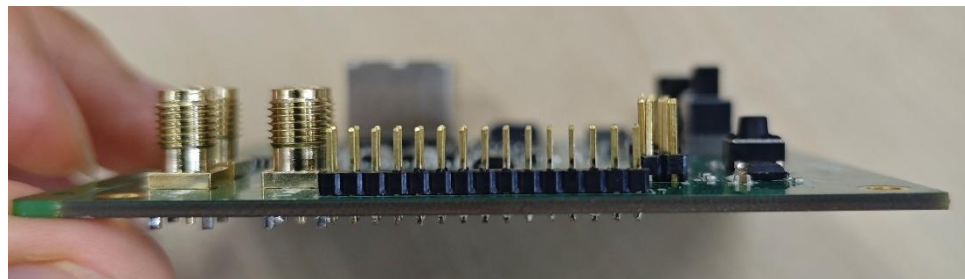
- ✓ **地基与建筑 (基板与元件)：** 绝缘基板提供承载土地，各类精密芯片则是拔地而起的高楼大厦。
- ✓ **公路网与地铁 (走线与过孔)：** 表面与内层的铜箔线路是纵横交错的马路，贯穿板层的过孔(Vias)是连接地面的电梯，传输数据物流。
- ✓ **城市规划区 (阻焊与丝印)：** 阻焊绿油划分出不可触碰的绝缘绿化带，白色丝印则是路标与门牌号。



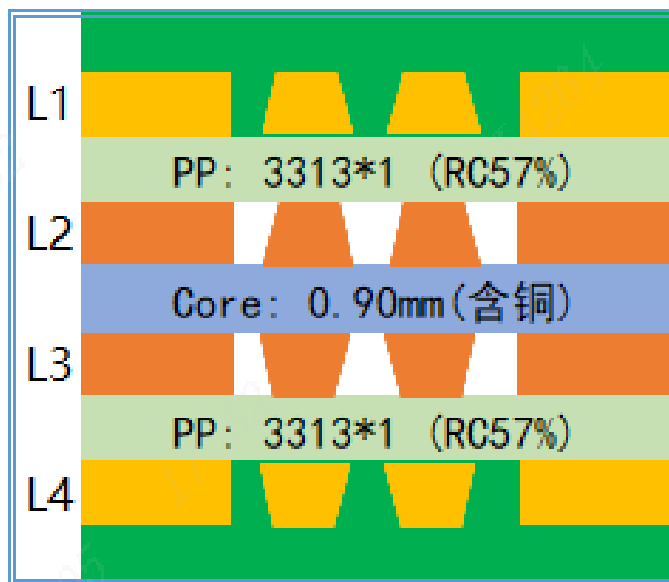


纵向解剖：PCB 的横截面分层

一块看似薄薄的电路板，在显微镜下切开，实际上是多层材料精密压合的千层糕：

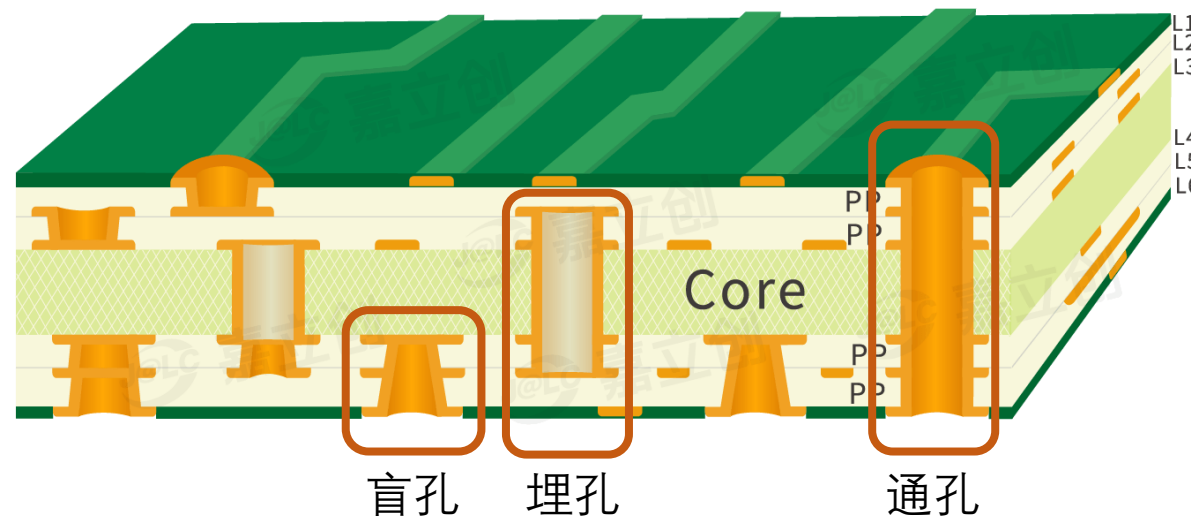


JLC04161H-3313(成品板厚1.56mm±10%)



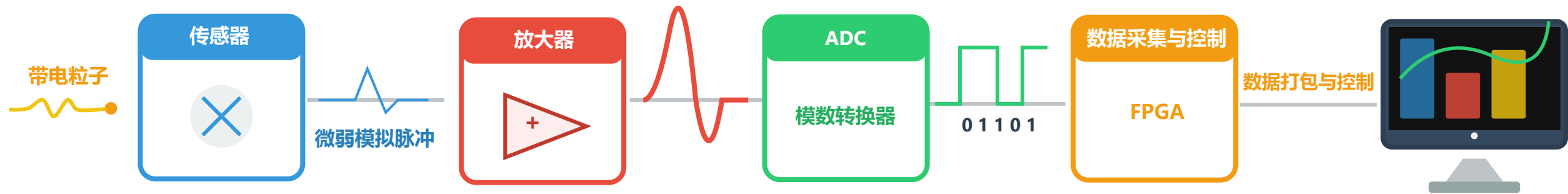
阻焊层
金属层
半固化层 (胶水)
金属层
芯板 (承重)

三类过孔 (电梯) :

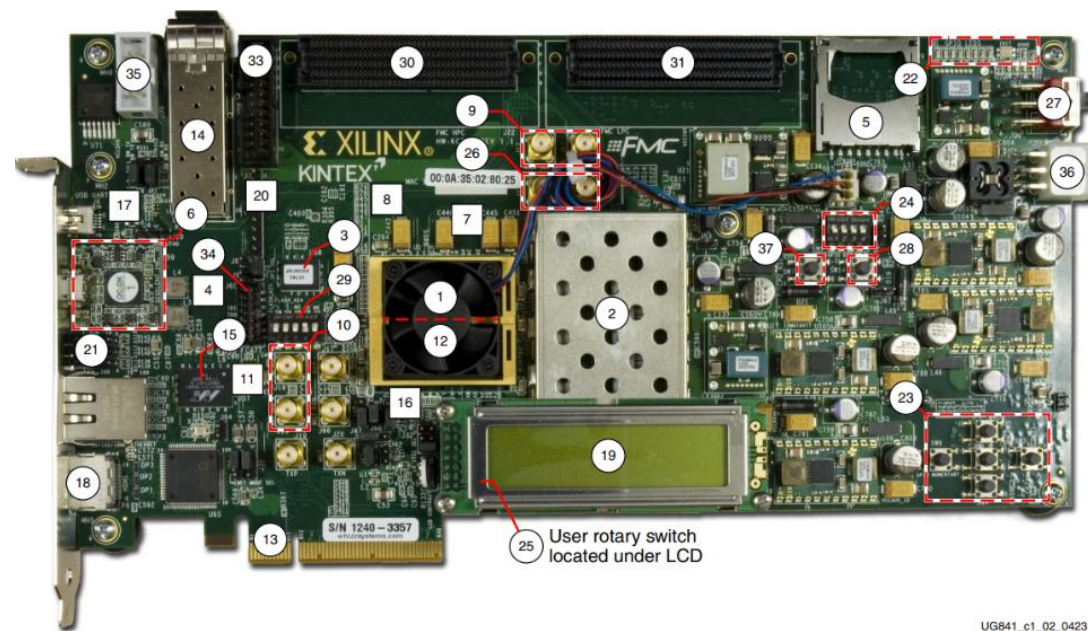


嘉立创PCB工艺加工能力范围说明-嘉立创PCB打样专业工厂-线路板打样
<https://www.jlc.com/portal/vtechnology.html>

通用方案

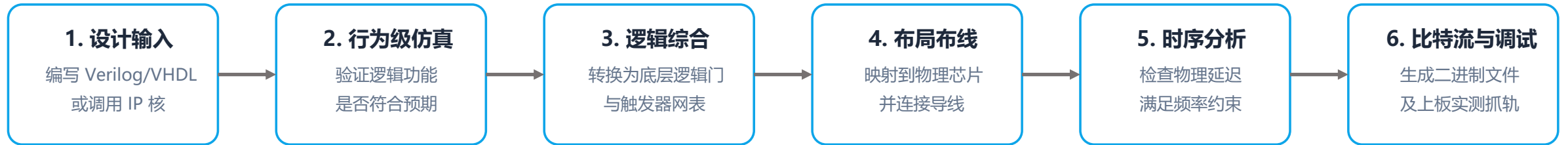


PCB
 商用芯片
 读出系统 ?
 ← FPGA开发



厂商 (Vendor)	市场地位与特点	入门 / 低成本系列	中端 / 性价比系列	高端 / 旗舰系列	SoC (带 ARM 处理器核)	官方开发软件
AMD (原 Xilinx)	绝对霸主，占据一半以上市场，生态最好，高端技术最强。	Spartan, Artix	Kintex	Virtex, Versal	Zynq-7000, Zynq MPSoC	Vivado
Intel (原 Altera)	万年老二，被 Intel 收购后主要发力数据中心和 PCIE 加速。	Cyclone (飓风)	Arria (阿利亚)	Stratix (至尊), Agilex	Cyclone V SoC, Arria V SoC	Quartus

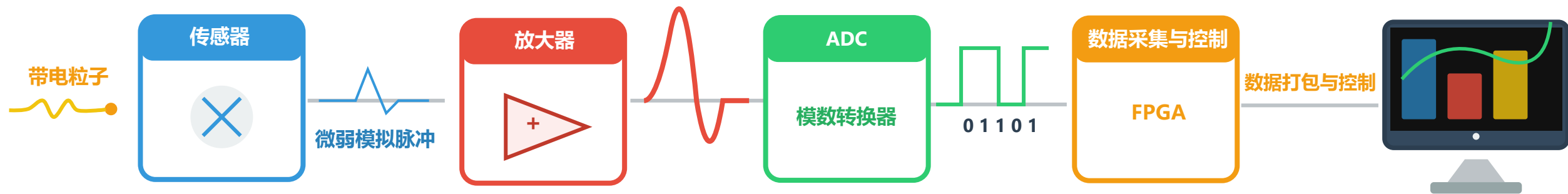
Xilinx资料最丰富，Vivado 软件体验目前公认优于 Quartus



The screenshot shows the Vivado IDE interface for a project named 'kc705_mig'. The interface is annotated with red boxes and numbers 1 through 6, corresponding to the steps in the flowchart above:

- 1:** The 'Sources' window shows the project files, including 'kc705_mig (kc705_mig.v) (13)', 'global_clock_reset_inst : global_clock_reset(Behavioral) (global_clock_rese', 'vio_0_inst : vio_0 (vio_0.xci)', 'gig_eth_inst : gig_eth(wrapper) (gig_eth.vhd) (6)', 'control_interface_inst : control_interface(a) (control_interface.vhd) (1', and 'sdram_ddr3_inst : sdram_ddr3(Behavioral) (sdram_ddr3.vhd) (2)'. A red box highlights the 'Design Sources' section.
- 2:** The 'SIMULATION' section in the left sidebar is highlighted, showing 'Run Simulation'.
- 3:** The 'SYNTHESIS' section in the left sidebar is highlighted, showing 'Run Synthesis'.
- 4:** The 'IMPLEMENTATION' section in the left sidebar is highlighted, showing 'Run Implementation'.
- 5:** The 'Reports' window is highlighted, showing a table with columns 'Report', 'Type', 'Options', 'Modified', and 'Size'. The table contains entries for 'Synth Design (synth_design)', 'impl_1', and 'Design Initialization (init_design)'. A red box highlights the 'Reports' window.
- 6:** The 'PROGRAM AND DEBUG' section in the left sidebar is highlighted, showing 'Generate Bitstream'.

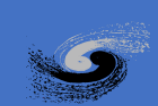
The 'Project Summary' window on the right shows project details such as 'Project name: kc705_mig', 'Project location: C:/vivado_project/firmware_smallpad_0.64', 'Product family: Kintex-7', 'Project part: xc7k325tffg900-2', 'Top module name: kc705_mig', 'Target language: Verilog', 'Simulator language: Mixed', and 'Target Simulator: Vivado Simulator'. The 'Synthesis' section shows 'Status: Complete', 'Messages: 1 critical warning, 284 warnings', 'Part: xc7k325tffg900-2', 'Strategy: Vivado Synthesis Defaults', 'Report Strategy: Vivado Synthesis Default Reports', and 'Incremental synthesis: None'.



两个主要问题:

- (1) 商业芯片的性能无法满足需求——动态范围、精度、面积、功耗……
- (2) 商业芯片获取渠道受限

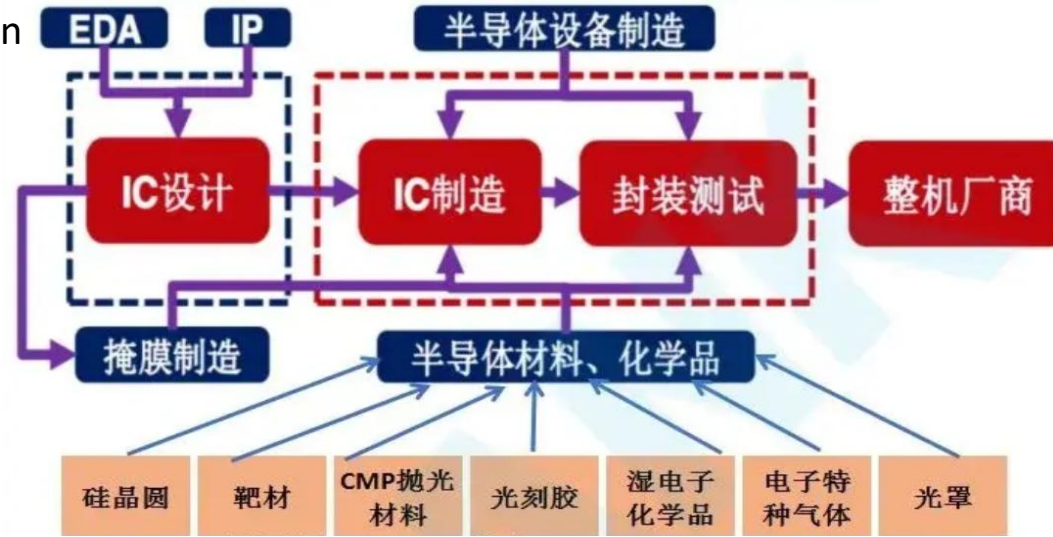
自己干!



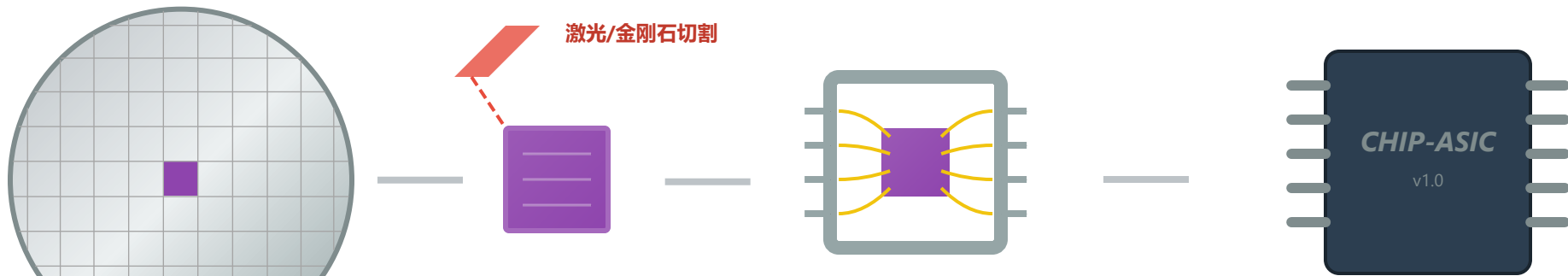
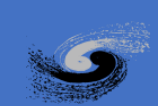
四、集成电路设计

- 集成电路是半导体产业的核心，由于其技术复杂性，产业结构高度专业化。目前市场IC产业链分为IC设计、IC制造和IC封装测试。

(Electronic Design Automation)



- 设计方面**：细分领域具备亮点，核心关键领域设计能力不足。从应用类别(如手机到汽车)到芯片项目(如处理器到FPGA)，国内在高端关键芯片自给率几近为0。
- 设备方面**：自给率低，需求缺口较大，当前在中端设备实现突破，初步产业链成套布局，但关键领域如沉积、刻蚀、离子注入、检测等，仍旧缺失。
- 材料方面**：在靶材等领域已经比肩国际水平，但在光刻胶等高端领域仍需较长时间实现国产替代。
- 制造方面**：全球市场集中，台积电占据约60%的份额。
- 封测方面**：国内企业（如长电、华天、通富等）整体实力不俗，在世界拥有较强竞争力。



步骤1: 晶圆 (Wafer)

一整片硅圆，上面有几千颗芯片

步骤2: 裸片 (Die)

切割出极其微小、脆弱的核心

步骤3: 金线键合

用比头发还细的金线连接引脚

步骤4: 注塑封装 (Package)

穿上装甲，形成可用的标准芯片

1. 物理保护

用环氧树脂把脆弱的裸片密封起来，防摔、防尘、防潮汽导致短路报废。

2. 加宽引脚

裸片上的触点肉眼几乎看不见。封装将它们向外扩展为粗大的金属针脚，以便工程师能将其焊接在主板(PCB)上。

3. 传导散热

芯片工作时会产生极高的热量，金属外壳和底部的散热焊盘能把热量快速排出去，防止芯片烧毁。

DIP

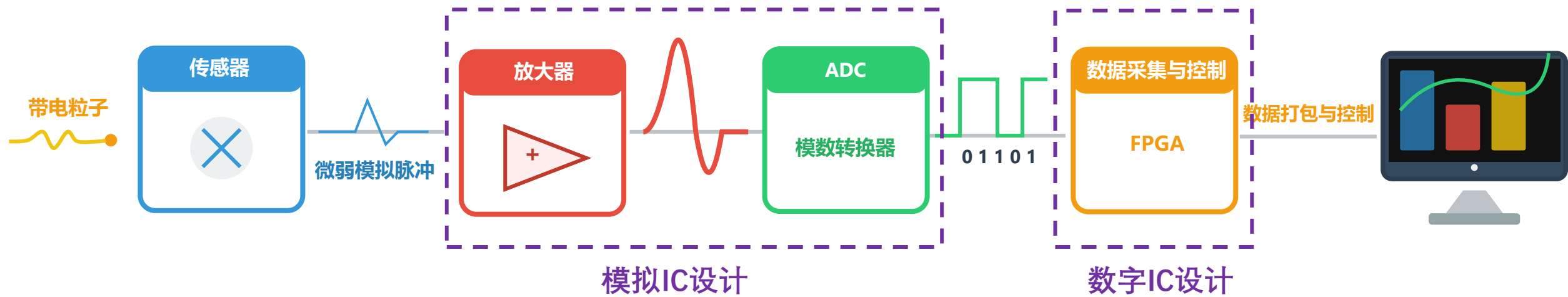


SOP



QFP





主要处理模拟信号，如放大器、滤波器、ADC等，通常基于晶体管级，设计灵活但较为复杂，强调噪声、线性度、增益、功耗等性能

处理数字信号，主要用于计算、存储、逻辑控制等功能，自动化程度高，易于大规模集成，强调时序和面积优化



```

module sipac_4channels_pad (
    output TIME_STAGE1_BUFF,
    output TIME_STAGE3_BUFF,
    output LOW_GAIN_BUFF,
    output LOW_GAIN_CAPOUT_BUFF,
    output HIGH_GAIN_BUFF,
    output HIGH_GAIN_CAPOUT_BUFF,
    input VBN1_Buffer,
    input VBP1_Buffer,
    input PD,
    input [4:1] PULSE_IN,
    input VBN1,
    input VBN2,
    input VBP1,
    input VBP2,
    input [4:1] VCN,
    input VREF1,
    input VREF_CMP,
    input Vref
)

```

```

source ./scripts/top_pad_all
echo $top
echo $MW_DESIGN_LIB
define design_lib work -pat
set svf ./report/${top}.svf
#analyze -format verilog -lib
analyze -format verilog -lib
elaborate $top -library work
current_design $top
link
check_design

```

```

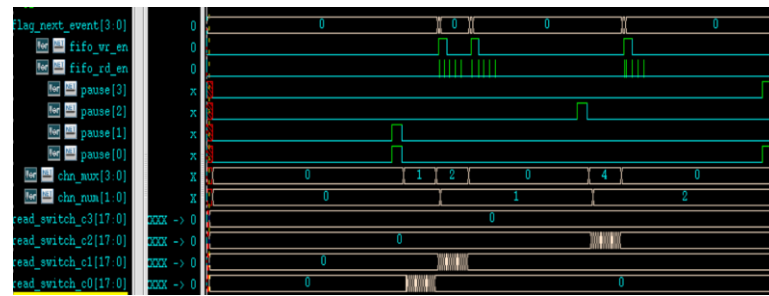
1 timescale 1ns / 1ps
2
3 module sipac_4channels_tb();
4
5   `ifdef FSDB
6   begin
7   initial begin
8     $fsdbDumpfile("sipac_4ch
9     $fsdbDumpvars(0);
10    $fsdbDumpMDA();
11  end
12 end
13 `endif
14
15 `if SDF
16 begin

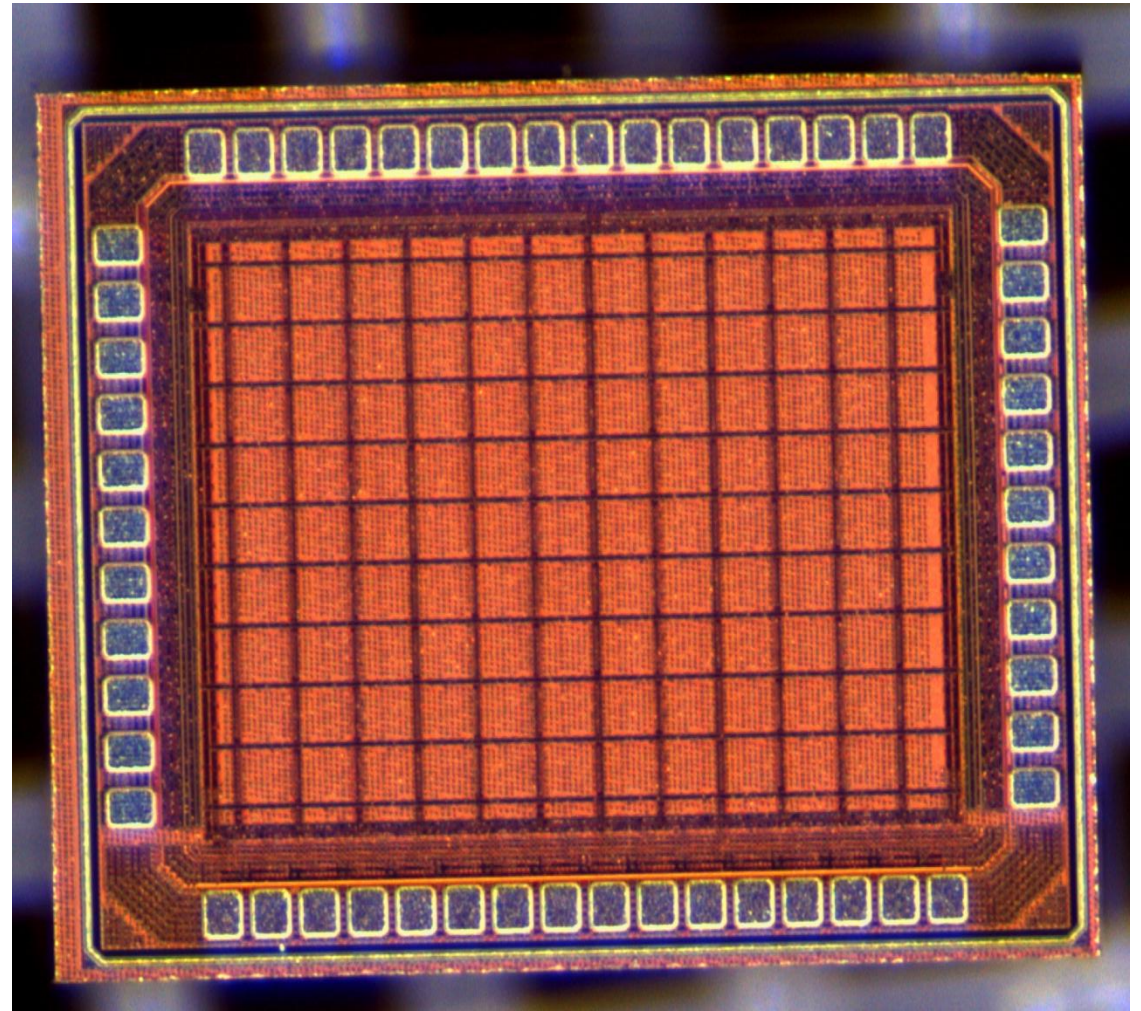
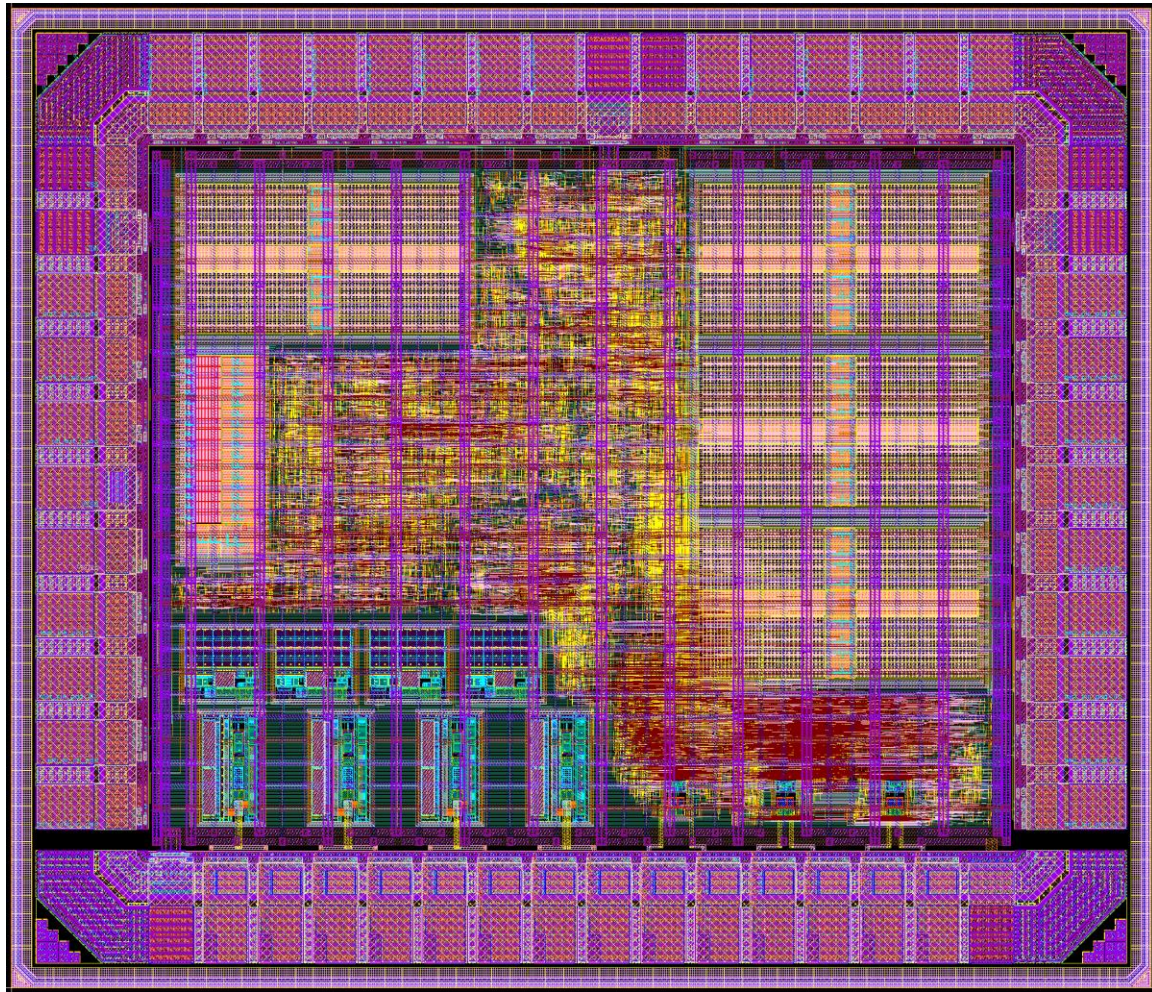
```

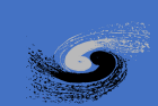
```

source ./scripts/top_pad_all/icc
set PROJECT_PATH /home/ICer/d
set filename tinyriscv_soc_top_p
set MW_DESIGN_LIBRARY $PROJECT_P
#create_mw_lib $MW_DESIGN_LIBRARY
-technology $TECH_FILE \
-mw reference library "$MW_R
$MW_SOFT_MACRO_LIB_DIRS"
#set_mw_lib_reference \
-mw reference library "$MW_R
$MW_SOFT_MACRO_LIB_DIRS" \
$MW_DESIGN_LIBRARY
#close_mw_lib $MW_DESIGN_LIBRARY
open_mw_lib $MW_DESIGN_LIBRARY
set_tlu_plus_files -max tluplus
-min tluplus
-tech2itf_map
check_tlu_plus_files

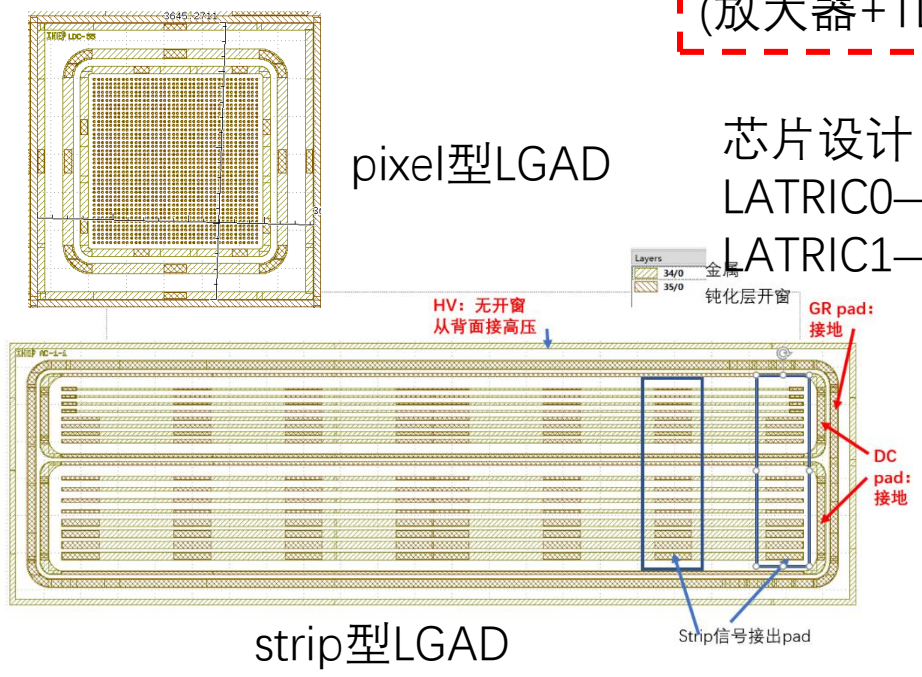
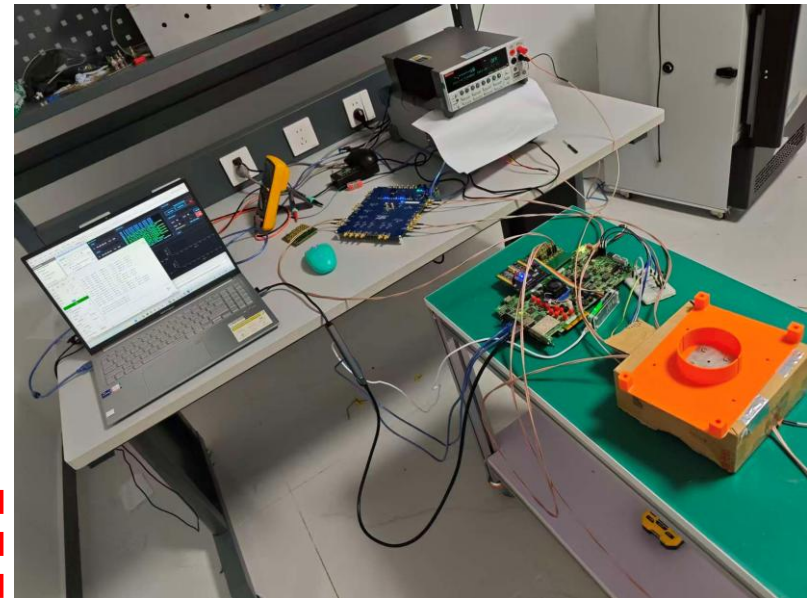
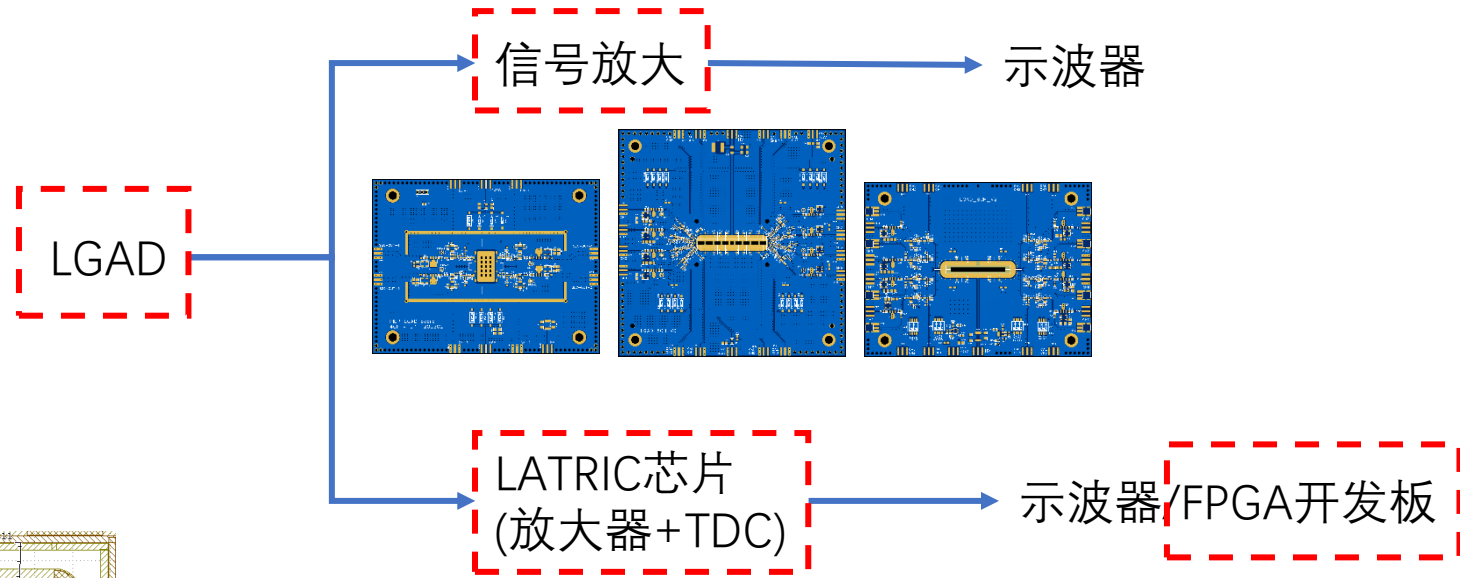
```





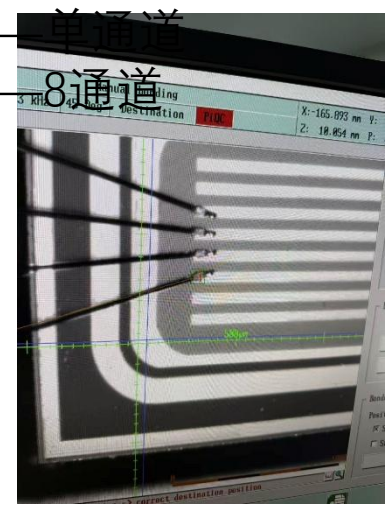


五、本团队电子学相关工作

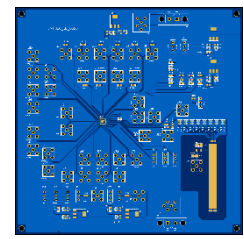


芯片设计

- LATRIC0
- LATRIC1

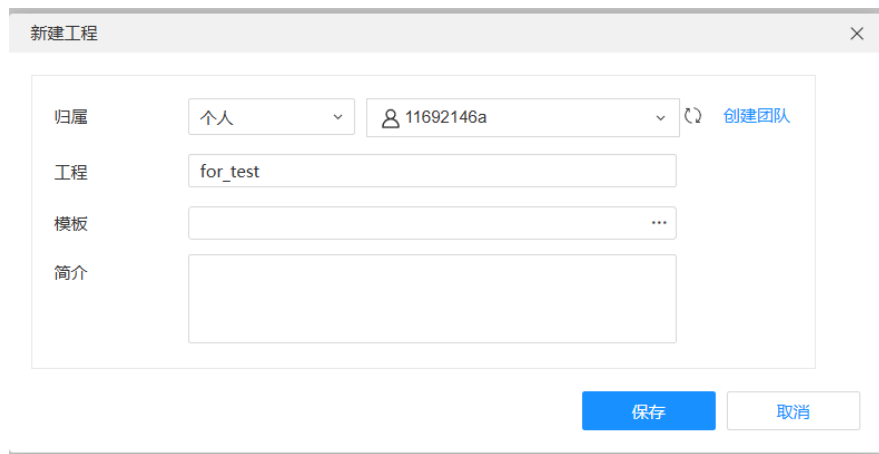
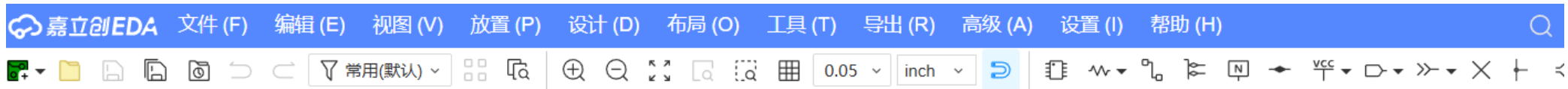


PCB设计

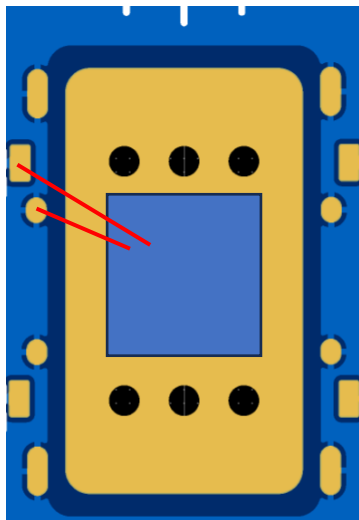
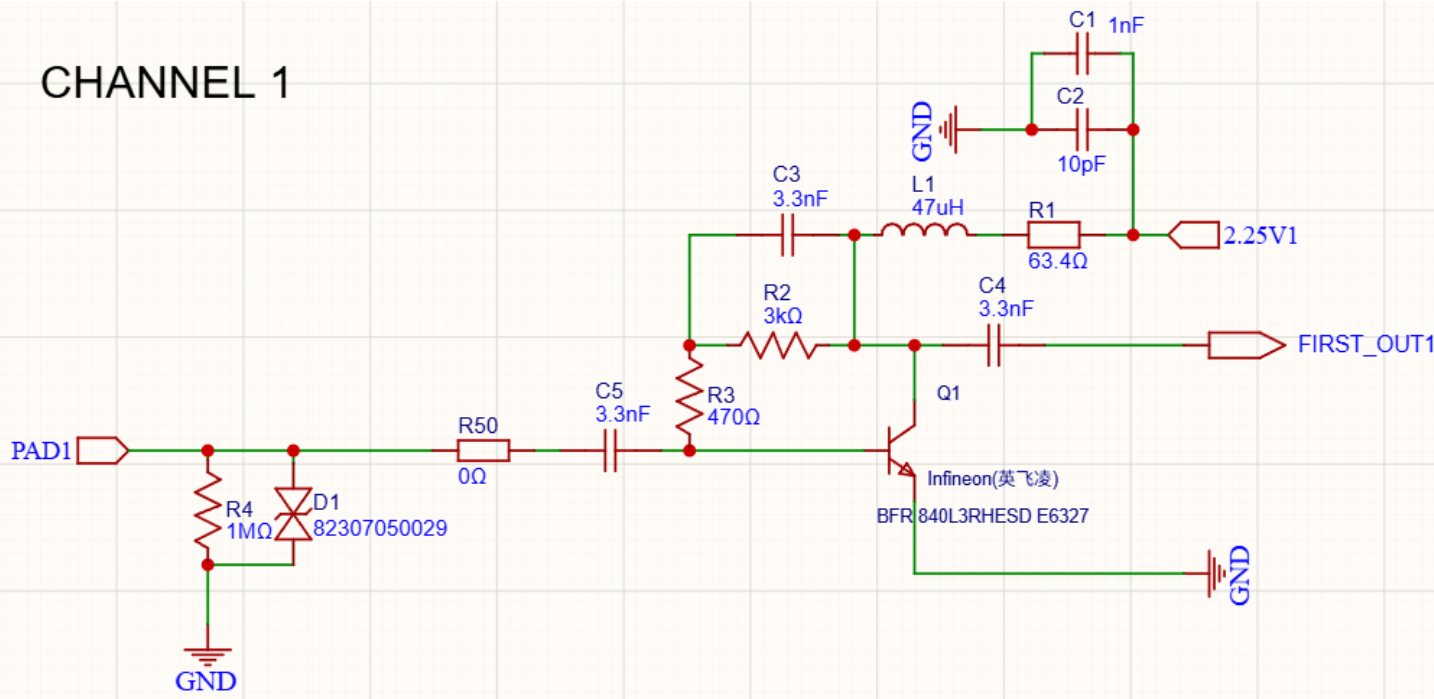


嘉立创EDA(专业版) - V3.2.135

<https://pro.lceda.cn/editor>

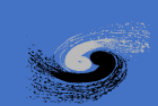


CHANNEL 1

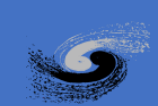


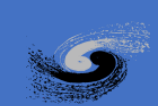
根据所给的一级放大电路，设计LGAD完整的单通道前放板原理图。LGAD信号上升沿约500ps，信号脉宽约2ns。要求：

- (1) 低压5V输入，电源可板上开关；
- (2) 提供LGAD所需高压接口；
- (3) 提供二级放大，约10倍；
- (4) 参考器件：TPS79901DDCR、GALI-52+、DSHP01TSGER；
- (5) 注意实际的电容、电感并非理想；
- (6) 将画好的原理图导出成pdf提交，并说明设计思路，比如选用器件的理由、添加电阻/电容/电感的理由；
- (7) 不要求版图绘制，鼓励作为个人兴趣尝试



中国科学院高能物理研究所
Institute of High Energy Physics, Chinese Academy of Sciences





中国科学院高能物理研究所
Institute of High Energy Physics, Chinese Academy of Sciences