



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

Weekly Meeting

卢云鹏

20260625



设计目标

■ MOST3顶点探测器验收指标

- 空间分辨率 < 3 μm
- 时间标记精度 < 100 ns
- 平均功耗 < 100 mW/cm²

■ FCC Vertex指标

- 空间分辨率 < 3 μm
- 时间标记精度 < 25 ns (需要TOT修正)
- 平均功耗 < 100 mW/cm²

■ HC90L 90 nm CIS工艺验证

总体方案

■ 在大芯片设计中以Taichu架构为出发点

- Trigger应对高本底
- 兼容低事例率的Triggerless
- 暂无高速数据缓存和高速数据传输

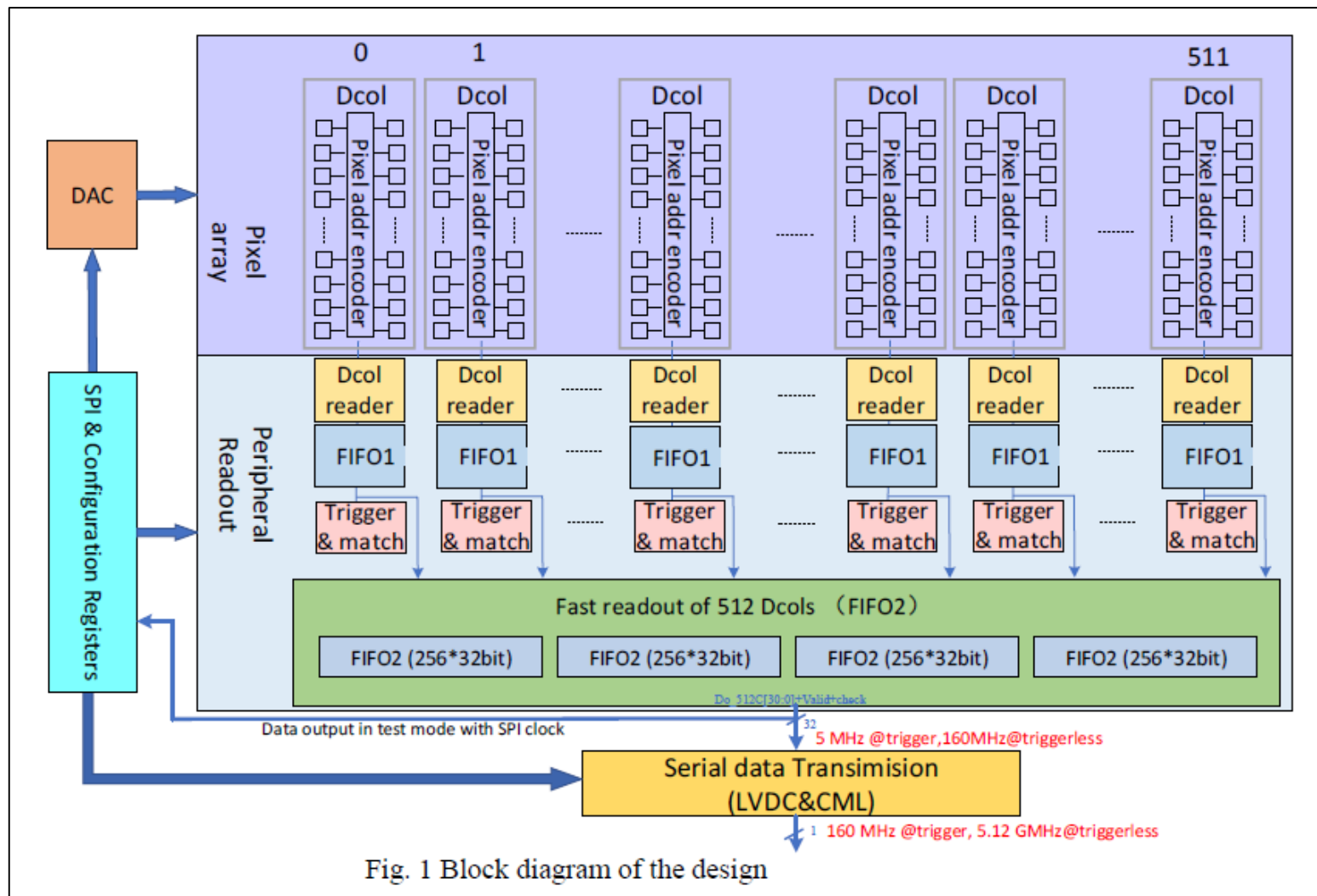
32bit x 5MHz @trigger



Serializer

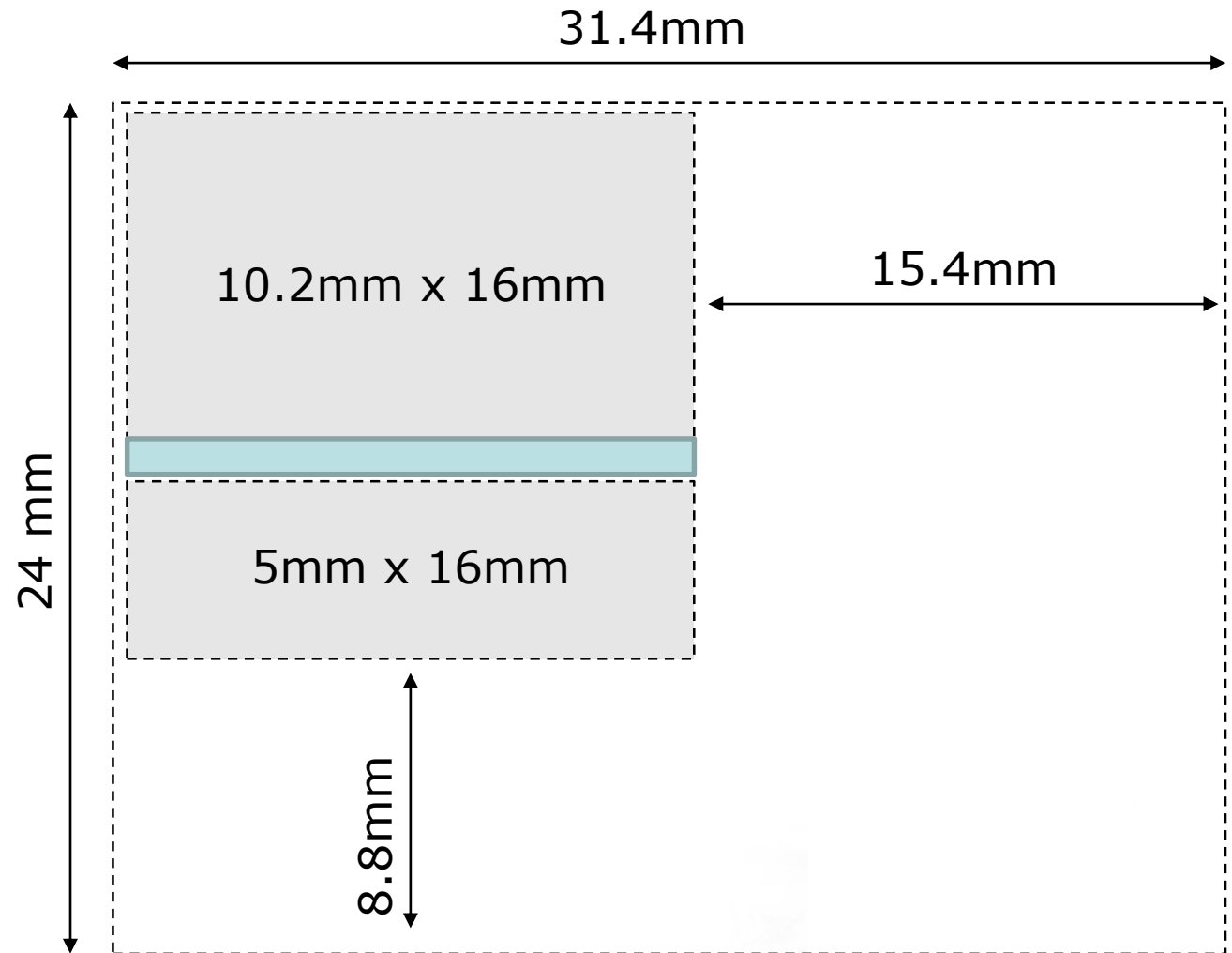
160 MHz diff. clk

160 Mbps data rate @trigger



版图初步规划

- TJ Reticle Size: 23.5mm x 31.5mm
- SK hynix Mask: 25.6mm x 31.4mm
 - 张颖: 24mm x 31.5mm
- 芯片面积估计10.2mm x 16mm
 - 像素16um x 30um
 - 阵列高度16um x 512行 = 8.192 mm
 - 阵列宽度30um x 512列 = 15.36 mm
 - 外围电路+Pad的高度合计2mm
 - 左右两边的宽度合计0.6mm
- 测试电路面积5mm x 16mm



指标拆解

- 目标像素尺寸: 16 x 30 μm
 - 模拟前端16 x 16 μm , 逻辑和读出 14 x 16 μm
- 时间分辨: 100 ns
 - Time walk 75 ns + 时钟采样25 ns
- 平均功耗: 100mW/cm² (芯片总功耗160 mW)
 - 模拟前端80 mW, 读出逻辑10 mW, 数据缓存与触发 60 mW
 - DAC 2 mW, LVDS 3 mW, analog buffer 3 mW
 - 剩余2 mW

设计要点

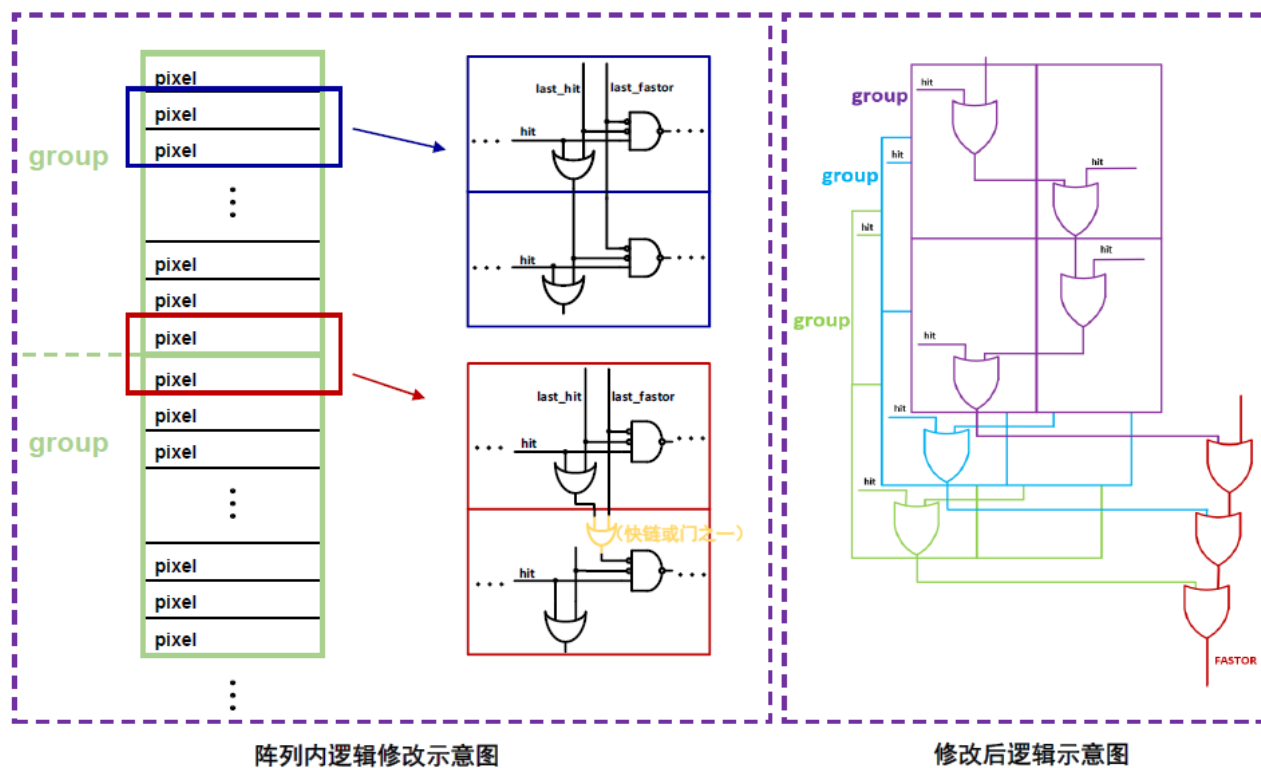
- 模拟前端的TN, FPN, Time walk, 功耗
- FastOR的建立与撤销
 - FastOR的建立与Freeze功能 (见郁晗报告)
 - FastOR的撤销见邓思琪的分析
- 读出逻辑的时序开销
 - FastOR的延迟与时钟采样误差
- 数据缓存和触发的时序, 功耗与面积优化
- 整个芯片的静态功耗
- 可测试性
 - 单模块验证
 - 避免模块级的单点失效

FASTOR逻辑优化

■ 增加定制buffer

- Fastor
- Read
- 16行/组

初步修改



- 阵列内逻辑修改（根本）
 - 慢链（像素内）的或门在分组处断开但优先级仲裁处保持连接
 - 加快FASTOR信号的清除但不影响优先级仲裁
- 外围逻辑修改（行为级层面/辅助）
 - 修改read翻转条件
 - 原设计：FASTOR_syn为高的时钟上升沿翻转
 - 修改后：FASTOR_syn & FASTOR

任务分工

- TaichuPix和JadePix团队核心人员

任务	负责人	单位
总体集成和验证	卢云鹏	高能所
工艺与模拟前端	张颖	高能所
阵列读出逻辑	吴天涯	南昌大学
外围数据读出	魏晓敏	西工大
LVDS	杨苹	华师
DAC	杨苹	华师
负偏压PAD	杨苹	华师
模拟buffer	杨苹	华师

时间计划

■ 初步计划7个月时间

- 方案设计~4周, 6月中
- **方案评审~1周, 6月底**
- 模块设计~4周, 7月底
- **原理图评审~1周, 8月中**
- 版图设计~8周, 10月中
- 总体集成~4周, 12月中
- 设计验证~4周, 12月中
- **设计评审~1周, 12月底**
- 提交流片~1周, 1月初
- 2027年元旦后提交

芯片命名

- Pixelated Resolution-Enhanced CMOS Imaging Sensor (PRECIS)
- 含义解析：
 - PRECIS：取自英语单词 “Precision”（精确）和 “Precise”，体现了粒子物理实验对高精度的极致追求。
 - Pixelated：强调像素化成像能力。
 - Resolution-Enhanced：突出了高空间分辨率的优势。
 - 优势：简洁明了，直接用名字为探测器的质量背书。