

TCAD 半导体探测仿真作业

一、TCAD 的定义与仿真意义

(1) TCAD 定义

TCAD 全称半导体工艺与器件计算机辅助设计，是依托半导体物理核心方程开展数值仿真的技术，主要通过计算机求解泊松方程、电子和空穴连续性方程，模拟半导体器件内部的电势、电场、载流子分布以及输运特性，无需实物流片即可完成器件设计与性能分析。本次实训使用 Sentaurus TCAD 仿真工具，主要包含三个核心功能模块。SDE 结构编辑器用于绘制器件几何外形、定义材料区域、设置掺杂参数并划分仿真网格，搭建完整器件模型；SPROCESS 工艺仿真可以模拟离子注入、高温退火等真实芯片制造工序，构建贴近实际工艺的器件结构；SDEVICE 器件仿真负责求解器件电学特性，能够仿真稳态、瞬态下的电场、载流子浓度、IV、曲线和粒子入射响应等关键参数。

本项目使用 Synopsys Sentaurus TCAD，主要包含三大模块：

SDE（结构编辑器）：用于绘制器件几何结构、定义材料区域、设置掺杂分布并生成仿真网格，构建理想器件模型。

SPROCESS（工艺仿真）：模拟离子注入、退火等真实半导体制造工艺，生成更贴近实际流片水平的器件结构。

SDEVICE（器件仿真）：对已建好的器件与网格进行电学求解，可计算稳态、准静态、瞬态下的电场、载流子浓度、IV、CV 以及粒子入射响应等特性。

(2) 开展 TCAD 仿真的原因

使用 TCAD 开展器件仿真是半导体器件研发和学习的重要手段，相比实物实验优势十分明显。首先，真实流片成本高、周期久，很难反复尝试不同结构和掺杂参数，利用 TCAD 可以快速迭代各类器件参数，大幅节省时间和实验成本。其次，实物测试只能读取电流、电容等外部宏观数据，无法观测器件内部微观变化，而 TCAD 可以直观展示内部电场分布、载流子漂移、雪崩区域位置，能够帮助我们理解器件击穿、电荷收集、信号放大的底层物理机理。同时，针对 PIN、LGAD 等探测器，我们可以通过仿真优化终端结构、增益层参数，改善器件耐压、信噪比和时间分辨性能。对于高能物理探测器的辐照退化问题，也可以通过仿真模型快速分析辐照后器件性能衰减规律，规避实物辐照

实验条件受限的问题。最后，可视化的仿真过程也能帮助我们直观验证课堂所学的半导体物理理论，加深对探测器工作原理的理解。

实际流片实验成本极高、周期长，难以批量尝试结构与工艺参数。TCAD 可以在计算机中快速扫描不同厚度、掺杂、结构与偏置条件，实现大批量参数迭代，显著节约时间与经费。

② 观测器件内部无法实测的微观物理过程

实验测试只能获得电流、电容等宏观结果，而 TCAD 可以直观得到器件内部电场分布、载流子漂移、雪崩区域、电势降落等微观信息，帮助理解器件击穿、电荷收集、信号放大的物理机理。

③ 支撑器件结构与性能优化

针对 PIN、LGAD 等探测器，可通过 TCAD 优化终端结构、增益层参数、衬底掺杂，抑制边缘电场集中、提高击穿电压、提升信噪比与时间分辨能力。

④ 可高效开展辐照损伤仿真研究

高能物理探测器长期辐照退化难以通过大量实物实验研究，TCAD 可引入辐射损伤模型，快速评估辐照后漏电流、增益、收集效率的退化规律。

⑤ 验证半导体物理理论，辅助科研与教学

通过仿真可视化展示耗尽、全耗尽、粒子电离、雪崩倍增等过程，将理论公式与真实器件行为对应，加深对半导体探测原理的理解。

二、TCAD 网格划分核心认知

在 TCAD 仿真中，网格划分并不是越精细越好，合理的网格排布需要兼顾仿真精度、计算速度和数值收敛性，采用疏密结合的划分方式。

（1）网格过粗的问题

如果器件关键区域网格过粗，会出现仿真精度不足的问题。器件结区、电极边缘、增益层和终端区域的掺杂、电场变化非常剧烈，粗网格无法精准捕捉陡峭的电场峰值和掺杂梯度，会抹平器件真实的物理突变特性，最终导致击穿电压数值不准、载流子分布失真、IV 曲线震荡，严重时还会出现仿真不收敛、运算失败的情况。

（2）网格过密、全局加密的问题

反之，对整个器件全部使用细密网格也存在诸多问题。全域密网格会大幅

增加网格数量，占用大量内存，仿真运算速度会显著变慢。同时，过度细密的网格容易产生数值噪声，导致求解矩阵病态、迭代震荡，反而降低收敛稳定性。对于高阻衬底等物理量变化平缓的区域，密网格不会提升仿真精度，只会造成算力浪费。

(3) 合理的网格划分思路

实训采用的网格划分思路为全局粗网格打底、关键区域局部加密。整体器件使用基础稀疏网格，保证基础仿真速度；针对 PN 结界面、掺杂突变位置、电极边缘、JTE 终端、增益层等高梯度区域，根据掺杂梯度自动加密网格，精准求解核心物理过程。同时通过网格收敛性验证，确定最优网格尺寸，避免无效加密，平衡精度与效率。

三、JTE 结构对 PIN 探测器击穿电压的影响

(1) JTE 结构工作原理

普通平面 PIN 探测器存在明显的边缘电场集中问题。器件反向偏压工作时，N++ 阳极边角的电场线高度聚集，边缘电场强度远高于器件体内电场，导致器件还未达到硅材料本征击穿极限，就会出现边缘提前击穿，器件实际耐压性能大幅下降。为解决这一问题，本次仿真引入 JTE 结终端扩展结构，在 N++ 阳极两侧增设低浓度、宽范围的 N 型掺杂区域。反向电压作用下，JTE 区域会优先耗尽，将集中在器件边角的高密度电场横向分散、分摊，平缓边缘电场突变，让器件表面电场与体内电场分布趋于均匀，消除边缘提前击穿现象，有效提升 PIN 器件的击穿电压和工作稳定性。

(2) TCAD 仿真实操搭建

本次仿真基于 Sentaurus SDE 完成，先搭建标准 PIN 器件结构，再新增双侧 JTE 掺杂结构，全程保持器件基础参数、物理模型、网格规则统一，保证对比实验条件一致，仿真结果真实有效。完整实操建模代码如下：

```
===== 基础器件参数定义 =====  
(define Ltot (* 1 1e3))  
(define Htot (* 1 1e3))  
(define depth 0.5)  
(define HOxide 1)  
(define Lanode (* Ltot 0.6))  
(define Xmax (/ Ltot 2))  
(define Ymax (* Htot -1))
```

```
(define Xanode (/ Lanode 2))
```

```
;===== JTE 结构自定义参数 =====
```

```
(define JTE_Peak 1e16) ;JTE 掺杂峰值浓度 1e16 cm-3
```

```
(define JTE_Depth 5) ;JTE 结深 5μm
```

```
(define JTE_Width 100) ;JTE 单侧横向宽度
```

```
(define JTE_Factor 0.8) ;横向扩散系数
```

```
;===== 器件几何结构绘制 =====
```

```
(sdegeo:create-rectangle (position (* Xmax -1.0) 0.0 0.0) (position Xmax  
Ymax 0.0) "Silicon" "EPI")
```

```
(sdegeo:create-rectangle (position (* Xmax 0.5) Ymax 0.0) (position (* Xmax  
1.0) (- Ymax HOxide) 0.0) "SiO2" "SiO21")
```

```
(sdegeo:create-rectangle (position (* Xmax -0.5) Ymax 0.0) (position (* Xmax  
-1.0) (- Ymax HOxide) 0.0) "SiO2" "SiO22")
```

```
;===== 电极定义 =====
```

```
(sdegeo:define-contact-set "anode" 4.0 (color:rgb 1.0 0.0 0.0) "##")
```

```
(sdegeo:define-contact-set "cathode" 4.0 (color:rgb 0.0 0.0 1.0) "##")
```

```
(sdegeo:define-2d-contact (find-edge-id (position 0.0 Ymax 0.0)) "anode")
```

```
(sdegeo:define-2d-contact (find-edge-id (position 0.0 0.0 0.0)) "cathode")
```

```
;===== 基础掺杂配置 =====
```

```
;P 型高阻衬底均匀掺杂 (1e11 cm-3)
```

```
(sdedr:define-constant-profile "Const.EPI" "BoronActiveConcentration" 1e11)
```

```
(sdedr:define-constant-profile-material "PL.EPI" "Const.EPI" "Silicon")
```

```
;P++阴极高斯重掺杂
```

```
(sdedr:define-gaussian-profile "DD.cathode" "BoronActiveConcentration"  
"PeakPos" 0 "PeakVal" 1e19 "ValueAtDepth" 1e11 "Depth" depth "Gauss"  
"Factor" 0.8)
```

```
(sdedr:define-refeval-window "Baseline.cathode" "Line" (position (* Xmax -1) 0  
0) (position (* Xmax 1) 0 0))
```

```
(sdedr:define-analytical-profile-placement "PL.cathode" "DD.cathode"  
"Baseline.cathode" "Negative" "NoReplace" "Eval")
```

```
;N++阳极高斯重掺杂
```

```
(sdedr:define-gaussian-profile "DD.anode" "PhosphorusActiveConcentration"  
"PeakPos" 0 "PeakVal" 1e19 "ValueAtDepth" 1e11 "Depth" depth "Gauss"  
"Factor" 0.8)
```

```
(sdedr:define-refeval-window "Baseline.anode" "Line" (position (* Xanode -1)
Ymax 0) (position (* Xanode 1) Ymax 0))
(sdedr:define-analytical-profile-placement "PL.anode" "DD.anode"
"Baseline.anode" "Positive" "NoReplace" "Eval")
```

===== 新增 JTE 终端掺杂核心代码

=====

;定义 N 型 JTE 宽高斯掺杂

```
(sdedr:define-gaussian-profile "DD.JTE" "PhosphorusActiveConcentration"
"PeakPos" 0 "PeakVal" JTE_Peak "ValueAtDepth" 1e11 "Depth" JTE_Depth
"Gauss" "Factor" JTE_Factor)
```

;左侧 JTE 掺杂区域放置

```
(sdedr:define-refeval-window "Baseline.JTE_L" "Line" (position (- (* Xanode 1)
JTE_Width) Ymax 0) (position (* Xanode -1) Ymax 0))
(sdedr:define-analytical-profile-placement "PL.JTE_L" "DD.JTE"
"Baseline.JTE_L" "Positive" "NoReplace" "Eval")
```

;右侧 JTE 掺杂区域放置

```
(sdedr:define-refeval-window "Baseline.JTE_R" "Line" (position (* Xanode 1)
Ymax 0) (position (+ (* Xanode 1) JTE_Width) Ymax 0))
(sdedr:define-analytical-profile-placement "PL.JTE_R" "DD.JTE"
"Baseline.JTE_R" "Positive" "NoReplace" "Eval")
```

===== 梯度加密网格划分 =====

```
(sdedr:define-refeval-window "RW.Global" "Rectangle" (position -10000 -
10000 0) (position 10000 10000 0))
(sdedr:define-refinement-size "RD.Global" (* Ltot 4e-2) (* Htot 4e-2) (* depth
0.1) (* depth 0.1) )
(sdedr:define-refinement-function "RD.Global" "DopingConcentration"
"MaxTransDiff" 1.0)
(sdedr:define-refinement-placement "RPL.Global" "RD.Global" "RW.Global")
(sde:build-mesh "pin_jte")
```

本次仿真，首先在 SDE 中完成器件几何绘制、基础掺杂、JTE 终端掺杂布设和网格生成，完成器件建模后导入 SDEVICE 模块，设置统一的电学边界条件，开展反向耐压准静态扫描，对比有无 JTE 结构器件的电场分布、漏电特性和击穿特性差异。

(3) 仿真结果与参数对比分析

通过对比仿真可以明显看出，无 JTE 的标准 PIN 器件边缘电场畸变严重，击穿由表面边缘主导，器件耐压被严重限制。添加宽高斯分布的 N 型 JTE 终端后，轻掺杂的 JTE 区域在反向偏压下优先完全耗尽，形成横向电场缓冲层，有效展宽、分摊了阳极边缘的电场尖峰，消除局部高电场畸变。器件击穿机制从边缘表面提前击穿，转变为体内均匀击穿，击穿电压明显提升，更接近高阻硅衬底的理论耐压极限。

同时，加装 JTE 结构后，器件反向漏电流更加平稳，高压工作区间拓宽，器件耐压的一致性和可靠性得到明显改善。

通过多组参数调试，总结出的 JTE 关键参数对器件耐压的影响规律如下：

JTE 掺杂浓度过低，电场分摊缓冲效果不足，无法有效削弱边缘高电场，耐压提升效果不明显；掺杂浓度过高时，JTE 区域无法及时完全耗尽，失去终端缓冲作用，还会形成新的电场突变点，导致击穿电压不升反降，适中的掺杂浓度可实现最优电场调制效果。

JTE 结深决定纵向电场平缓范围，结深过小，纵向电场梯度陡峭，终端优化不充分；合理结深可平缓纵向电场突变，充分发挥终端优化作用，提升器件耐压。

JTE 横向宽度决定侧向电场拓展范围，宽度过小无法完全覆盖边缘高电场区域，优化效果有限；宽度增大至临界值后，电场分布趋于饱和，继续加宽结构，击穿电压无明显提升。

四、DC-LGAD 结构构建原理与工作特性

(1) DC-LGAD 结构设计要求与增益层规范

本次实训在已优化完成的 PIN+JTE 器件基础上，新增 P 型增益层，搭建 DC-LGAD 基础器件结构。按照要求建模，增益层采用高斯分布近似，峰值固定在 $0\mu\text{m}$ 深度，在 $3\mu\text{m}$ 深度位置掺杂浓度衰减至高阻硅基底浓度 $6\times 10^{12}\text{cm}^{-3}$ 。为筛选出耐压区间在 200–300V 的最优结构，我分别设置 $5.1\times 10^{16}\text{cm}^{-3}$ 、 $5.3\times 10^{16}\text{cm}^{-3}$ 、 $5.5\times 10^{16}\text{cm}^{-3}$ 三组峰值掺杂参数进行对照仿真。仿真过程保持器件结构、网格划分、物理模型、电学扫描条件完全一致，仅改变增益层峰值掺杂，保证单一变量，确保实验结果有效可信。

整体器件结构、网格策略、物理模型、电学扫描条件完全一致，仅改变增益层峰值掺杂，保证单一变量，仿真结果可用于参数择优分析。

(2) 增益层核心搭建代码（高斯掺杂定制）

在原有 PIN+JTE 仿真代码基础上，新增 P 型增益层高斯掺杂代码，匹配课程给定的深度衰减规则，同时对增益层区域网格二次加密，精准捕捉雪崩高电场区域的物理变化，核心新增实操代码如下：

```
===== 新增 P+增益层高斯掺杂
=====
;增益层参数：峰值 0μm，3μm 处衰减至 6e12 cm-3，可调峰值浓度
(define Gain_Peak 5.1e16) ;三组对照参数：5.1e16 / 5.3e16 / 5.5e16
(sdedr:define-gaussian-profile "DD.Gain" "BoronActiveConcentration"
"PeakPos" 0 "PeakVal" Gain_Peak "ValueAtDepth" 6e12 "Depth" 3 "Gauss"
"Factor" 0.8)
;增益层窗口限定在器件中心阳极下方，避免延伸至边缘引发电场畸变
(sdedr:define-refeval-window "Baseline.Gain" "Line" (position (* Xanode -0.8)
Ymax 0) (position (* Xanode 0.8) Ymax 0))
(sdedr:define-analytical-profile-placement "PL.Gain" "DD.Gain"
"Baseline.Gain" "Negative" "NoReplace" "Eval")
;增益层界面网格二次加密，精准捕捉雪崩高电场区
(sdedr:define-refinement-window "RW.Gain" "Rectangle" (position (* Xanode -
1) (+ Ymax 2) 0) (position (* Xanode 1) Ymax 0))
(sdedr:define-refinement-size "RD.Gain" 0.02 0.02 0.01 0.01)
(sdedr:define-refinement-placement "RPL.Gain" "RD.Gain" "RW.Gain")
```

(3) 三组增益参数仿真物理规律与性能分析

通过观察三组参数仿真后的电场分布、器件耗尽状态和漏电特性，结合器件工作原理，对不同增益层参数的器件性能进行对比分析。

第一组：峰值浓度 $5.1 \times 10^{16} \text{ cm}^{-3}$

当增益层峰值浓度为 $5.1 \times 10^{16} \text{ cm}^{-3}$ 时，增益层整体掺杂偏弱，高斯衰减规律正常。器件可以实现完全耗尽，JTE 终端也能正常抑制边缘击穿，但增益层形成的局域电场强度不足，无法让载流子获得足够能量发生碰撞电离，器件不具备信号雪崩增益，无法满足 LGAD 探测器的核心工作要求。

第二组：峰值浓度 $5.3 \times 10^{16} \text{ cm}^{-3}$

当增益层峰值浓度为 $5.3 \times 10^{16} \text{ cm}^{-3}$ 时，掺杂梯度适中，契合课程高斯建模标准。仿真结果显示，增益层在阳极下方形成了局域且可控的薄层高电场区，雪崩倍增效应被严格限制在器件中心灵敏区域，衬底电场均匀稳定，仅负责产生原初电离。同时 JTE 终端持续抑制边缘电场集中，器件可以实现稳定全耗尽、可控雪崩增益，无边缘提前击穿问题，各项物理特性均符合 DC-LGAD 器件工作机制，是三组参数中适配性最好的一组。

第三组：峰值浓度 $5.5 \times 10^{16} \text{ cm}^{-3}$

当增益层峰值浓度为 $5.5 \times 10^{16} \text{ cm}^{-3}$ 时，掺杂浓度偏高，器件整体电场被抬升，电场梯度出现畸变。雪崩区域失去约束、完全失控，器件漏电流明显增大，增益随偏压波动剧烈，工作稳定性极差。高掺杂的增益层大幅压缩器件耐压区间，器件容易提前击穿，无法满足 200–300V 的稳定工作要求。

(4) 最优参数结论与最终结构验证

综合三组参数的仿真结果，结合电场分布、耗尽特性、增益可控性和耐压性能可以确定， $5.3 \times 10^{16} \text{ cm}^{-3}$ 是本次仿真的最优增益层峰值参数。该参数下的器件既保留了 JTE 结构的高耐压优势，又能形成稳定可控的雪崩增益区域，成功搭建出合格的 DC-LGAD 基本结构。

对比普通 PIN 探测器，本次搭建的 DC-LGAD 结构可以实现粒子信号内源放大，解决了 PIN 器件原初电离信号弱、信噪比低的问题，同时器件耐压稳定、工作状态可靠，完全完成本次仿真实训的既定目标。

五、DC-LGAD 采用 P 型高阻基底的核心原因

目前主流 DC-LGAD 器件均采用 N++接触-P+增益层-P 型高阻硅-P++接触的结构，舍弃了 N 型基底方案，这主要是由反向偏压下的电场分布和载流子输运特性决定的。

① 电场分布高度可控，雪崩区域精准局限

P 型基底电场分布可控性强。器件反向偏压下，电场由 P++阴极指向 N++阳极，掺杂更高的 P+增益层会形成局域陡峭高电场区，雪崩倍增效应被限制在薄层增益区域。衬底电场均匀偏低，仅产生原初电离，无杂散倍增，器件增益稳定。N 型基底搭配 N+增益层时，电场会弥散在整个衬底，无法约束雪崩区域，增益随偏压剧烈漂移，器件工作不稳定。

② 载流子输运更优，时间分辨率更高

P 型基底载流子输运性能优异。P 型器件以电子为主要漂移载流子，电子迁移率高、输运速度快，电荷收集与信号放大效率高，时间抖动小，时间分辨性能优异，适配高精度粒子探测需求。N 型基底以空穴为主要载流子，空穴迁移率低，信号响应速度慢，无法满足高精度探测标准。

③ 全耗尽特性均匀，漏电流更低

P 型高阻硅工艺成熟，杂质分布均匀，器件可实现整片均匀全耗尽，工作状态稳定。N 型高阻硅易出现杂质补偿不均、局部未耗尽区域，会增大器件漏

电流，降低探测信噪比。

④ 与 JTE 终端结构匹配性更好

P 型基底与 N 型 JTE 终端结构适配性极佳，电场稀释效果稳定，工艺窗口宽，耐压提升效果显著。N 型基底需搭配 P 型 JTE 结构，易受界面电荷干扰，电场易发生畸变，终端优化效果差。

⑤ 辐照可靠性更高

高能辐照环境下，P 型硅载流子寿命退化速率慢，漏电流增幅小，辐照可靠性更高，适配高能物理探测器长期稳定运行的工作场景。