

第九次作业——TCAD 器件仿真与分析

一、TCAD 简介

1.1 TCAD 是什么

TCAD 全称是 **Technology Computer-Aided Design**，即技术计算机辅助设计，是指利用计算机仿真来开发和优化半导体工艺技术与器件的一套工具。在高能物理实验领域，最常用的 TCAD 工具是 **Synopsys 公司的 Sentaurus TCAD 套件**。该套件包含三个核心模块：

SDE（结构编辑器）：用于绘制器件的几何形状，定义不同区域的类型和掺杂分布，并生成计算网格。

SPROCESS（工艺仿真）：通过输入离子注入的剂量、能量等工艺指令，模拟对应的物理化学反应过程，生成接近实际器件的掺杂结构。

SDEVICE（器件仿真）：根据器件结构及电学边界条件，针对设置的稳态或瞬态求解过程，对网格上的节点进行泊松方程和载流子输运方程的数值求解。

TCAD 仿真的核心是求解一组描述半导体物理行为的基本偏微分方程，包括**泊松方程、电子和空穴的连续性方程以及载流子输运方程**。通过有限元方法（FEM）对器件结构进行离散化处理，TCAD 能够计算出器件内部各点的电势、电场、载流子浓度分布等微观物理量。

1.2 为什么要做 TCAD

直接流片（即实际制造）成本太高，而且实验周期长。一片晶圆从投片到完成测试，通常需要数周至数月的时间，单次流片费用高达数万至数十万元。而**使用 TCAD 可在电脑上进行仿真，成本极低，且仿真周期短**——通常在数小时甚至数分钟内就能完成一次完整的器件仿真。

此外，TCAD 还能**直观观测器件实验过程中各种物理量**。通过 TDR（Tecplot Data Reader）生成的二维图像，可以非常直观地看到器件内部的电势分布、电场强度、载流子浓度、电流密度等微观物理量的空间分布。例如：

可以直观地看到 PN 结耗尽区的扩展过程；

可以观测到边缘击穿时电场在电极边缘形成的“尖峰”；

可以追踪粒子入射后电子-空穴对的产生、漂移和收集全动态过程。

这种“可视化”能力是实验测试无法替代的，它为研究人员提供了物理直觉和定量依据，从而更准确地诊断器件问题、优化设计参数。

因此，总结来说做 TCAD 的原因有三：

可视化内部物理量——深入理解器件工作状态

节省时间和成本——可进行大规模参数组合探索

开展辐射损伤研究——可建立辐照损伤模型，预测器件寿命

二、TCAD 的网格划分

2.1 网格的基本概念

TCAD 的网格，可以理解为为了求解物理方程而对仿真区域进行的一种**空间离散化**。我们面对的是一个由硅、二氧化硅等材料构成的连续半导体器件，其中的电势、电场和载流子浓度是连续变化的。但计算机无法直接处理这种“连续”的问题，它只能进行离散的数值计算。因此，TCAD 会把这个连续的器件区域，用无数个细小的、不重叠的单元分割开来，这些单元和它们的顶点共同构成了网格。

2.2 网格并非越精细越好

TCAD 网格**不一定越精细越好**。网格划分的关键是**权衡计算精度与计算效率**。

精细的网格意味着网格单元更小、数量更多，因此能更精确地捕捉到物理量在空间上的剧烈变化，例如 PN 结界面处掺杂浓度的陡峭变化。但代价是**计算量呈指数级增长**——网格点增加一倍，内存消耗可能增加四倍，仿真时间也会大幅延长。

反之，粗糙的网格计算量小、速度快，但**可能会遗漏关键区域的物理细节**，导致仿真结果不准确甚至完全不收敛。

我的实际经验：在测量反向击穿电压时，添加 JTE 结构之后，计算量本来就已经很大了，设置的网格又不算小，导致进行计算一次的时间有点长。当把网格精细度降低后，计算速度明显加快。但是也不能盲目为了加快计算速度而过度降低网格数量，网格数量降低的同时也意味着计算精度的降低。

2.3 网格划分策略

因此，合理的网格划分策略是：

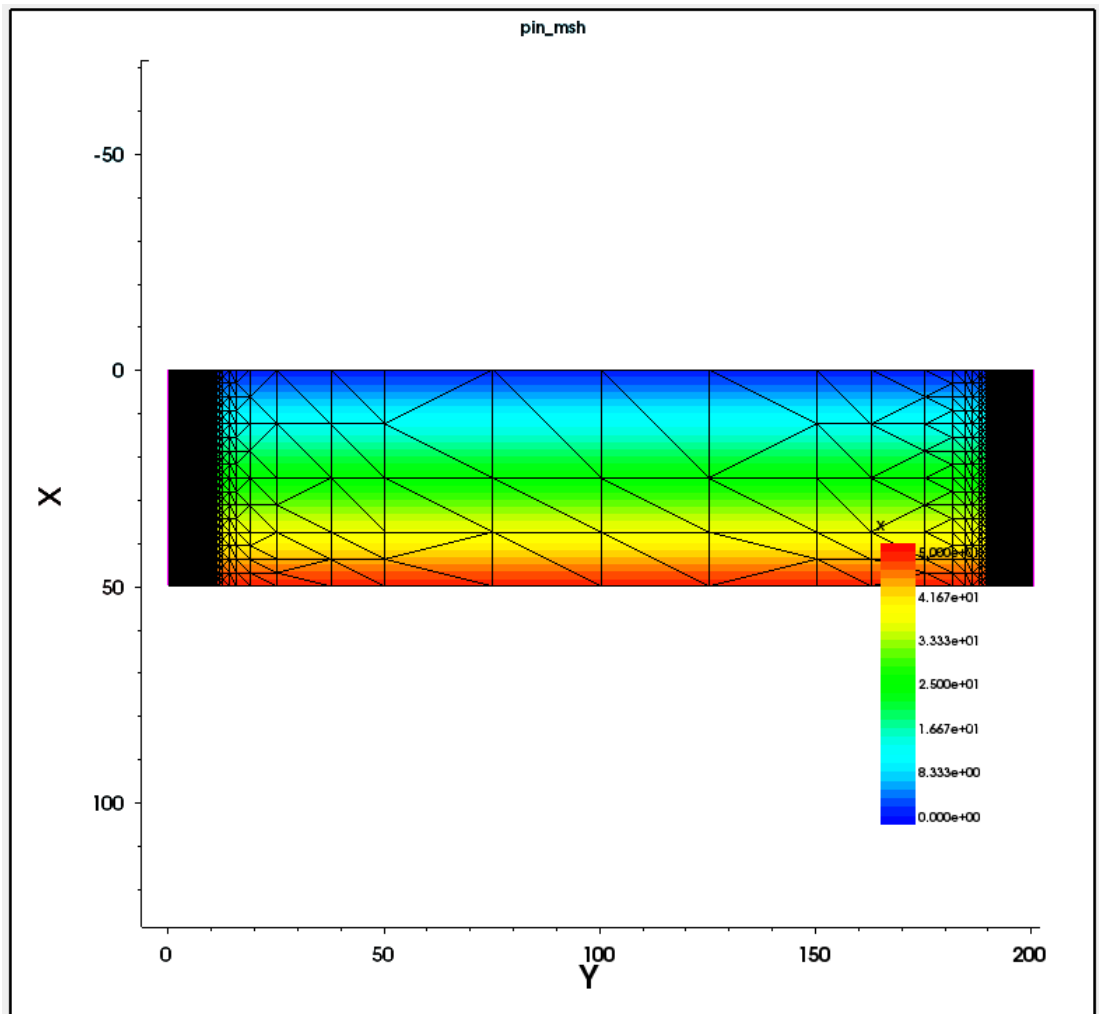
在平缓的地方可以适当降低网格数量——例如器件体区（均匀掺杂区域）

在接触面附近或者需要重点观测的地方需要增加网格数量——例如 PN 结界面、电极边缘、高电场区域

TCAD 提供多种网格划分方法，其核心思想都是**非均匀网格**：

空间几何区域法：根据器件外形的几何特征来划分网格。在电极边缘、曲率较大的拐角处，人为划定更小的区域，要求软件在此处生成更密集的网格。





三、添加 JTE 结构的 PIN 二极管

3.1 JTE 的原理

在一个 PIN 二极管的器件中，核心的 PN 结位于器件中央的有源区。当给器件施加反向偏压时，电场主要集中在 PN 结附近。但是在 PN 结的**边缘**，即有源区的边界处，电场线会变得非常密集，导致这里的电场强度远高于中央区域。这种在边缘出现的**电场尖峰**会使得器件在远未达到设计耐压值时，就在边缘发生提前击穿，从而限制了器件的最大工作电压。

JTE (Junction Termination Extension, 结终端扩展) 正是为了解决这个边缘击穿问题而设计的一种终端技术。它的基本思想是在主 PN 结的边缘，通过离子注入等方式，引入一个与主结掺杂类型相同、但掺杂浓度更低的扩展区域。这个低掺杂的 JTE 区域就像是一个缓冲区，它能够将原本集中在主结边缘的电场，分摊到一个更宽广的区域内，从而有效抑制了边缘的电场集中效应，提高了器件的击穿电压。

3.2 仿真参数设置

在示例代码的基础上添加 JTE 结构。使用高斯分布来近似 JTE 的掺杂分布，参数如

下:

参考位置 (横向宽度): 初始设置为器件边缘附近

峰值浓度: 约 $6.8 \times 10^{15} \text{ cm}^{-3}$ (由于衬底浓度提高至 $1 \times 10^{14} \text{ cm}^{-3}$, JTE 浓度需相应调整)

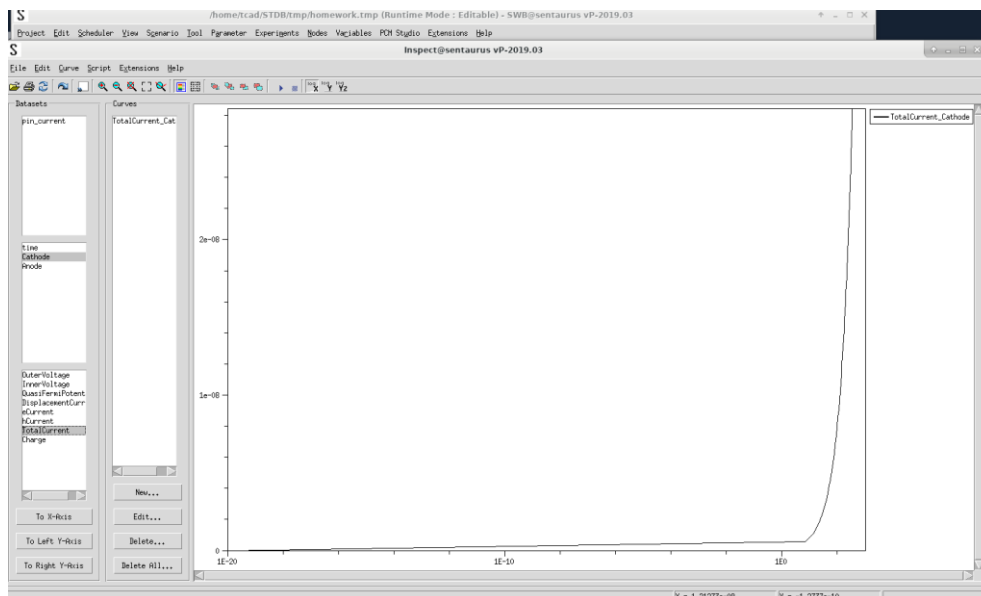
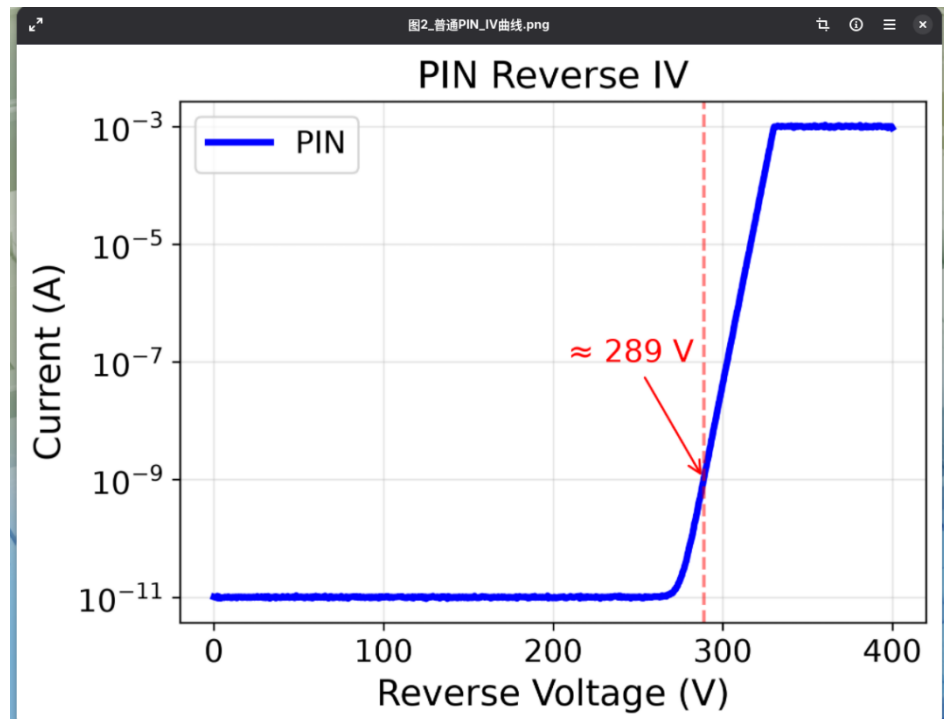
结深: 约 $5 \mu\text{m}$

关于衬底浓度的补充说明: 最初使用 PPT 上给定的普通 PIN 的衬底掺杂浓度, 反向电压设置 250V, 测量出来的 IV 曲线类似一次函数上升, 即 I 与 V 成正比例。分析发现, 如果衬底浓度过低, 电压还没加到雪崩临界电压, 耗尽区已经从顶部 N+ 结一直扩展到底部 P+ 阴极, 耗尽区贯穿整个硅层——这就是**穿透击穿 (punch-through)**, 其表现形式就是电流随电压近似线性上升。因此, 我**提高了衬底浓度到 $1 \times 10^{14} \text{ cm}^{-3}$** , 也提高了反向电压的最大值, 才观测到雪崩击穿现象。

3.3 仿真结果

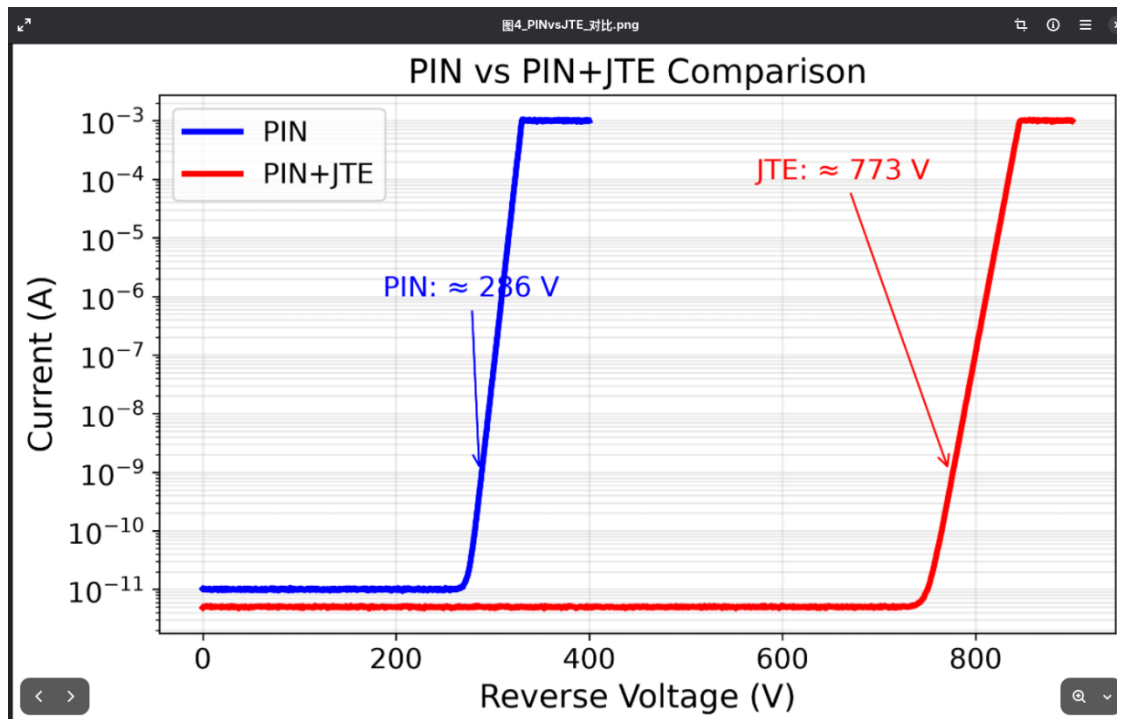
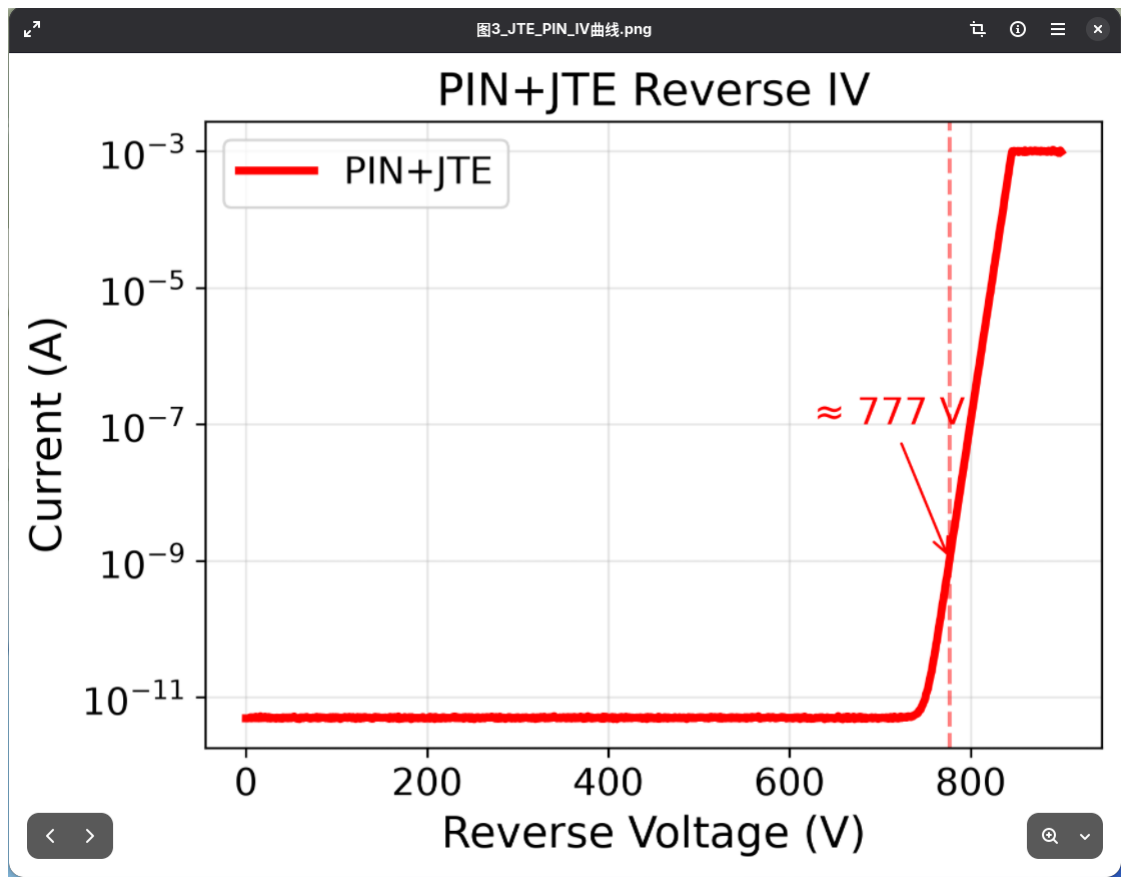
(1) 普通 PIN 结构

由于衬底掺杂浓度低, 普通 PIN 结构的击穿电压较高。第一次测量时, 看到卡住循环之后就直接停止了, 导致取样点数不够, 测出来的线条很粗糙



(2) 添加 JTE 结构后的 PIN

添加 JTE 结构后再进行击穿电压测试，可见击穿电压明显上升



四、DC-LGAD 的基本结构（选做）

4.1 添加增益层

在（3）的基础上，给器件添加一个增益层。增益层同样可以用**高斯分布**来近似，但需要注意**浓度不要太高**，以免过早发生雪崩击穿或导致器件无法正常工作。

增益层参数参考：

掺杂类型：P 型（与衬底相同）

峰值浓度：约 $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$

结深：约 $1 \mu\text{m}$

位置：位于 N++ 接触层下方

如果添加这个增益层之后，器件可以正常工作（即在合理的偏压范围内表现出雪崩增益），那么就得到了一个 **DC-LGAD（DC-Coupled Low Gain Avalanche Detector）** 的基本结构。

4.2 LGAD 的工作原理

LGAD（Low Gain Avalanche Detector）的核心目标是在基本不增加电子学噪声的前提下，将粒子入射产生的微弱信号进行适度放大（通常增益在 10–50 倍），以提高信噪比和时间分辨率。

从结构上看，LGAD 可以理解为在传统 PIN 探测器的基础上，嵌入了一个额外的**增益层**。以主流的 P 型高阻硅 LGAD 为例，从上到下依次是：

n++层（重掺杂 N 型层）：位于器件最上方，是信号读出的电极接触层。

p+层（重掺杂 P 型增益层）：在 N++ 下方注入一个 P+ 层，会形成一个局部的高电场区域。原初电离的电子-空穴经过这一段高电场区域时被加速，获得足够高的能量，激发出次级电子-空穴对，即“雪崩电离”过程。

p-层（轻掺杂 P 型高阻硅基体）：器件主体，即探测器的灵敏体积。

p++层（重掺杂 P 型层）：位于器件最下方，作为另一个欧姆接触电极。

五、LGAD 主流结构分析

5.1 主流结构

我们的 LGAD 通常采用 **P 型的高阻硅**，采用：

N++接触 → P+增益层 → P 型高阻硅 → P++接触

而不是另一种可能的结构：

P++接触 → N+增益层 → N 型高阻硅 → N++接触

5.2 为什么选择 P 型高阻硅结构

选择 P 型高阻硅为核心的原因，需要从器件全耗尽时的**内部电场方向**来分析。

在 n++-p⁺-p⁻-p++结构中，当探测器加上反向偏压并完全耗尽后，器件内部的**电场方向是从顶部的 n++指向底部的 p++**，即**自上而下**。此时，p+增益层形成一个电场强度远高于周围区域的局部强电场区。

当一个高能带电粒子穿过探测器灵敏体积时，会沿途电离出大量的**电子-空穴对**。在电场作用下：

电子被电场加速向上漂移（朝向顶部的 n++电极）

空穴被电场加速向下漂移（朝向底部的 p++电极）

在此结构中，电子会首先经过位于 n++下方的 p+增益层，从而有机会被加速并触发雪崩放大，实现信号的倍增。

核心原因：电子的碰撞电离率远大于空穴

选择由**电子**来触发雪崩，是基于硅材料中电子与空穴的两种重要物理特性差异：

碰撞电离系数差异：硅中电子的碰撞电离系数 (α_n) 远大于空穴的碰撞电离系数 (α_p)。这意味着电子在相同的强电场下触发雪崩的概率更高、放大效率更好，从而能以更低的偏压实现理想的增益。

迁移率差异：室温下硅中电子的迁移率（约 1350 cm²/V·s）远高于空穴的迁移率（约 480 cm²/V·s）。迁移率越高，载流子在相同电场下的漂移速度越快，能够产生更快、更窄的信号脉冲，这对于高能物理实验所追求的皮秒级时间分辨率至关重要。

额外原因

时间分辨率：电子漂移速度比空穴快，电子主导的倍增过程时间涨落更小，时间分辨率更优。

辐射硬度：P 型硅在辐照下的缺陷演化和载流子去除效应相对更有利于探测器性能保持。在高亮度对撞机等强辐射环境下，P 型硅在经受高能粒子辐照后，其性能退化通常比 N 型硅更缓慢，表现出更好的抗辐射加固能力。

5.3 另一种结构的缺陷

如果采用 $p^{++}-n^{+}-n^{-}-n^{++}$ 结构, 为了仍使顶部的 n^{++} 作为信号读出电极, 则增益层就必须是位于其下方的 n^{+} 层。此时, 为了让载流子漂向这一增益层, 器件内部的电场方向必须反转 (从底部的 p^{++} 指向顶部的 n^{++}), 这样一来, 被加速进入增益层并触发雪崩的将会是空穴, 而非电子。由于空穴的碰撞电离率远低于电子, 这会导致:

增益效率显著降低 需要更高的偏压才能达到相同的增益 时间响应特性变差

5.4 总结

综上所述, LGAD 主流选择 $n^{++}-p^{+}-p^{-}-p^{++}$ 结构, 是综合考虑了电场方向、载流子动力学、信号速度、放大效率和抗辐射性能等多方面因素后做出的精妙设计。它利用了硅材料中电子迁移率更高、电离系数更大的物理优势, 并兼顾了器件的长期可靠性, 从而满足了前沿高能物理实验对探测器高时间分辨和强抗辐照能力的苛刻要求。

六、作业总结

这次作业我遇到了前所未有的困难, 总结如下:

6.1 软件使用困难

接触一个全新的软件对于我的接受能力提出了较大的挑战 通过上网查询和对 ai 的询问才慢慢把作业给完成掉

6.2 经验教训

解决了这么多问题后, 我发现 **AI 还是不够聪明**, 有时需要自己去读报错的内容, 理解到底是为什么出错, 才能理清思路。AI 甚至会给出误导性的建议。。。

以后还是不能依赖于 AI 教学 多自己学习 上权威的网站学习