

TCAD 半导体探测仿真实训第九次作业

一、TCAD 基本概念与仿真研究价值

(1) TCAD 概念介绍

TCAD 全称半导体工艺与器件计算机辅助设计，是依托半导体物理核心方程组开展数值求解的仿真技术。通过计算机迭代求解泊松方程、电子与空穴连续性方程，复现半导体器件内部电势、电场、载流子分布以及电荷输运全过程，无需制作实物芯片即可完成器件方案设计与电学性能预判。本次实训选用 Synopsys Sentaurus TCAD 仿真套件，整套工具分为三大核心功能模块：

1. SDE 结构编辑器：绘制器件二维几何轮廓、划分不同材料区域、自定义掺杂参数并生成仿真网格，搭建理想理论器件模型；
2. SPROCESS 工艺仿真模块：复刻离子注入、高温退火等芯片真实制造流程，构建和实际流片工艺高度贴合的器件结构；
3. SDEVICE 器件求解模块：对建好网格的器件模型进行电学数值计算，支持稳态、瞬态工况下电场、载流子浓度、IV/CV 特性曲线、高能粒子入射响应等参数仿真提取。

(2) 开展 TCAD 仿真的实际意义

在半导体探测器研发与课程学习过程中，TCAD 仿真是不可或缺的研究手段，对比实物实验具备多重显著优势：

1. 降低研发成本、缩短迭代周期

实体流片造价高昂、加工周期漫长，很难大批量尝试不同结构、掺杂参数组合。借助 TCAD 软件可在计算机内批量扫描衬底厚度、掺杂浓度、终端结构、外加偏压等变量，快速完成多方案迭代，大幅节约实验经费与时间成本。

2. 观测实物测试无法获取的微观内部信息

线下实验仅能采集电流、电容等外部宏观电学数据，无法直观观察器件内部变化；而

TCAD 仿真可可视化输出器件内部电场分布、载流子漂移轨迹、雪崩倍增区域、电势降落等微观信息，便于深入理解器件击穿、电荷收集、信号放大背后的物理机制。

3. 支撑 PIN、LGAD 类探测器结构优化

针对高能探测常用 PIN、LGAD 探测器，可依靠仿真优化结终端结构、增益层掺杂与厚度、衬底掺杂水平，缓解边缘电场集中问题，提升击穿电压、信噪比与时间分辨能力。

4. 辐照损伤特性高效研究

高能物理探测器长期工作会产生辐照性能衰减，大规模实物辐照实验条件受限、成本极高；TCAD 可嵌入辐射损伤物理模型，快速模拟辐照后漏电流、电荷增益、收集效率的衰减规律。

5. 辅助课堂理论验证，夯实物理基础

仿真可视化呈现耗尽、全耗尽、粒子电离、雪崩倍增等物理过程，将课本理论公式与器件实际工作行为对应，直观加深半导体探测器相关理论理解。

二、TCAD 仿真网格划分关键点

TCAD 仿真中网格密度并非越精细仿真效果越好，合理网格方案需要平衡仿真精度、计算耗时与数值收敛稳定性，采用“全局粗网格打底、关键区域局部加密”的疏密搭配策略。

（1）网格划分过粗带来的缺陷

若器件核心区域网格尺寸过大，会直接造成仿真精度严重不足。PN 结界面、电极边角、增益层、结终端区域掺杂浓度、电场强度变化梯度极大，粗网格无法精准捕捉陡峭电场峰值与掺杂突变，抹平器件真实物理特征，最终击穿电压计算偏差、载流子分布失真、IV 曲线出现明显震荡；极端情况下会出现数值不收敛、仿真运算直接中断。

（2）全域高密度网格的弊端

若对器件全部区域统一使用细密网格，会衍生多重问题：全域网格数量激增，内存占

用大幅上升，仿真计算速率显著下降；过度细密网格易引入数值噪声，造成求解矩阵病态、迭代过程持续震荡，反而降低收敛稳定性。针对高阻衬底这类物理量变化平缓区域，加密网格不会提升仿真精度，只会无意义消耗算力资源。

(3) 最优网格规划方案

本次实训采用分层网格设计思路：整体器件采用基础稀疏网格保障基础运算速度；针对 PN 结分界面、掺杂突变区域、电极边缘、JTE 结终端、雪崩增益层等高梯度区域，依据掺杂梯度变化自动局部加密，精准求解核心物理过程。同时完成网格收敛性验证，确定各区域最优网格尺寸，杜绝无效加密，兼顾仿真精度与计算效率。

三、JTE 终端结构对 PIN 探测器击穿电压的调控作用

(1) JTE 结终端扩展结构工作机理

常规平面型 PIN 探测器存在边缘电场集中缺陷。器件施加反向偏压工作时，N++ 阳极边角电场线高度聚集，表面电场强度远高于器件体内电场，器件未达到硅本征击穿极限就发生边缘提前击穿，大幅降低器件耐压上限。

为改善该缺陷，本次仿真引入 JTE 结终端扩展结构，在 N++ 阳极左右两侧增加低浓度、宽横向范围的 N 型掺杂区域。施加反向电压时，JTE 区域会优先完全耗尽，将集中在阳极边角的高密度电场横向分散、分摊，平缓表面电场突变，使器件表面与体内电场分布趋于均匀，消除边缘提前击穿现象，有效提升 PIN 探测器击穿电压与高压工况稳定性。

(2) Sentaurus SDE 仿真建模流程

本次仿真采用控制变量法，先搭建无 JTE 终端的标准 PIN 基准器件，再在相同基础参数、物理模型、网格规则下增加双侧 JTE 掺杂结构，保证两组对比模型实验条件统一，仿真对比结果具备可信度。核心建模代码逻辑如下：

1. 定义器件基础几何尺寸参数，包含硅外延层厚度、器件横向总长度、氧化层厚度、

阳极尺寸、JTE 专属参数（掺杂峰值浓度、结深、单侧横向宽度、横向扩散系数）；

2. 绘制硅衬底、表层氧化层二维矩形几何区域；

3. 定义阳极、阴极电极标识与接触边界；

4. 配置基础掺杂体系：P 型高阻衬底均匀低浓度硼掺杂、P++ 阴极高浓度硼高斯掺杂、N++ 阳极高浓度磷高斯掺杂；

5. 在阳极左右两侧新增 N 型 JTE 宽高斯掺杂区域，完成双侧终端掺杂布设；

6. 设置全局基础网格，针对掺杂梯度变化区域开启自动加密规则，生成完整器件网格文件。

模型搭建完成后导入 SDEVICE 模块，设置统一电学边界条件，开展反向偏压准静态扫描，对比有无 JTE 结构器件的电场分布、反向漏电、击穿电压三项核心特性。

（3）仿真结果与 JTE 参数规律分析

对比仿真结果表明：无 JTE 终端的标准 PIN 器件表面边缘电场畸变严重，击穿由阳极边角主导，器件耐压被大幅限制；增加 N 型宽高斯 JTE 终端后，轻掺杂 JTE 区反向偏压下完全耗尽，形成横向电场缓冲层，有效展宽、分散阳极边缘电场尖峰，消除局部电场畸变。器件击穿机制由表面边缘提前击穿转变为硅体内均匀击穿，击穿电压显著提升，更加贴近高阻硅衬底理论耐压极限。

同时，搭载 JTE 结构后器件反向漏电流曲线更加平稳，稳定高压工作区间拓宽，器件耐压一致性与长期可靠性得到优化。

多组 JTE 参数扫描仿真总结出参数影响规律：

1. JTE 掺杂峰值浓度偏低：电场分摊缓冲效果不足，无法有效削弱边缘高电场，耐压提升幅度有限；浓度过高时，JTE 区域难以完全耗尽，丧失终端缓冲功能，还会产生新的电场突变点，击穿电压不升反降，只有适中掺杂浓度才能实现最优电场调制；

2. JTE 结深：决定纵向电场平缓范围，结深过小纵向电场梯度陡峭，终端优化效果不足；匹配合理结深可平缓纵向电场突变，充分发挥耐压提升作用；

3. JTE 横向宽度：控制侧向电场拓展范围，宽度不足无法完全覆盖边缘高电场区域，优化效果微弱；宽度提升至临界值后电场分布趋于饱和，继续加宽结构击穿电压无明显提升。

四、DC-LGAD 器件结构设计原理与电学工作特性

(1) DC-LGAD 器件结构设计标准与增益层参数设置

本次实训在经过 JTE 终端优化的 PIN 器件基础上，增加 P 型增益层，搭建 DC-LGAD 探测器模型。增益层采用高斯掺杂近似，掺杂峰值设置在硅表层 $0\mu\text{m}$ 深度，在 $3\mu\text{m}$ 深度位置掺杂浓度衰减至高阻硅基底浓度 $6\times 10^{12}\text{ cm}^{-3}$ 。

为筛选耐压稳定区间 200–300V 的最优增益层方案，设置三组不同增益层峰值掺杂对照仿真： $5.1\times 10^{16}\text{ cm}^{-3}$ 、 $5.3\times 10^{16}\text{ cm}^{-3}$ 、 $5.5\times 10^{16}\text{ cm}^{-3}$ 。仿真全程保持器件几何结构、网格划分策略、物理模型、电学扫描参数完全一致，仅修改增益层峰值掺杂浓度，严格遵循单一变量原则，保证仿真对比结果有效。

(2) 增益层高斯掺杂建模核心代码

在原有 PIN+JTE 仿真代码基础上，新增 P 型增益层高斯掺杂模块，严格匹配给定深度衰减规则，同时对增益层区域网格二次加密，精准捕获雪崩高电场区域微观变化，关键新增代码逻辑：

1. 自定义增益层峰值浓度变量，分别代入三组对照数值；
2. 定义增益层高斯掺杂分布：峰值位于 $0\mu\text{m}$ ， $3\mu\text{m}$ 深度衰减至 $6\text{e}12\text{ cm}^{-3}$ ，设置扩散系数；
3. 限定增益层掺杂窗口仅分布在中心阳极正下方，避免掺杂延伸至器件边缘引发电场畸变；
4. 针对增益层薄层区域设置精细化网格尺寸，完成局部网格加密，提升雪崩区域求解精度。

(3) 三组增益掺杂参数仿真性能对比

结合电场分布、器件全耗尽状态、漏电流曲线分析三组参数对应的器件工作性能：

1. 峰值掺杂 $5.1 \times 10^{16} \text{ cm}^{-3}$: 增益层整体掺杂水平偏弱, 高斯衰减趋势正常, 器件可实现完全耗尽, JTE 终端正常抑制边缘击穿; 但增益层形成的局域电场强度不足, 载流子无法积累足够能量发生碰撞电离, 器件不具备雪崩信号增益, 不满足 LGAD 探测器核心工作要求。
2. 峰值掺杂 $5.3 \times 10^{16} \text{ cm}^{-3}$: 掺杂梯度适中, 完全匹配建模标准。仿真结果显示阳极下方增益层形成局域可控薄层高电场区, 雪崩倍增效应仅集中在器件中心灵敏探测区; 衬底电场均匀且强度偏低, 仅产生原初电离信号, 无额外杂散倍增。搭配 JTE 终端可稳定抑制边缘电场集中, 器件实现全耗尽与可控雪崩增益, 无提前击穿现象, 各项物理特性完全契合 DC-LGAD 工作机制, 是三组方案中综合性能最优参数。
3. 峰值掺杂 $5.5 \times 10^{16} \text{ cm}^{-3}$: 掺杂浓度偏高, 整体器件电场水平抬升, 电场梯度出现畸变, 雪崩倍增区域失去空间约束; 器件反向漏电流显著上升, 增益随外加偏压波动剧烈, 工作稳定性较差。高掺杂增益层压缩器件耐压区间, 极易发生提前击穿, 无法实现 200–300V 稳定工作目标。

(4) 最优参数确定与器件结构验证

综合电场分布、耗尽均匀性、增益可控性、耐压区间四项性能指标对比, 确定 $5.3 \times 10^{16} \text{ cm}^{-3}$ 为本次仿真最优增益层峰值掺杂参数。该方案保留 JTE 结构高耐压优势, 同时形成稳定可控的雪崩增益区域, 完成合格 DC-LGAD 基础器件搭建。

对比传统 PIN 探测器, 本次设计的 DC-LGAD 可实现粒子原初信号片内雪崩放大, 解决 PIN 探测器电离信号微弱、信噪比偏低的缺陷, 同时器件耐压稳定、高压工况可靠性强, 圆满完成本次 TCAD 仿真实训既定任务。

五、DC-LGAD 选用 P 型高阻衬底的核心原因

当前主流 DC-LGAD 通用结构为 N++ 接触-P+ 增益层-P 型高阻硅-P++ 阴极接触, 行业普遍放弃 N 型衬底方案, 核心由反向偏压下电场分布、载流子输运、辐照稳定性等特性决定:

1. 电场调控能力强, 雪崩区域空间可控

P 型衬底电场分布可控性优异。反向偏压下电场由 P++ 阴极指向 N++ 阳极, 高掺杂 P+ 增益层形成局域陡峭高电场薄层, 雪崩倍增效应被限制在增益层内; 衬底电场均匀且

强度偏低，仅负责生成原初电离电荷，无额外杂散倍增，器件增益稳定性高。若采用 N 型衬底搭配 N+增益层，电场会弥散至整个衬底，雪崩区域无法约束，增益随偏压大幅漂移，器件工作状态不稳定。

2. 电荷输运速度快，时间分辨性能更佳

P 型衬底器件以电子作为主要漂荷载流子，电子迁移率远高于空穴，电荷输运、收集速度更快，信号放大效率高，时间抖动小，能够满足高能粒子高精度时间探测需求。N 型衬底以空穴为主要输运载流子，迁移速率低，信号响应迟缓，无法适配高精度探测标准。

3. 全耗尽均匀性好，漏电流水平更低

P 型高阻硅制备工艺成熟，体内杂质分布均匀，器件可实现整片均匀全耗尽，高压工作状态稳定。N 型高阻硅易出现杂质补偿不均匀问题，局部区域无法完全耗尽，会显著提升器件反向漏电流，降低探测信噪比。

4. 与 N 型 JTE 终端结构适配性优良

P 型衬底搭配 N 型 JTE 结终端结构，电场稀释优化效果稳定，工艺容错窗口宽，击穿电压提升效果显著；若采用 N 型衬底，需要配套 P 型 JTE 终端，易受硅/氧化层界面电荷干扰，电场分布极易畸变，终端耐压优化效果大打折扣。

5. 高能辐照环境可靠性更高

长期高能辐照工况下，P 型硅内部载流子寿命衰减速率更慢，辐照后漏电流增幅更小，器件性能衰减平缓，适配高能物理探测器长期持续运行的使用场景。