

8.20汇报

芯片像素阵列延迟模型与Freeze插入

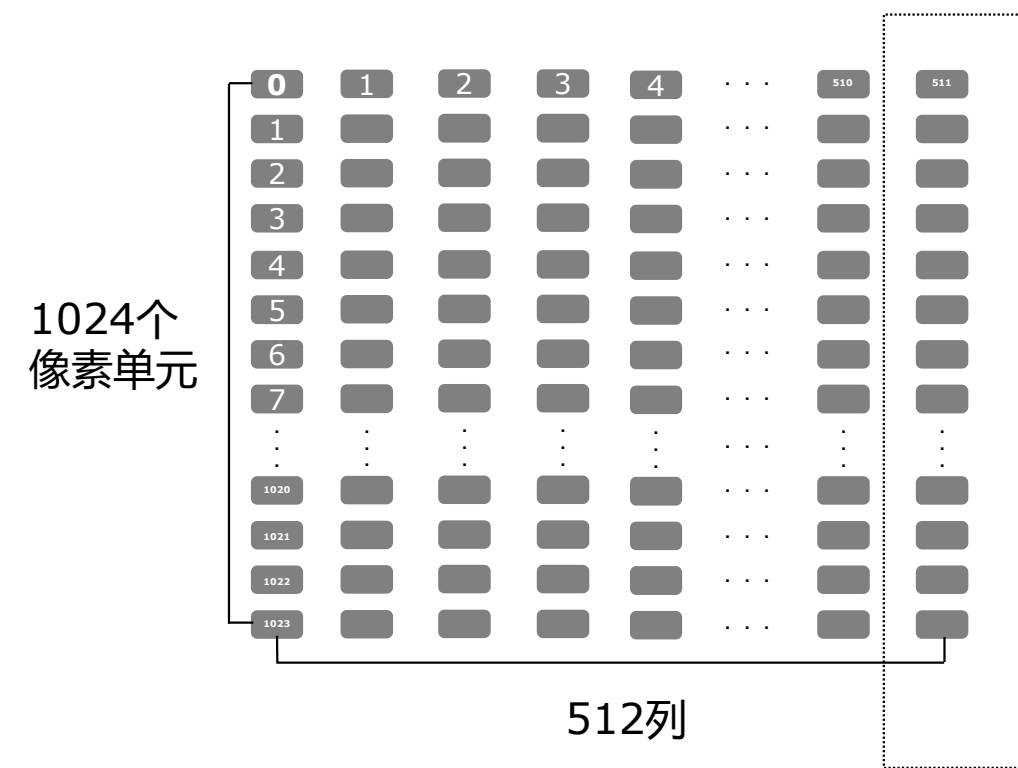
高能物理研究所

郁晗

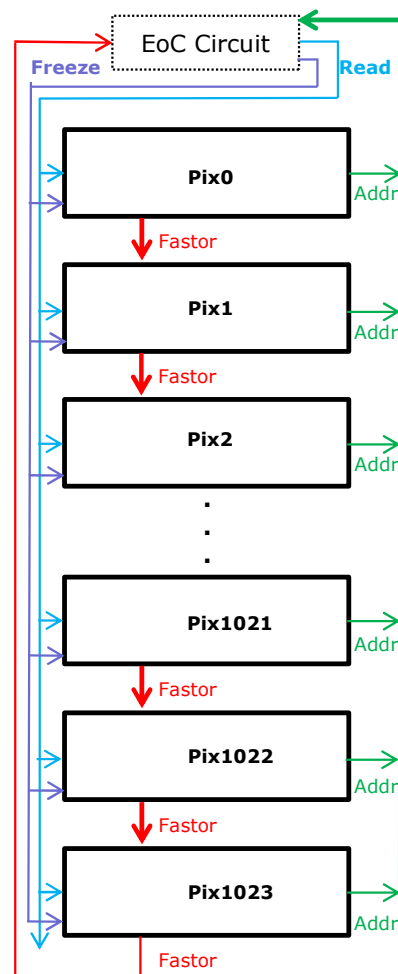


整体512*1024像素阵列延迟模型

512*1024模型框图



单列像素模型



关注四个关键信号的延迟

1. Fastor
2. Read
3. Freeze
4. Addr



整体512*1024像素阵列延迟模型

延迟模型

1. Fastor
2. Read
3. Freeze
4. Addr

1. Fastor

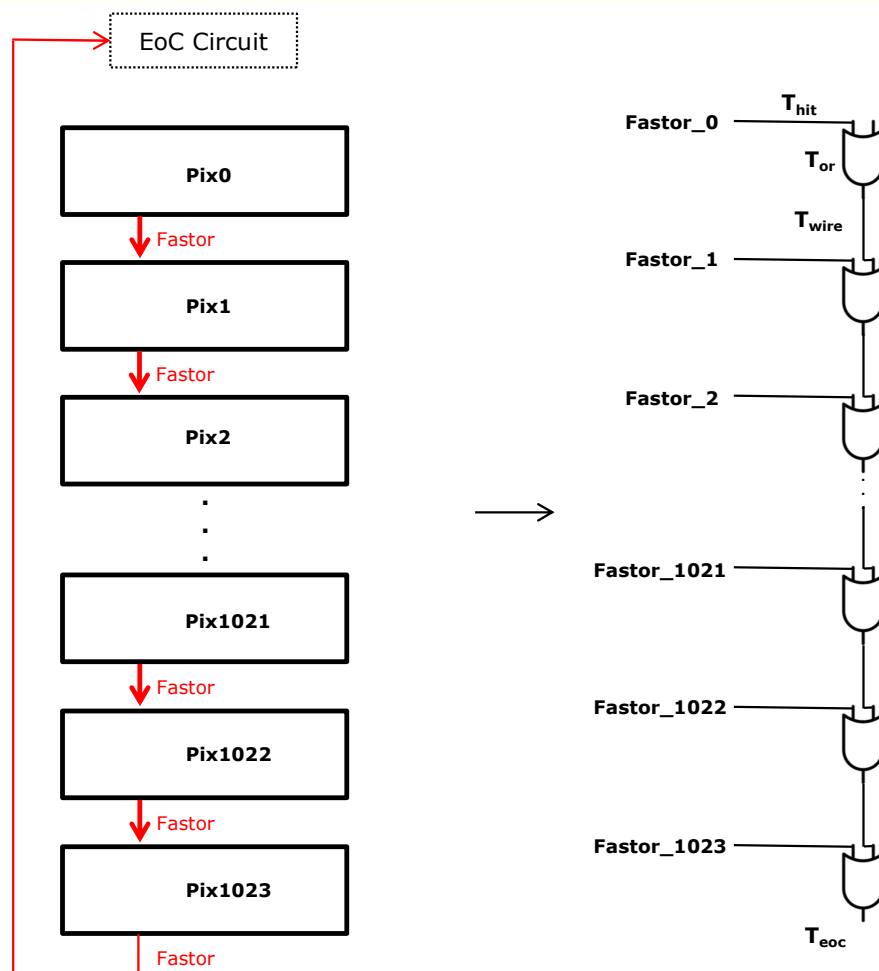
T_{hit} : 从击中到fastor到或门

T_{wire} : 或门内延迟

T_{or} : 或门到或门

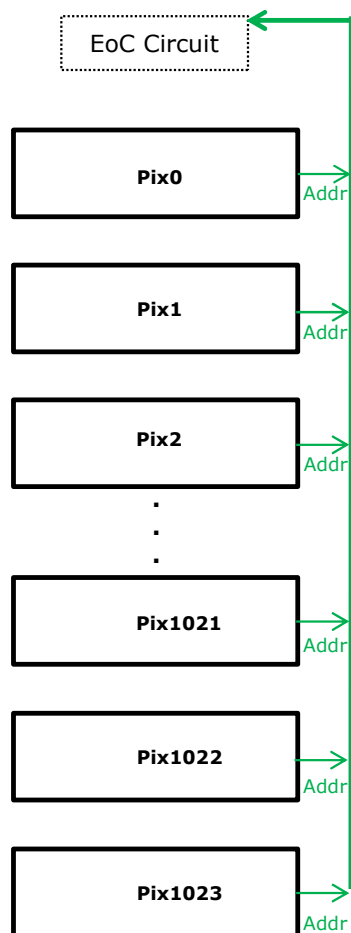
T_{eoc} : 或门返回EOC

$$T_k = T_{hit} + (1024-k) \times T_{or} + (1023-k) \times T_{wire} + T_{eoc}$$

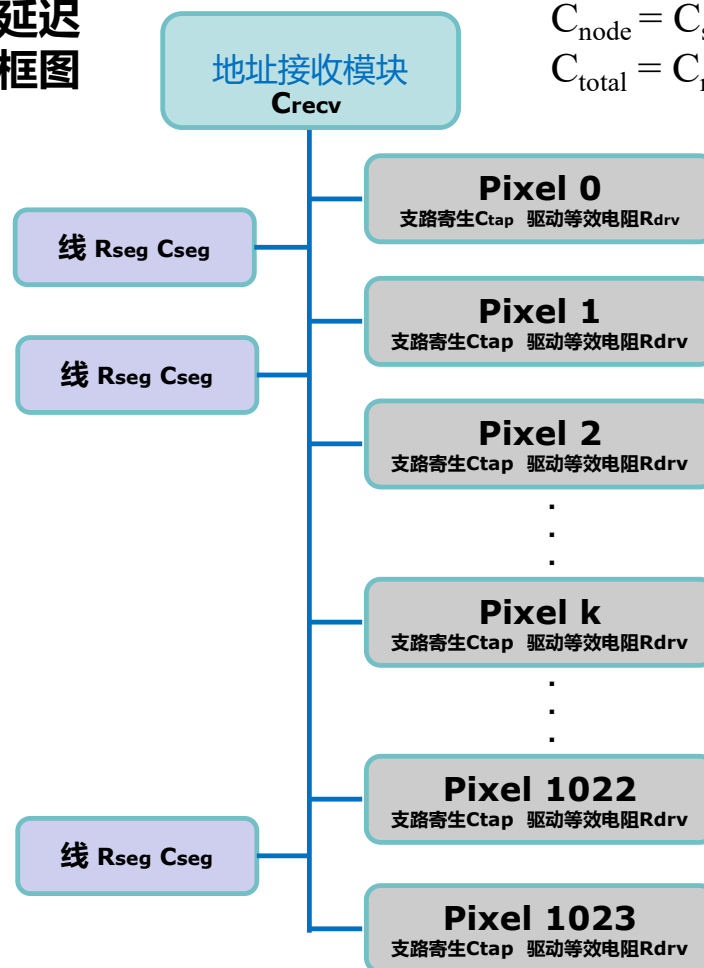


整体512*1024像素阵列延迟模型

2.Addr



延迟框图



$$C_{\text{node}} = C_{\text{seg}} + C_{\text{tap}}$$

$$C_{\text{total}} = C_{\text{recv}} + 1024 * C_{\text{tap}} + 1023 * C_{\text{seg}}$$

Elmore模型估计

对于pixel 2
Pixel 2 到 EOC 经过2段线

$$T = R_{\text{drv}} \times C_{\text{total}} + R_{\text{seg}} \times (C_{\text{node}} + C_{\text{recv}}) + R_{\text{seg}} \times (2 * C_{\text{node}} + C_{\text{recv}})$$

对于pixel k
Pixel k 到 EOC 经过k段线

$$T = R_{\text{drv}} \times C_{\text{total}} + R_{\text{seg}} \times (C_{\text{node}} + C_{\text{recv}}) + R_{\text{seg}} \times (2 * C_{\text{node}} + C_{\text{recv}}) + \dots + R_{\text{seg}} \times (k * C_{\text{node}} + C_{\text{recv}})$$

$$= R_{\text{drv}} * C_{\text{total}} + R_{\text{seg}} \times (k * (k+1) C_{\text{node}} / 2 + k * C_{\text{recv}})$$



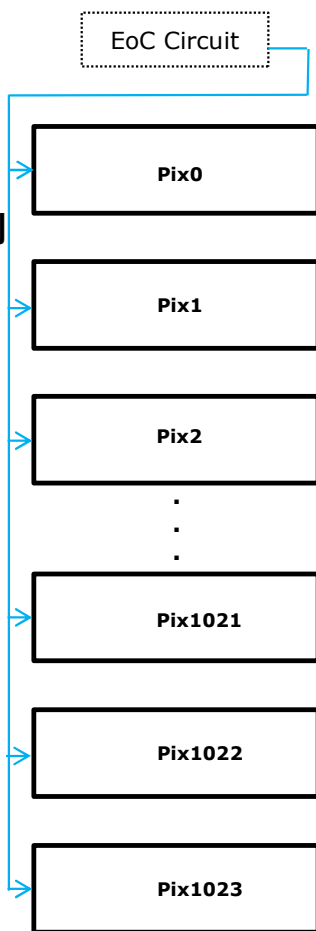
整体512*1024像素阵列延迟模型

3.Read /Freeze

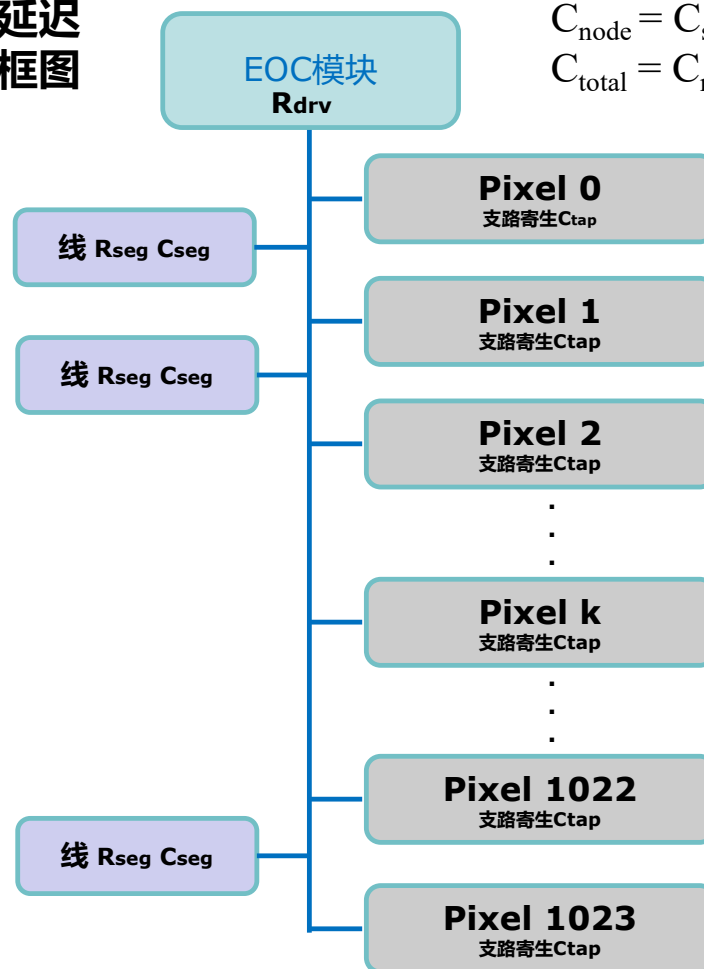
T_{wire} : 线延迟

T_{eoc} : EOC到pix0线延迟

T_{wire}



延迟框图



$$C_{node} = C_{seg} + C_{tap}$$

$$C_{total} = C_{recv} + 1024 * C_{tap} + 1023 * C_{seg}$$

Elmore模型估计

对于pixel 2
EOC 到 Pixel 2 经过2段线

$$T = R_{drv} \times C_{total} + R_{seg} \times 1023 * C_{node} + R_{seg} \times 1022 * C_{node}$$

对于pixel k
Pixel k 到 EOC 经过k段线

$$T = R_{drv} \times C_{total} + R_{seg} \times 1023 * C_{node} + R_{seg} \times 1022 * C_{node} + \dots + R_{seg} \times (1024 - k) * C_{node}$$

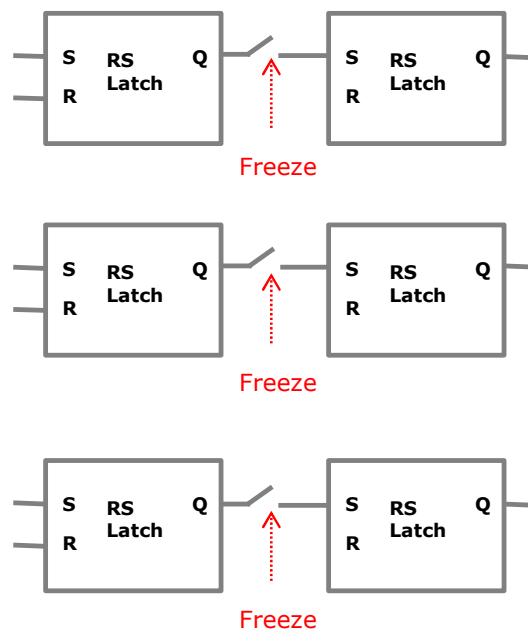
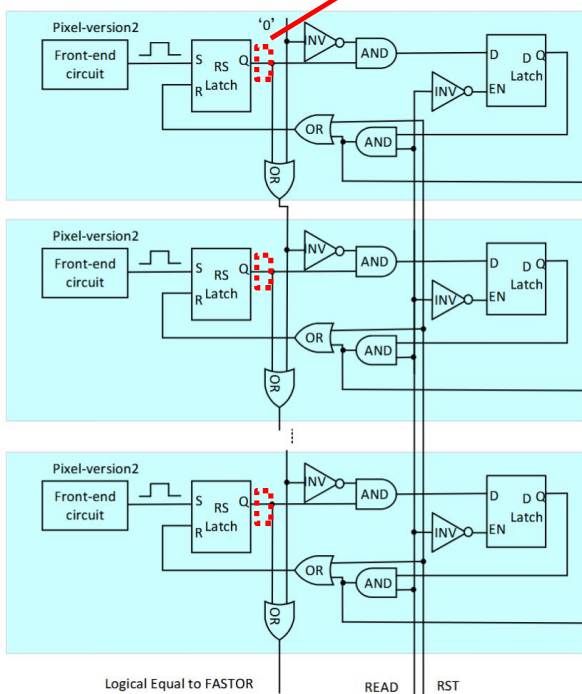
$$= R_{drv} * C_{total} + R_{seg} * C_{node} \times (1024 * k - k * (k + 1) / 2)$$



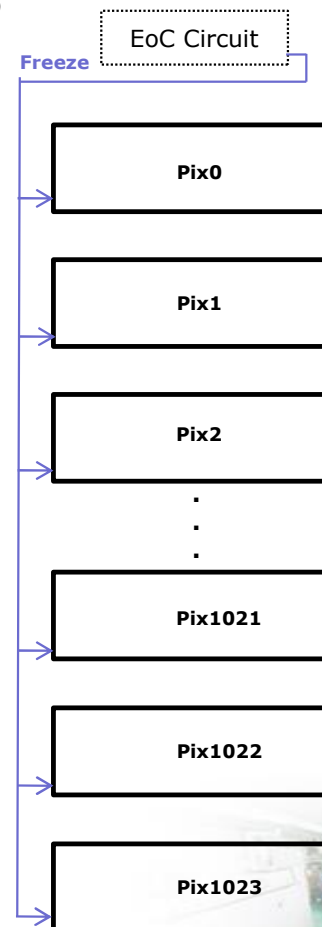
Freeze信号的插入

像素内部

插入另外一个RS Latch



像素外部



总结

- 构建不同信号的延迟仿真模型
 - Fastor
 - Read & Freeze
 - Addr
- Freeze信号的插入方案
 - 增加一级SR寄存器，Freeze加入到两级中间
- 后续安排
 - 对Fastor的延迟模型加入快慢链结构（邓思琪 FASTOR重复读出bug复现和修正）
 - 具体延迟模型随着架构布局更新
- 会上总结：
 - 这个模型再加入fast，加入上下沿不同延迟，还是要尽量与模拟对齐，赋值
 - 一列挨个排布太理想，还是存在具体结构，像素排布，布线排布

