

PXD硅像素探测器高速数据处理系统的研究

赵京周、刘振安、林海川

**核探测与核电子学国家重点实验室
高能物理研究所触发组**

报告提纲

一

课题背景

二

课题相关领域国内外发展现状

三

关键技术的设计实现

四

测试结果

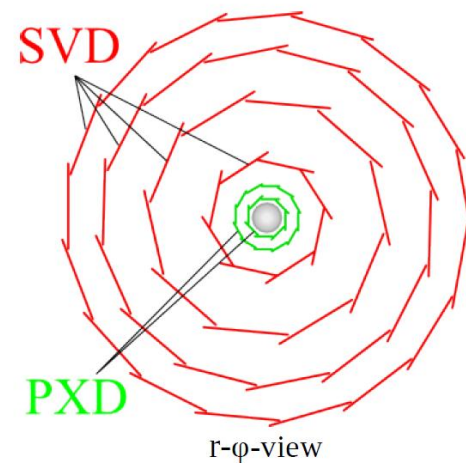
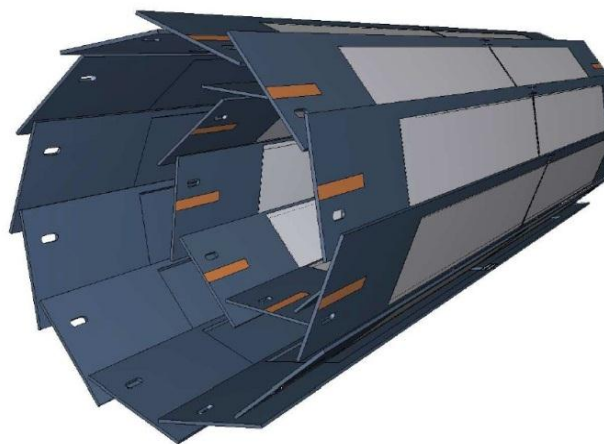
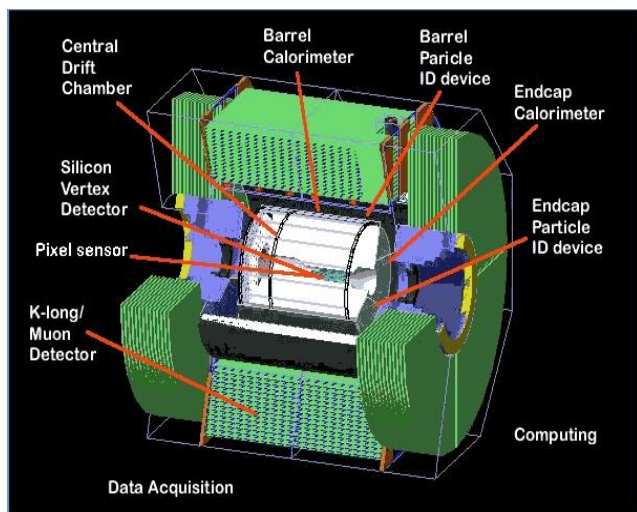
五

小结

一、课题背景

1、Belle II介绍

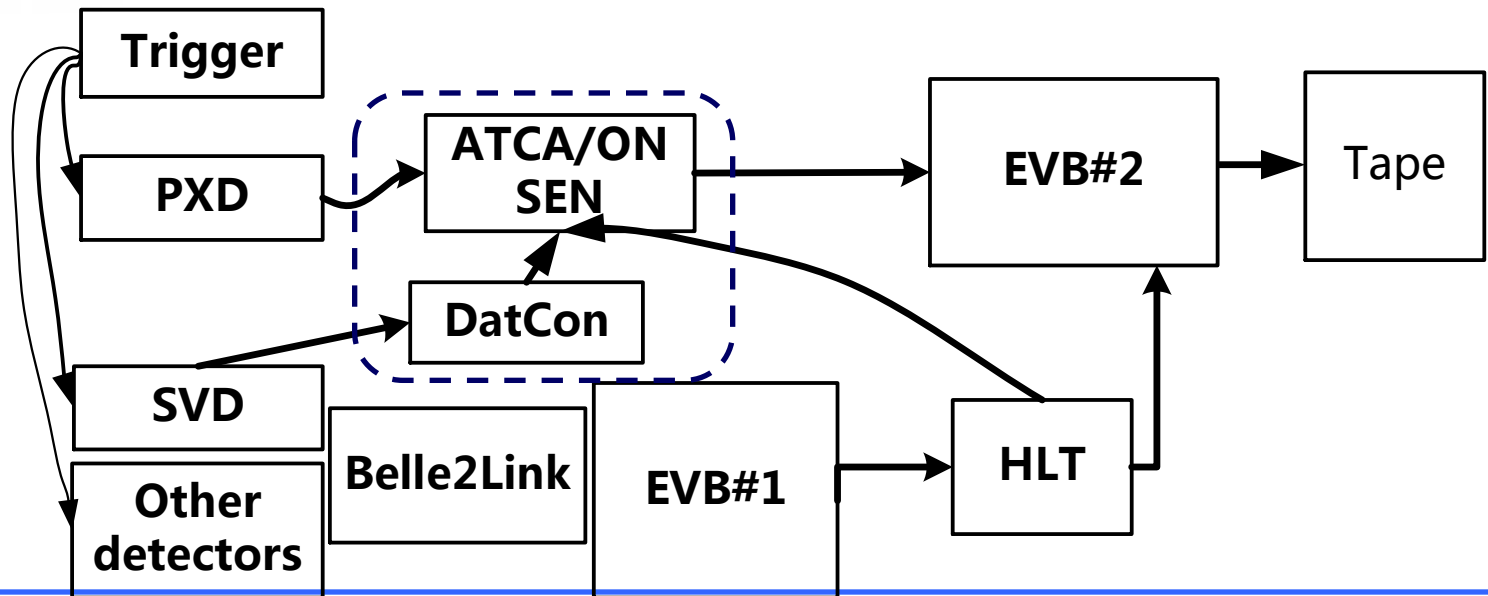
- ❖ SuperKEKB 是日本KEKB 的升级改造工程，它是一个不对称能量的双环正负电子对撞机，正负电子能量分别在4 GeV 和7 GeV，设计亮度 $8 \times 10^{35} \text{ cm}^{-2} \text{ s}^{-1}$ 。Belle II 是将运行在SuperKEKB上的探测器，也是原Belle探测器的升级，它由束流管，硅像素探测器(PXD)、顶点探测器(SVD)、中央漂移室(CDC)、粒子鉴别探测器(PID)、电磁量能器(ECL)以及 K_L^0 粒子和 μ 粒子探测器(KLM)等探测器组成。
- ❖ PXD探测器是升级改造工程中增加的新型探测器，位于Belle II的最内层，产生的数据量巨大，常规的数据读出系统根本不能满足Belle II后端读出的要求。



一、课题背景

2、 Belle II DAQ系统介绍

- ❖ 数据获取系统主要由前端电子学、高速数据读出及处理系统、事例重建系统和高级触发系统（HLT）几部分组成。
- ❖ 数据获取系统的高速数据处理系统根据读出及数据处理的方式不同分为了两部分，一部分为只负责PXD硅像素探测器高速数据处理系统，另一部分为负责除PXD以外的的所有Belle II探测器的Belle2Link全局高速数据读出与传输系统。PXD前端电子学将PXD探测器数字化后的所有信号（包括本底噪声）通过高速数据传输送入PXD高速数据处理系统，系统根据SVD探测的粒子轨迹信息对PXD探测器的数据进行减底。Belle2Link全局读出系统的任务是读出由触发系统给出的一级触发决定的探测器信号。



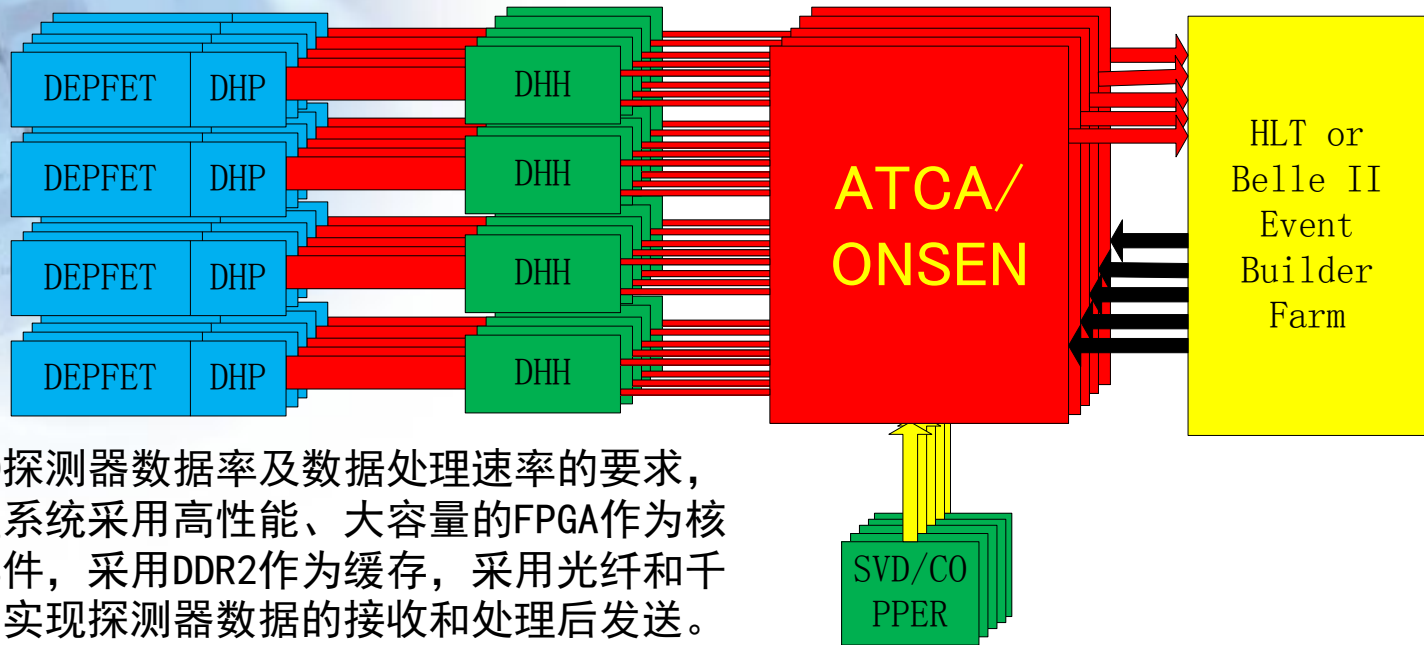
一、课题背景

3、 Belle II PXD DAQ数据率介绍

	数据量	备注	对应路数	输入输出方式
平均occupancy	1%			
最大occupancy	3%			
Half ladder数	40			
平均数据量 (half ladder)	174MB/s(1.74Gbps)	4Bx43.6x10 ⁶ Hz	1	SFP+
最大数据量 (half ladder)	523MB/s(5.23Gbps)	4Bx131x10 ⁶ Hz	1	SFP+
平均数据量 (PXD)	6.97GB/s(69.7Gbps)	4Bx1.74x10 ⁹ Hz	40	SFP+
最大数据量 (PXD)	20.9GB/s(209Gbps)	4Bx5.23x10 ⁹ Hz	40	SFP+
平均输出数据率(half ladder)	5.81MB/s	(1/3) x (1/10) x 174MB/s	1	千兆网
最大输出数据率(half ladder)	17.4MB/s	(1/3) x (1/10) x 523MB/s	1	千兆网
平均输出数据率(PXD)	232MB/s	(1/3) x (1/10) x 6.97GB/s	40	千兆网
最大输出数据率(PXD)	697MB/s	(1/3) x (1/10) x 20.9GB/s	40	千兆网

三、关键技术的设计实现

4、高速数据处理系统设计指标



•根据PXD探测器数据率及数据处理速率的要求，数据处理系统采用高性能、大容量的FPGA作为核心计算部件，采用DDR2作为缓存，采用光纤和千兆网技术实现探测器数据的接收和处理后发送。

- 基于XTCA新标准**——AMC子板级及ATCA载板级通信全部采用高速串行，可以满足板间及系统间数据的共享；
- 实现光纤数据带宽6.25Gb/s/ch**——数据读出最大线速率为5.23Gbps/ch，设计6.25Gbps/ch，留一定余量；
- 实现数据缓冲内存4GB/ch**——ATCA/ONSEN数据压缩处理需要HLT提供特征数据，处理时间约为5s (<5s)，每通道需约3GB内存，设计4GB；
- 实现数据事例率30倍的减低**——10倍减低通过SVD提供径迹信息实现，3倍减低通过HLT提供特征数据信息实现。
- 实现减低数据千兆网输出**

二、课题相关领域国内外发展现状

- ❖ BESIII 触发系统：
高速光纤速率 1.7Gbps/ch
- ❖ Belle II 数据获取系统
高速光纤速率 设计3.125Gbps/ch (实际使用2.5Gbps/ch)
- ❖ PANDA 数据触发获取系统
高速光纤速率 3.125Gbps/ch
- ❖ PXD 高速数据处理系统
高速光纤速率 6.25Gbps/ch

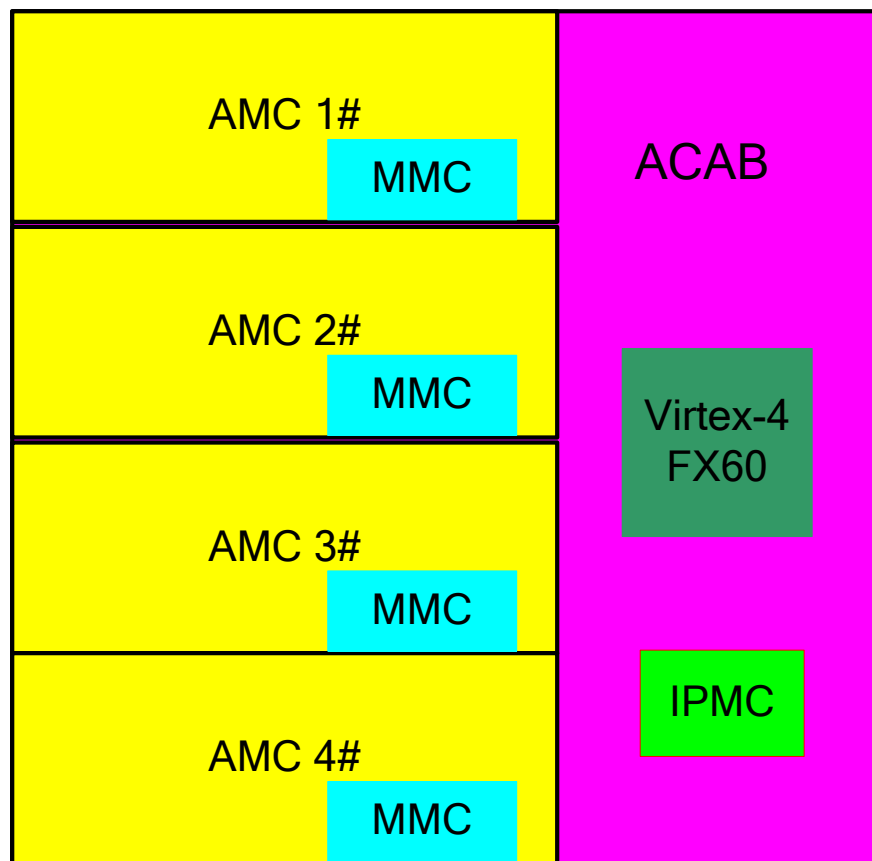
三、关键技术的设计实现

1、ONSEN系统设计方案

- ❖ ONSEN系统接收40路SPF+数据，输出40路千兆网数据；
- ❖ 方案采用1个ATCA机箱、10块ATCA板和FPGA内部固件搭建ONSEN系统。
- ❖ 每块ATCA板称为一个计算节点。

• 计算节点结构特点：

- 基于xTCA新标准
- 子母板结构
 - 1块ACAB板
 - 4块AMC子板
- IPMC/MMC智能管理模块
 - IPMC位于载板
 - MMC位于子板

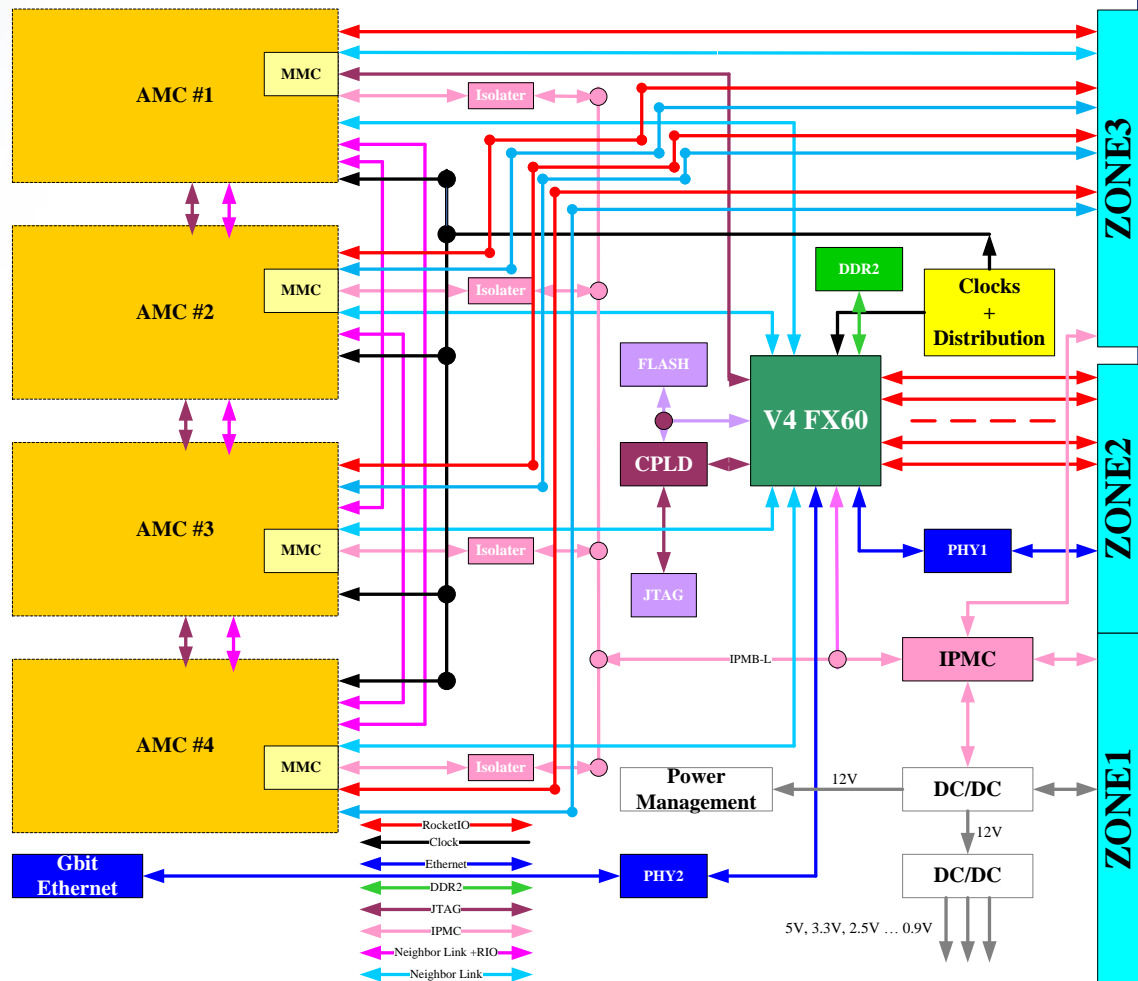


三、关键技术的设计实现

2、计算节点载板设计-载板结构介绍

❖ ACAB板功能设计：

- 基于XTCA新标准
- 具有4个AMC接口槽
- 具有RTM板接口
- FPGA0实现数据互联，采用V4FX60
- 具有智能平台管理功能 (IPMC)
- 具有时钟和触发信号分配功能
- 具有功耗分配管理功能
- 具有2GB的缓冲内存
- 一个千兆网接口

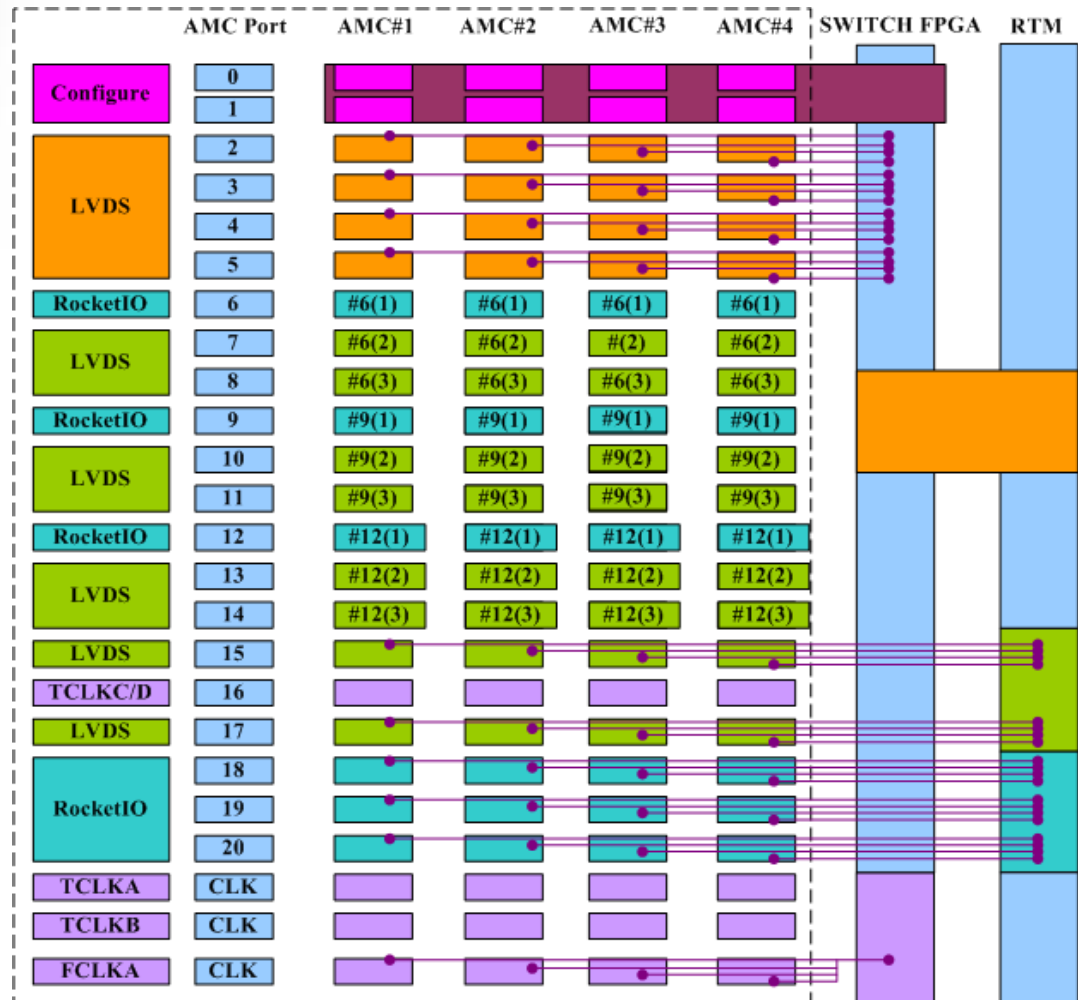


三、关键技术的设计实现

2、计算节点载板设计-载板互联结构

❖ 载板互联结构

- 载板一个时钟扇出到4个AMC连接座；
- 4个AMC座每两个之间通过三对差分对线互联；
- 每个AMC座由3对差分线接RTM座；
- 载板扇出4个JTAG加载口到每个AMC座；
- AMC连接器0和1口的8根信号线被重新定义为FPGA串行加载和串口测试信号。

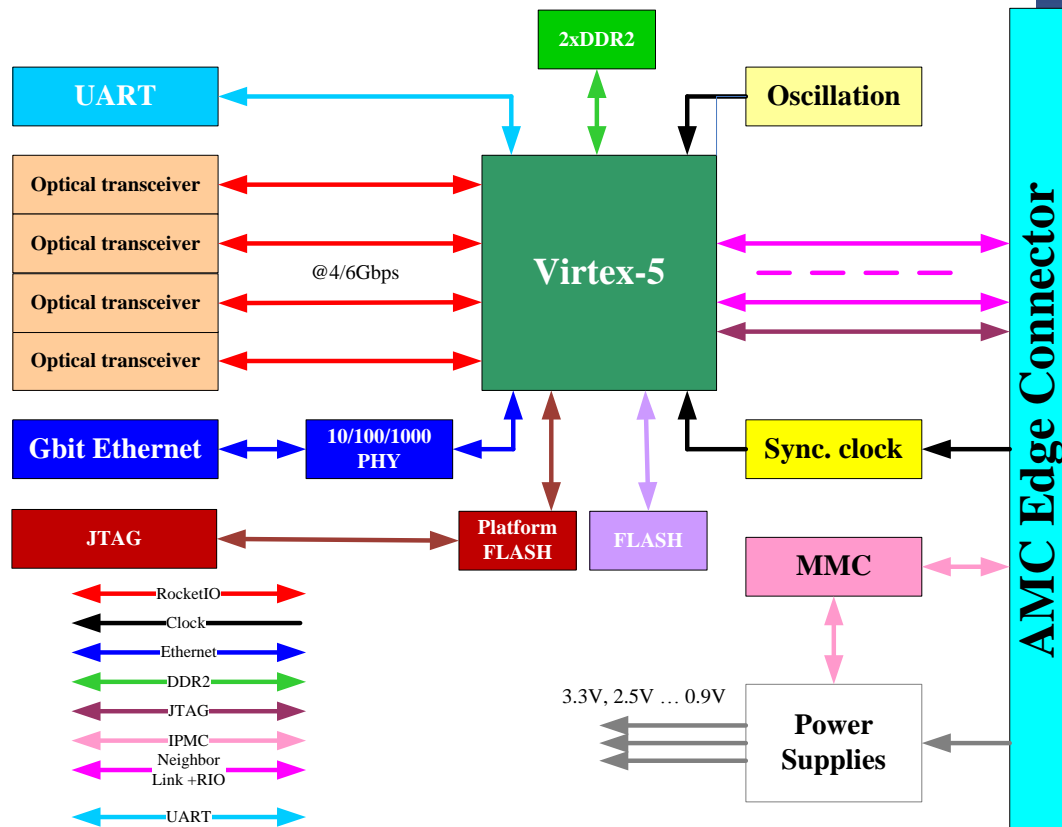


三、关键技术的设计实现

3、AMC子板的设计-xFP板设计架构

❖ AMC板功能设计：

- 基于AMC机械架构；
- 光纤传输速率为24Gb/FPGA (4x6.25Gbps)；
- DDR2缓冲内存为4GB (2x2GB)；
- 并行Flash 32MB (2x16MB)；
- FPGA配置Flash 32MB；
- 1个千兆网口 (Gbit Ethernet)；
- 1个串口测试口 (UART)；
- 智能管理平台 (IPMC/MMC) 接口。



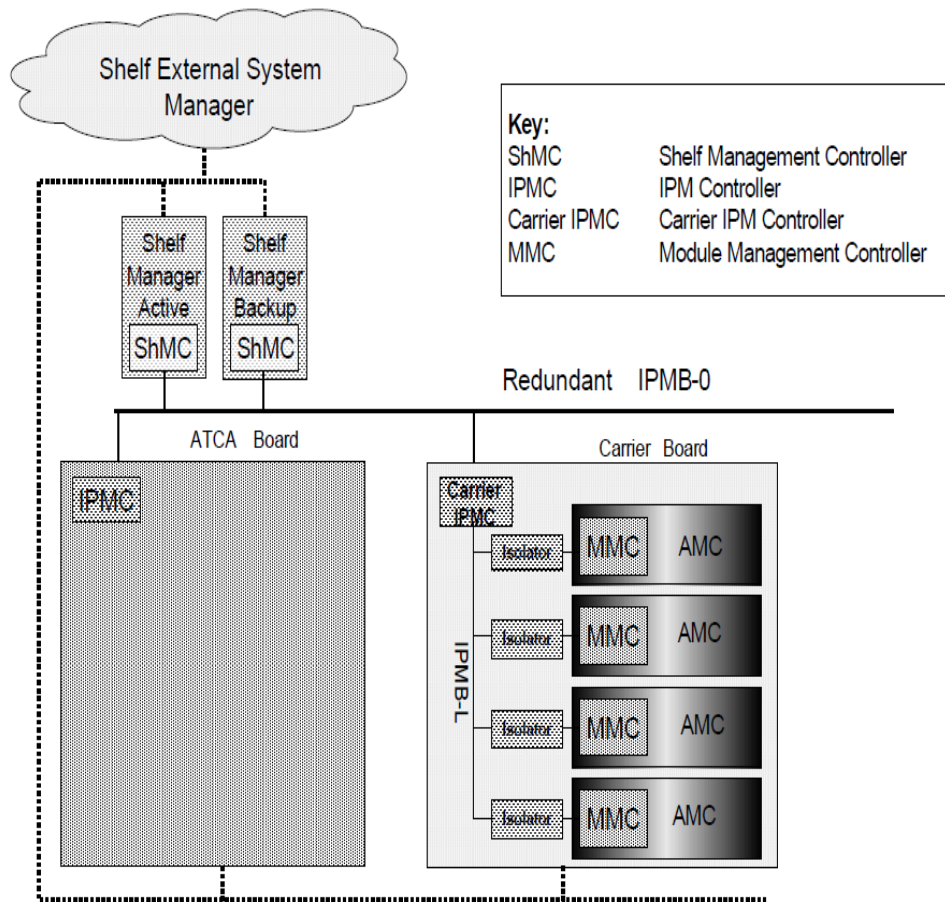
三、关键技术的设计实现

4、MMC模块设计-智能管理系统架构

机箱智能管理系统包括机箱级管理模块ShMC、ATCA板上管理模块IPMC和AMC板上管理模块MMC三级模块构成。

智能管理模块（IPMC/MMC）监测整个计算节点上各个板上电压、电流、温度等各种信息状态，并在给出相应的响应，以此来保证系统的正常工作和实时管理，

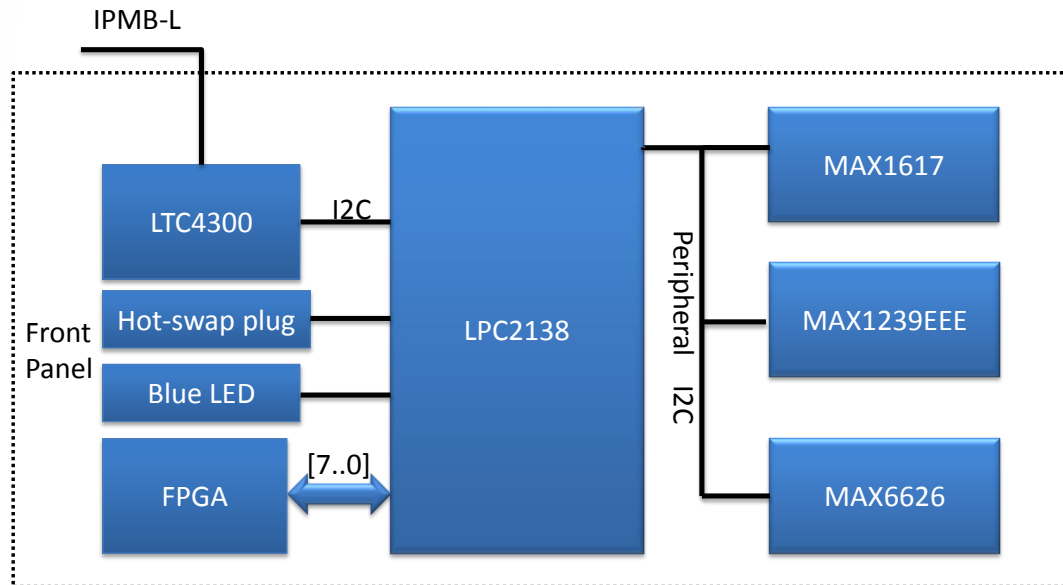
- ❖ 1. 本板电压、温度及功耗监测
- ❖ 2. 处理本板卡事务
- ❖ 3. 响应机箱控制器事务



三、关键技术的设计实现

4、MMC模块设计-MMC模块结构及实现

- ❖ 根据xFP板的接口设计，MMC模块的尺寸设计为31.5mm x 18mm。
- ❖ 采用LPC2138芯片作为主控制芯片；
 - 40KB RAM，512KB Flash
 - 2对I2C总线控制器
 - 支持JTAG接口和串行芯片编程
- ❖ FPGA温度检测芯片MAX1617;
- ❖ 电压检测芯片MAX1239;
- ❖ 本地温度检测MAX6626;
- ❖ I2C驱动LTC4300;
- ❖ 热插拔插头;
- ❖ 状态显示灯Blue LED;
- ❖ GPIO总线[7..0].



三、关键技术的设计实现

5、算法实现

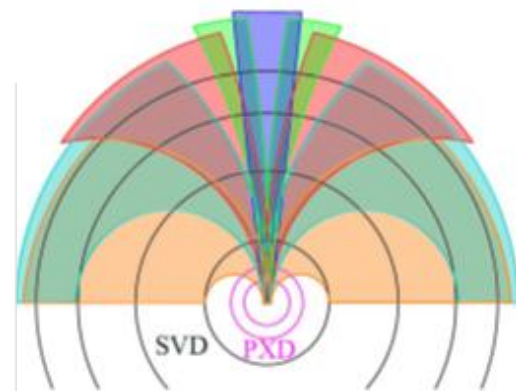
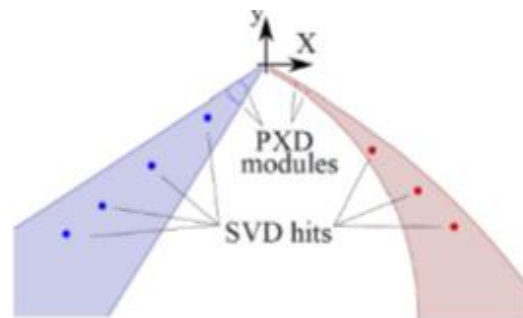
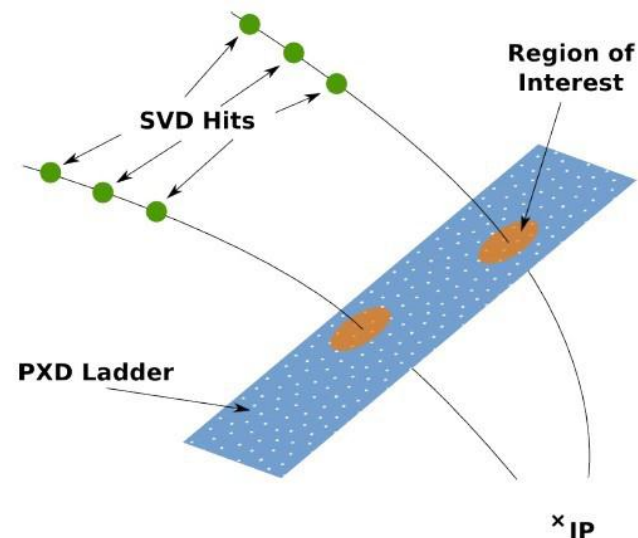
算法基本思想

- ❖ 计算出SVD探测器所探测的粒子径迹；
- ❖ 预测粒子通过SVD探测器进入PXD顶点探测器的方向；
- ❖ 根据粒子SVD室径迹和预测进入PXD探测器方向找出PXD探测器上有效区域(Regions of interest RIO)；
- ❖ 存储ROI内部数据。

PXD探测器具有40个half ladder，数据读出相互独立。把PXD探测器的空间根据方位角分为不同的区域，在径迹查找时不同区域可并行运算，可提高系统的运算效率。

区域划分算法

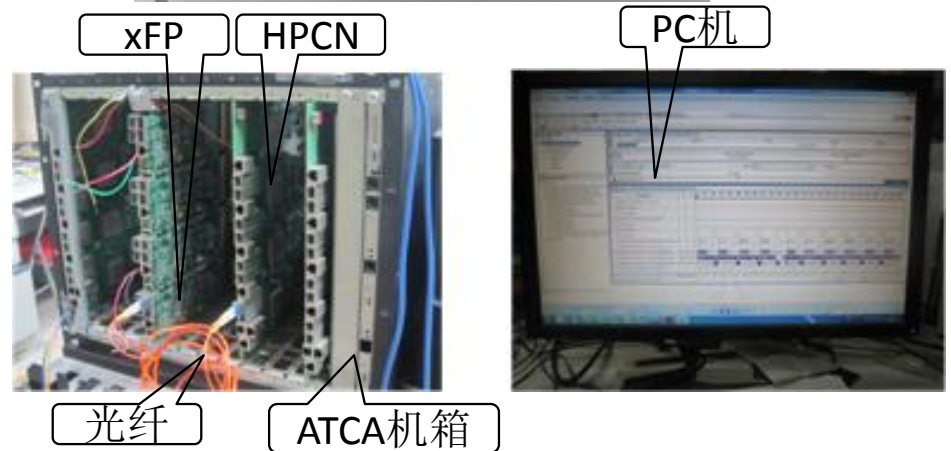
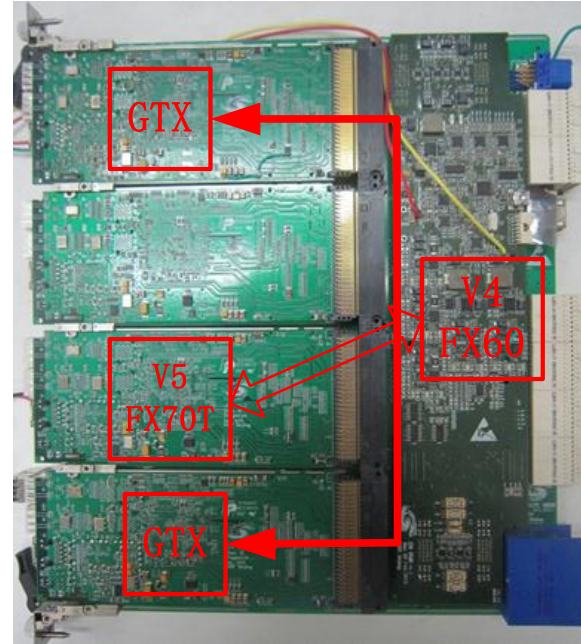
- 创建划分区域；
- 辨别不同区域内的粒子击中信息；
- 在每个区域内进行霍夫转换；
- 在PXD的half ladder中创建ROIs；
- 存储PXD ROIs中的击中数据。



四、硬件测试

测试结果

- ❖ xFP板 SFP+光口实现6.25Gbps/ch ;
- ❖ xFP板通过载板互联实现4Gbps (1号卡位-4号卡位) ;
- ❖ xFP板上双DDR2 , 200MHz时钟 , 400MHz的读写速率 ;
- ❖ 千兆网 : Linux , netperf测试 , 发送 2.65×10^8 bps , 接收 1.89×10^8 bps。
- ❖ 现计算节点的功能及性能已基本满足PXD高速数据处理系统的需求。



五、总结

- ❖ PXD探测器是升级改造工程中增加的新型探测器，位于Belle II的最内层，产生的数据量巨大。PXD高速数据处理系统是针对Belle II PXD探测器研制的数据处理系统；
- ❖ 根据PXD探测器数据率及数据处理速率的要求，数据处理系统采用高性能、大容量的FPGA作为核心计算部件，采用DDR2作为缓存，采用光纤和千兆网技术实现探测器数据的接收和处理后发送。
- ❖ 智能管理模块（IPMC/MMC）监测整个计算节点上各个板上电压、电流、温度等各种信息状态，并在给出相应的响应，以此来保证系统的正常工作和实时管理；
- ❖ 现计算节点的功能及性能已基本满足PXD高速数据处理系统的需求。
 - SFP+光口实现6.25Gbps；
 - 千兆网传输速率满足系统要求；
 - DDR2经过测试200MHz读写时钟正常工作。