



季度考核报告

报 告 人 : 王浩鑫

导 师 : 朱科军 研究员
赵京周 高级工程师

组 别 : TDAQ组

日 期 : 2026.8.27



目录

主要工作内容与进展

- **BESⅢ数智化：MDC触发子系统全数据读出平台**

- 全数据读出平台搭建与测试
 - 全数据读出系统设计、搭建与完善
 - 硬件
 - 固件功能与更新
 - RDMA小系统传输测试
 - 对撞与宇宙线时间取数
 - 数据格式检查
 - 压缩算法研究

- **博士课题：面向高能物理触发系统的高速同步共享链路关键技术研究**

- MGT恢复时钟相位不确定性研究
 - 相位不确定性来源分析实验

其他工作与未来工作计划

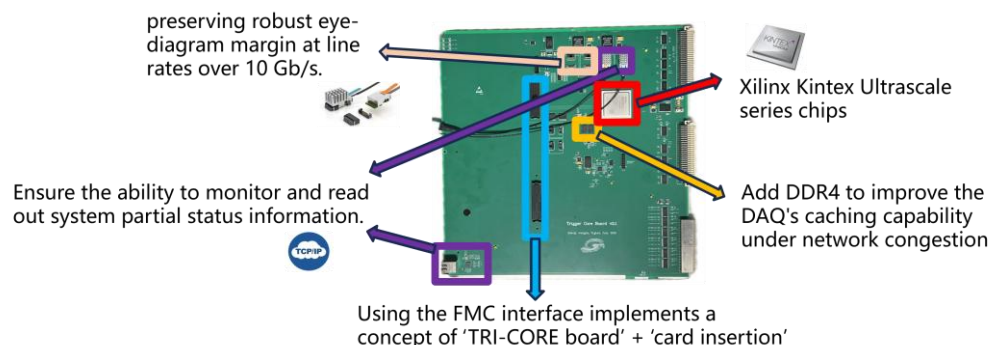
- **其他工作内容：** BESⅢ维改、RT报告
- **未来工作计划：**
 - 博士课题研究
 - BESⅢ数智化生产与系统联调



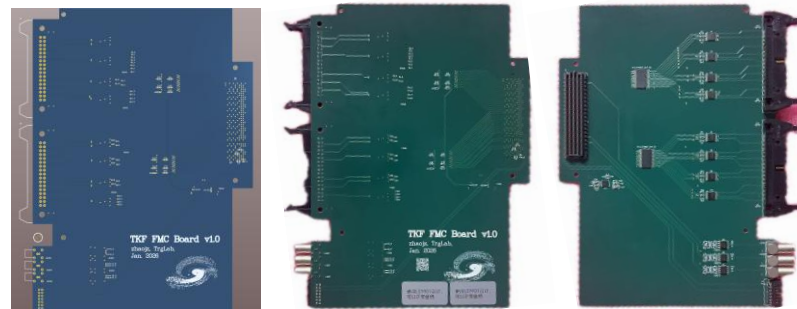
BESⅢ数智化：触发子系统全数据读出

全数据读出系统设计、搭建与完善

- 推进完成V2.5 触发核心板、触发核心插件子板和新 TROC 硬件设计，完成投板和生产，部分已完成测试

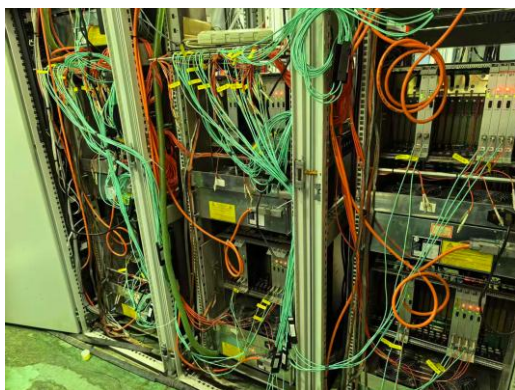


V2.5 触发核心插件已经排产，预计本周末收到（8块）

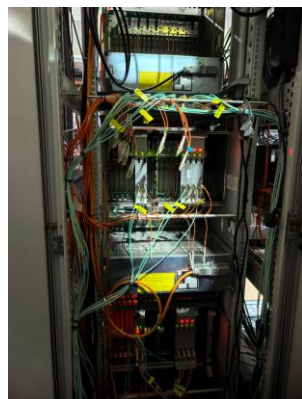


触发核心插件子板生产

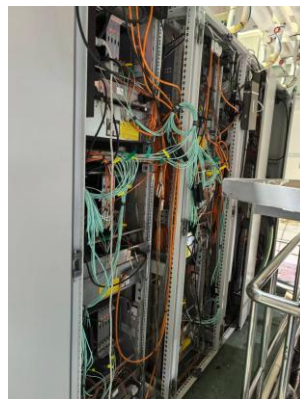
- 共同完成谱仪大厅和触发间光分器/光纤安装



大厅1层



大厅2层



大厅3层



触发间

- 重新整理从MFT到TKF的光纤通路；全数据链路**占用未使用的下行链路**；
- 光分器及光纤安装**各80根**，覆盖**所有外室**；标签编号沿用老系统编号；
- 更换光分器后DAQ系统**配置通过**

针对于项目中全读出的硬件条件已经具备，硬件环境逐渐完善



BESⅢ数智化：触发子系统全数据读出

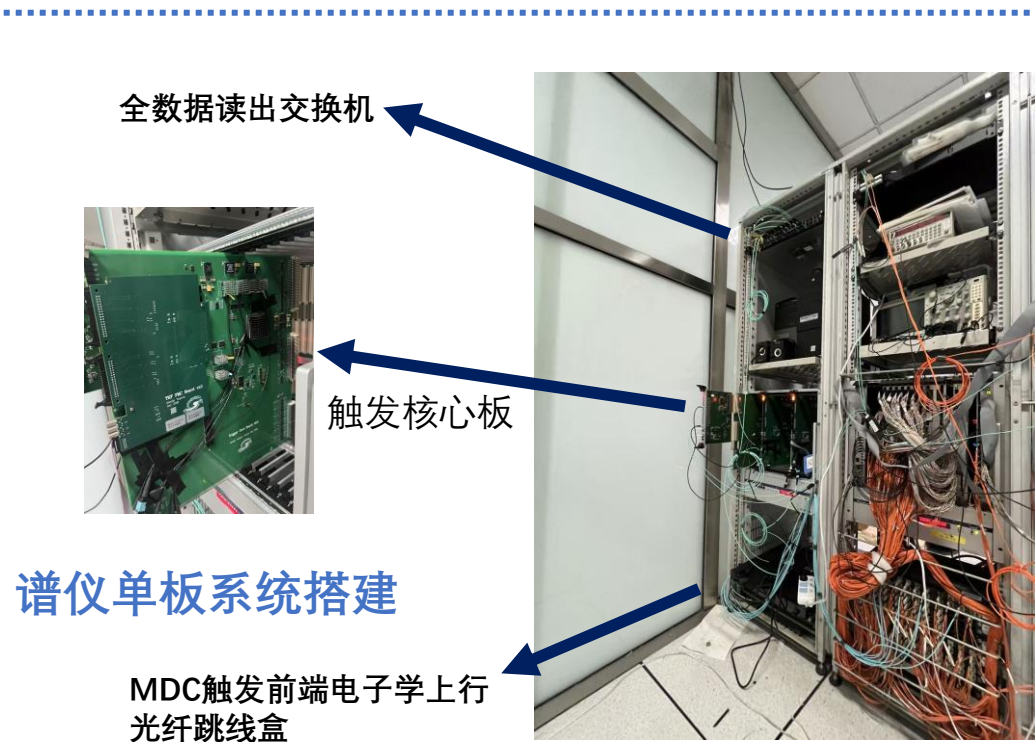
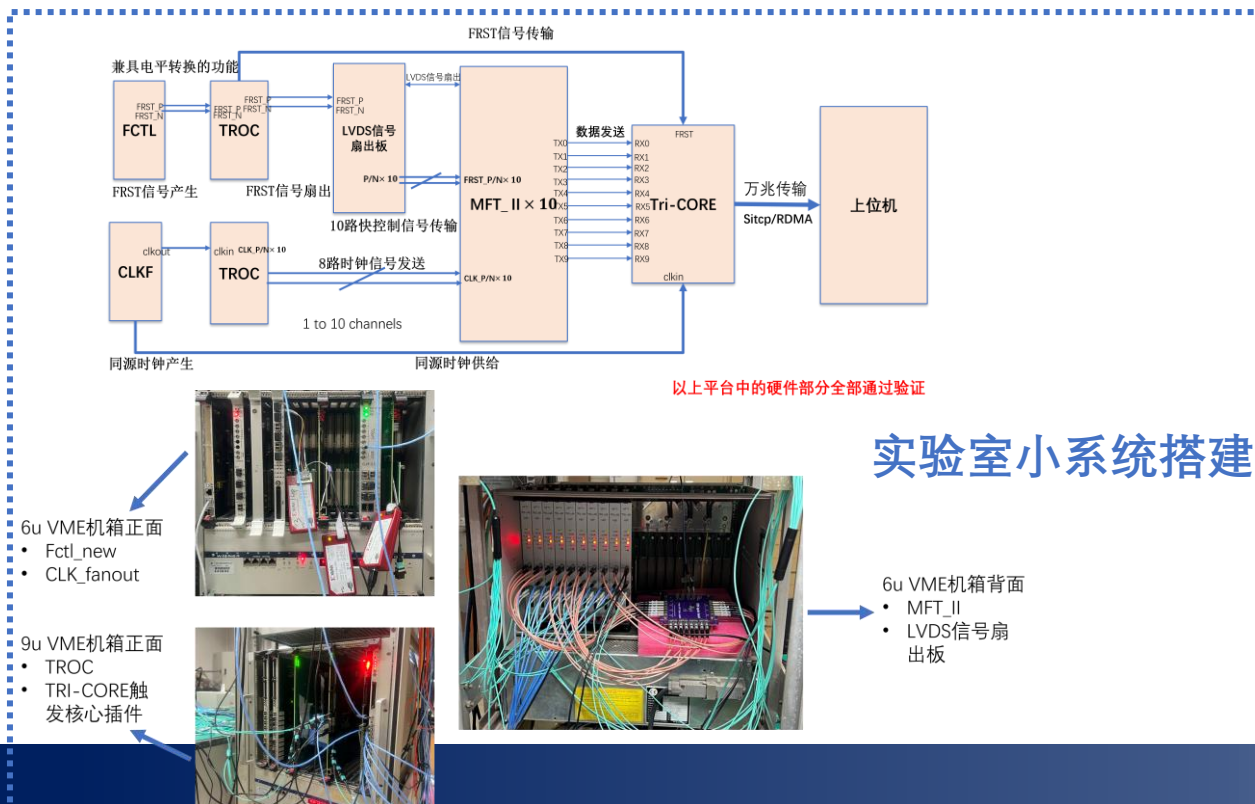
● 全数据读出硬件平台搭建

• 硬件：

- ✓ MFT_II插件 × 10：大批量生产版本
- ✓ TRI-CORE插件：V2.4
- ✓ TROC插件 × 2：fast_control sig(frst); fanout CLK sig
- ✓ DIFF_SIG_FANOUT板卡 × 1：
- ✓ 差分LEMO连接线 × 12；单端LEMO连接线 × 10

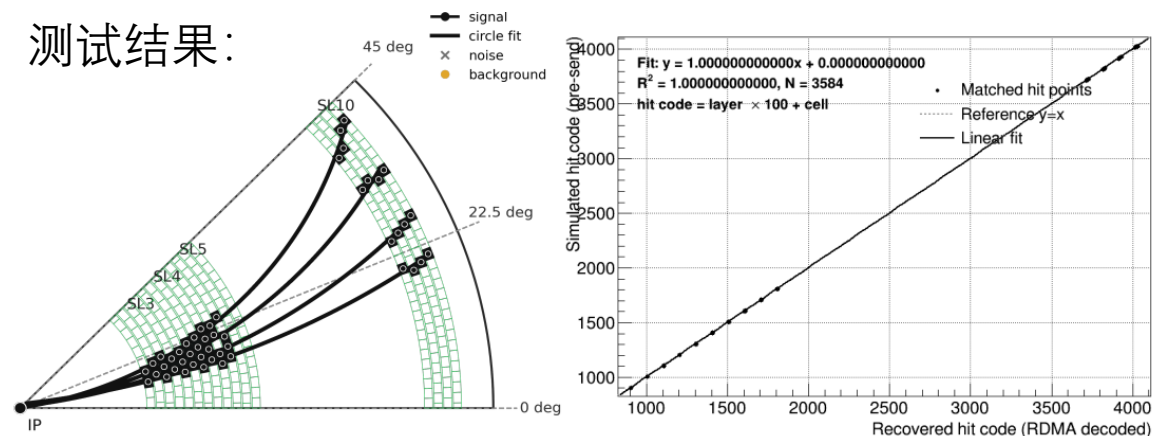
- ✓ MFT上行光纤 × 10 + 对应数量光分器
- ✓ TRI-CORE插件：V2.4
- ✓ 快控制信号：FRST、时钟
- ✓ VME 9Unit尺寸机箱
- ✓ 交换机：DELL Z9100-ON

全数据读出平台所有硬件组件都通过功能和性能验证，具备实现数智化项目中全数据读出的能力





- 小系统测试平台上页内容已展示，右图是结构
- 产生在简单实验环境下MDC的击中；共四条理想偏转径迹
- 径迹留下击中信号转化为原始数据并轮询发送
- 验证：
 1. RDMA传输状态
 2. 数据压缩、打包逻辑
 3. 数据解析方法
 4. 触发核心板受控情况与短时间内数据内容



在小系统上初步实现并验证了全数据读出硬件和固件功能



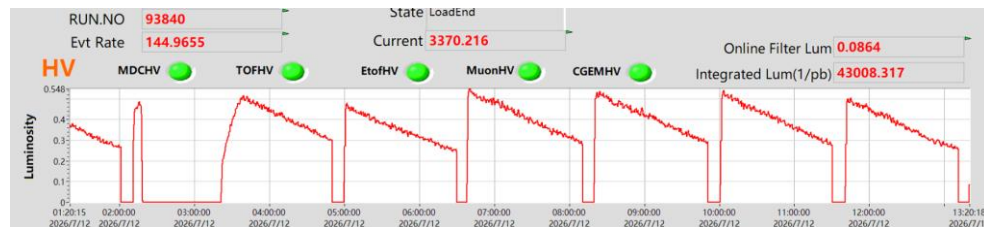
BESⅢ数智化：触发子系统全数据读出

● 单板对撞与宇宙线时间取数

• 对撞取数：

- ✓ 由全局复位信号做起始信号，所有MDC触发前端电子学通道对齐后开始取数
- ✓ 取数完成后构建传输帧
- ✓ RDMA数据传输至服务器存储

```
RX throughput: 1596.07 MiB/s (13.39 Gb/s), interval: 1596.02 MiB in 1.00 s, total: 57454.82 MiB / 14708433 messages.  
CQ completions: 14708433  
RX throughput: 1481.34 MiB/s (12.43 Gb/s), interval: 1476.84 MiB in 1.00 s, total: 58931.65 MiB / 15086503 messages.  
CQ completions: 15086503  
RX throughput: 1347.35 MiB/s (11.30 Gb/s), interval: 1334.41 MiB in 0.99 s, total: 60266.07 MiB / 15428113 messages.  
CQ completions: 15428113
```



```
wanghx@localhost:~/qp-server  
FPGA precheck: no STATUS response after 3 attempts (timed out waiting for FPGA UDP control response). Firmware may have no QP context; trying guard  
dlopen and requiring ACK + INIT.  
FPGA status: QP=INIT valid=1 syndrome=0x0 acked_psn=0x0 flags=0x1 session=1  
FPGA status: QP=RTS valid=1 syndrome=0x0 acked_psn=0x5 flags=0x15 session=1  
FPGA session READY; heartbeat is owned by rdma_app.  
Send Ctrl+C/kill signal to request graceful shutdown.  
rdma_app now owns FPGA precheck, OPEN/RTS, heartbeat, and CLOSE.  
RX throughput: 1591.33 MiB/s (13.35 Gb/s), interval: 1591.33 MiB in 1.00 s, total: 1591.33 MiB / 162698 messages.  
CQ completions: 162698  
put: 1591.35 MiB/s (13.35 Gb/s), interval: 1591.37 MiB in 1.00 s, total: 3182.70 MiB / 325400 messages.  
CQ completions: 325400  
put: 1591.33 MiB/s (13.35 Gb/s), interval: 1591.23 MiB in 1.00 s, total: 4773.93 MiB / 488088 messages.  
CQ completions: 488088  
put: 1591.53 MiB/s (13.35 Gb/s), interval: 1591.53 MiB in 1.00 s, total: 6365.46 MiB / 650806 messages.  
CQ completions: 650806  
put: 1591.33 MiB/s (13.35 Gb/s), interval: 1591.32 MiB in 1.00 s, total: 7956.78 MiB / 813503 messages.  
CQ completions: 813503  
put: 1591.33 MiB/s (13.35 Gb/s), interval: 1591.32 MiB in 1.00 s, total: 9548.10 MiB / 976200 messages.  
CQ completions: 976200
```

数据吞吐与原始数据匹配时（13.39G）：

位	信号	数值
15	rdma_status_any	1
13	rdma_allowed	1
12	axis_ready	1
5	packet_active	1
3	packet_dropped	1

RDMA允许发送

AXIS接收端ready=1

主FIFO只有99个BX（低位，仍有很大空间）

数据吞吐与原始数据不匹配（低于13G）时：

13	rdma_allowed	0
12	axis_ready	0

RDMA不允许发送

服务器已经不允许接收数据

找到并解决了短时间内链路失效的原因
后续取数线速率维持合理稳定状态





BESIII数智化：触发子系统全数据读出

● 单板对撞与宇宙线时间取数

• 宇宙线取数：

- ✓ 对撞停止后第一天开始取数
- ✓ 由全局复位信号做起始信号，所有MDC触发前端电子学通道对齐后开始取数
- ✓ 取数完成后构建传输帧
- ✓ RDMA数据传输至服务器存储

1. -rw-r--r--. 1 wanghx wanghx 23774179328 7月 18 08:2 fullreadout_20260718_081442.bin **23GB**
2. /data/rdma_capture/fullreadout_20260718_092451.bin **78GB**
3. -rw-r--r--. 1 wanghx wanghx 312165828992 7月 18 09:48 fullreadout_20260718_093434.bin **290GB**
4. /data/rdma_capture/fullreadout_20260718_105113.bin **350GB**
5. /data/rdma_capture/fullreadout_20260718_130443.bin **400GB**
6. -rw-r--r--. 1 wanghx wanghx 108881817632 7月 18 14:07 fullreadout_20260718_140140.bin **100GB**
7. /data/rdma_capture/fullreadout_20260718_140834.bin **410GB**
8. -rw-r--r--. 1 wanghx wanghx 395482954368 7月 18 15:06 fullreadout_20260718_143606.bin **370GB**

取数过程完整，无被动中断情况发生

宇宙线取数总计：2TB

● 数据压缩算法研究

• 压缩算法研究方法：根据对撞采集到的原始数据，分析数据特点进而研究整体压缩方法

其中包括：数据内容体现的

1. 零值比例
2. 系统时钟间隔的数值重复率
3. 不同通道和其对应物理位置的特点与关系

截至目前，全数据读出链路已在实验室与谱仪分别经过验证，
接下来会着重开发收尾并做一些数据压缩的研究工作

• 压缩算法：基本方法能满足工程需求的基础上进行压缩方法的研究

1. Baseline：按照物理位置进行映射，充分利用每一路32位中可能空闲的位数，将数据与控制位压缩到：320bit / 1 cycle，满足工程需求
2. 零压缩：
 - 非零的lane数量 + 不压缩的lane内容：样本平均约 1.899 路非零；平均 bit/BX $\approx 9 + 1.899 \times 32 = 69.77$ bit；理论数据压缩比 $\approx 288 / 69.77 = 4.13$
 - 每一个lane都做零压缩 + lane置位编码表（变长）：样本平均每一个lane有9.154 个bit置位；理论数据压缩比 $\approx 288 / 66.2 = 4.35$
 - 等等



博士课题：高速同步链路时钟分发技术研究

● 深入MGT的内部结构设计复位实验

在共享链路成为未来高能物理实验传递数据和时钟信息的共用通道时：

前端FPGA使用恢复时钟作为系统时钟会不满足高时间分辨探测器的需求

→其中**恢复时钟的相位不确定性**是现阶段没有系统解决方法的关键问题，不断复位会将这种不确定性展现出来

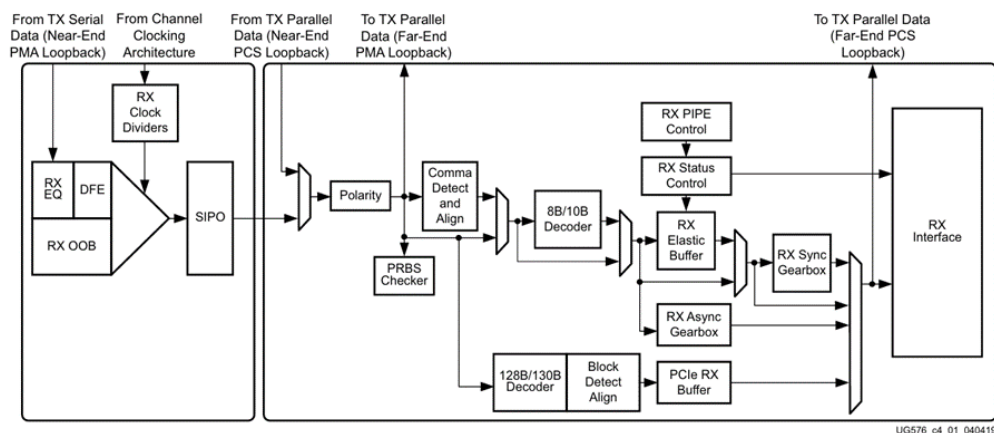


Figure 4-1: GTH Transceiver RX Block Diagram

层级	Reset 对象
L0	计数器、FIFO、用户逻辑
L1	RX GT datapath
L2	PCS、字对齐、弹性缓存、协议逻辑
L3	RX PLL + RX GT datapath
L4	TX + RX 全部 GT 资源
L5	FPGA 重新配置或板卡断电上电

Xilinx FPGA中提供针对MGT不同层面上的复位能力



根据不同的复位选项，挑选对应的时钟来源



测试自定义协议发送时钟和恢复时钟之间的相位差



$$d_{13} = \phi_{MFT} - \phi_{TKF} + (L_1 - L_3) + [\xi_1(t) - \xi_3(t)]$$

$\phi_{MFT} - \phi_{TKF}$: 两个FPGA输出的真实相位差

$L_3 - L_1$: 两个时钟通路的绝对时间延迟差

$\xi_1(t) - \xi_3(t)$: 随时间变化的慢漂移

P4 : RX datapath reset

P5 : RX user-clock network reset

P6 : RXPROGDIV reset

P7 : RX CDR reset

P8 : RX PLL + datapath reset

P9 : GT all reset / FPGA reconfiguration / power cycle





博士课题：高速同步链路时钟分发技术研究

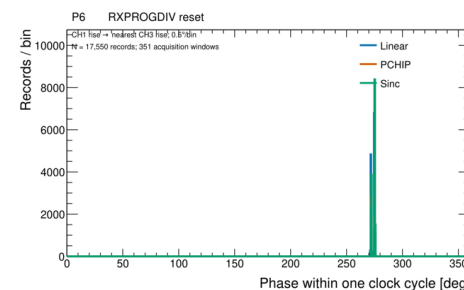
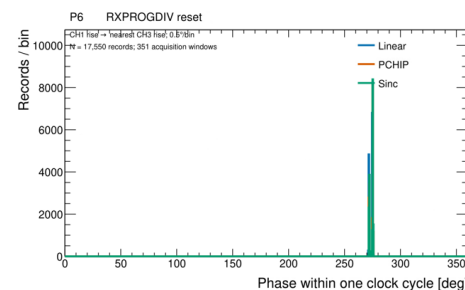
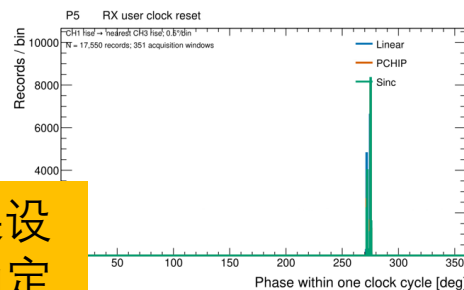
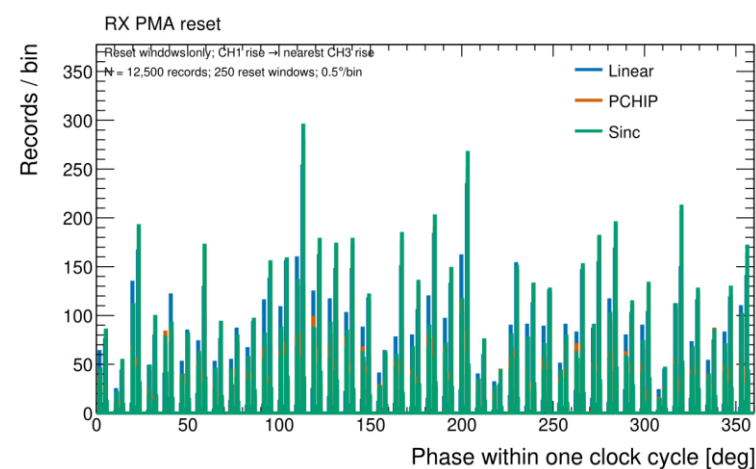
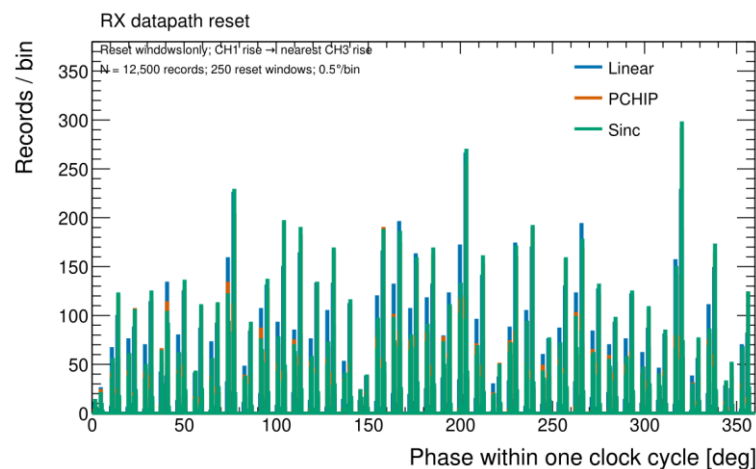
● GTH RX端复位实验结果

在共享链路成为未来高能物理实验传递数据和时钟信息的共用通道时：

前端FPGA使用恢复时钟作为系统时钟会不满足高时间分辨探测器的需求

→其中**恢复时钟的相位不确定性**是现阶段没有系统解决方法的关键问题，不断复位会将这种不确定性展现出来

阶段	物理操作	窗口数	CH1/CH3 波形对
P2	长时间不执行 Reset	351	17,550
P4	RX datapath reset	351	17,550
P5	RX user-clock reset	351	17,550
P6	RXPROGDIVRESET	351	17,550
P7	RXPCSRESET	351	17,550
P8	RXPMARESET	351	17,550
合计	六组条件	2106	105,300



接下来会根据复位所影响的结构和产生的结果设计更细结构的实验，进一步定量分析相位不确定的程度和来源

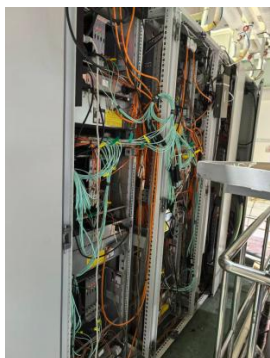
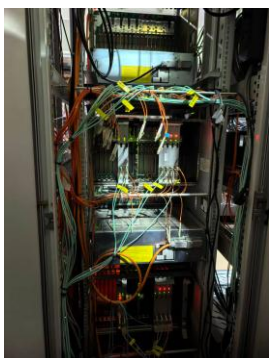




其他工作与未来工作计划

其他工作内容

- BESIII维改：MFT插件更换与取数
 - 替换MFT插件：
 - MDC电子学机箱中4、5、6MFT插件替换为新MFT_II



- 会议：25th IEEE Real Time Conference - Italy
 - 报告题目：A Full Trigger Data Readout Scheme for the BESIII MDC Subtrigger System



未来计划

- 数智化-全数据读出
 - 触发核心板批量生产已发往厂家
 - 配套硬件：面板、助拔器、MPO连接器也已经处于采购过程中
 - 后续完成批量测试、安装和系统联调

- 博士课题-高速共享同步链路

在以下方面值得继续分析：

- ① reset 后相位不确定性的来源与控制方法？
- ② DDMTD 与其他相位检测方法的比较？
- ③ 相位对齐有没有更小的步长调整方法？

