

中国科学院高能物理研究所
Institute of High Energy Physics, CAS

高时间分辨率TDC的研制

中国科学院高能物理研究所



报告人：蒋辉 导师：叶竞波

指导老师：严雄波、李筱婷、李怀申

日期：2026-08-27

目录

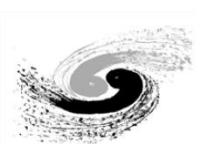
CONTENTS

1 研究背景与研究目标

2 工作进展

3 研究计划

4 总结



1.1 项目背景

- 时间测量在医学成像、粒子物理实验、通信雷达、激光测距等领域均有广泛应用。各应用对图像重建和病灶定位、或物理分析和粒子鉴别、或测距和时间同步等需求的精度在不断提升，要求时间测量有更高的精度；
- 时间测量传感器常用LGAD、FPMT、SiPM等，具有增益高、噪声低、响应时间快、时间分辨率高（多光子渡越时间展宽（TTS）**小于10ps**）等优势；
- 与之匹配的电子学系统需要达到更高的时间测量分辨率；
- 进一步的，往往要求时间测量芯片（TDC）能达到极致的分辨性能： $< 10\text{ps}$? $< 5\text{ps}$? 甚至 $< 1\text{ps}$!

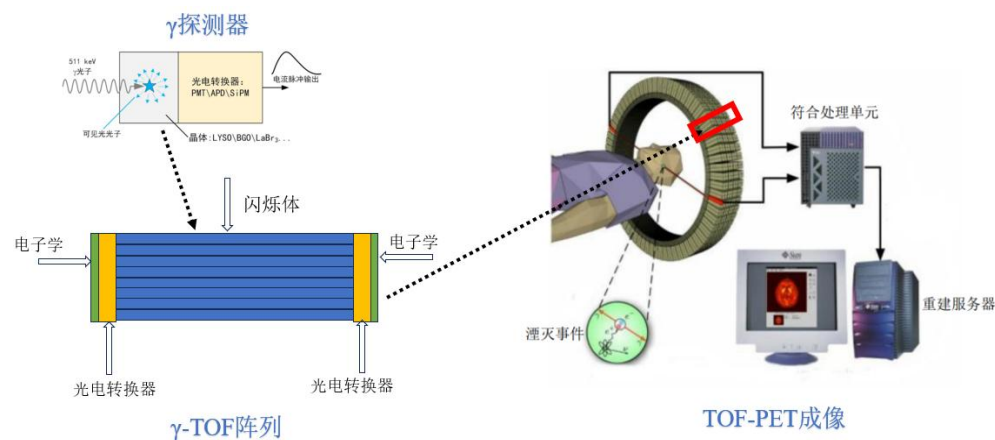


图1：TOF-PET结构示意图

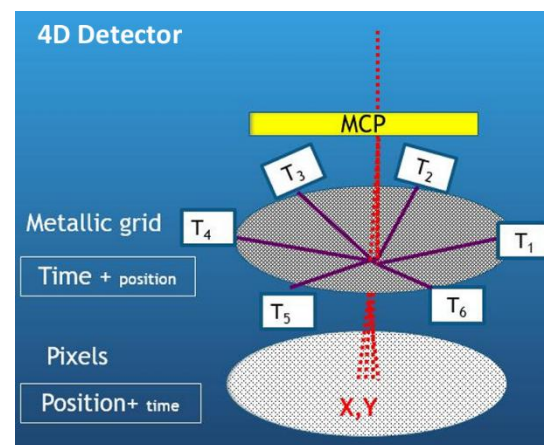


图2：PICMIC-0

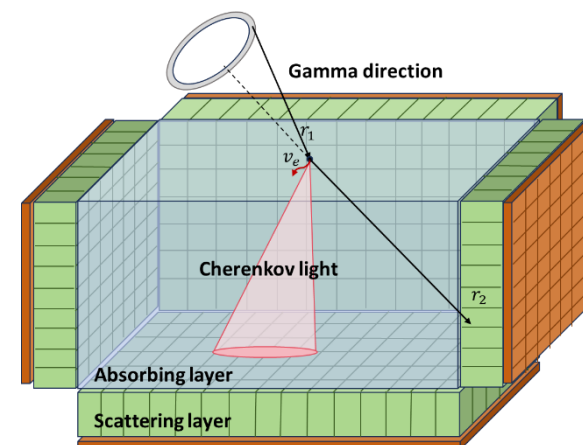


图3：Gamma tracker

1.2 预期目标

- 本课题依托飞行时间探测器的需求，研制高时间分辨率测量专用芯片及其配套测量系统。

指标	设计目标	说明
设计用途	TOF-PET、PICMIC、 γ tracker	要求电子学系统的时间分辨率小于10ps
工艺	55nm	
时间分辨率	<10ps	要求TDC的时间分辨率做到8ps以下 (*)
单通道功耗	<10mW	便于多通道集成
模拟前端	有	目前针对于FPMT的模拟前端精确度为6ps

$$*: \sigma_{\text{sym}}^2 = \sigma_{FE}^2 + \sigma_{TDC}^2: \sigma_{TDC} = \sqrt{\sigma_{FE}^2 + \sigma_{TDC}^2} = 8 \text{ ps}$$

1.3 研究内容

- 内容1: **设计TDC核心**，实现不包含模拟前端的高时间分辨率、低功耗的时间测量；
- 内容2: **修改模拟前端**，使其适用于特定的sensor，将其加入TDC芯片，实现带模拟前端的时间测量；
- 内容3: **设计时间测量系统**，使其满足探测器的要求。

2.1 研究路线

➤ 拟从两条技术路线开展研究：

- 路线一（**游标型TDC——vTDC**）：完成了设计、流片（2025年4月）、测试板绘制、测试系统搭建、测试数据处理和分析的全流程，结果表明能实现5~40ps可调的时间分辨率，但存在一些问题（已基本分析清楚）有待进一步解决。
- 路线二（**环振内插型TDC——xpcTDC**）：在课题组前期设计的芯片基础上（已测试），重新确定方案及开展设计（2026年4月流片），经测试后能够实现6ps的时间分辨。
- 后续将以此为基础，结合实测，进一步完善芯片设计，并完成系统设计。

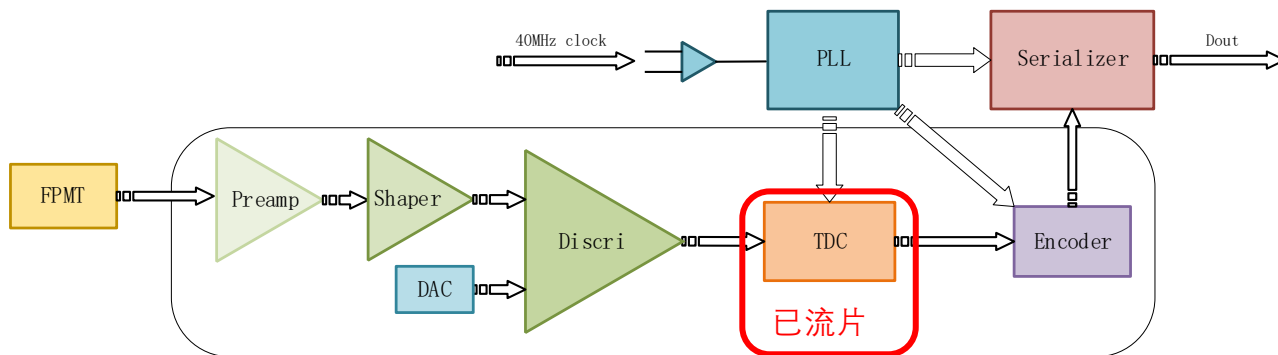


图4：vTDC系统整体框图

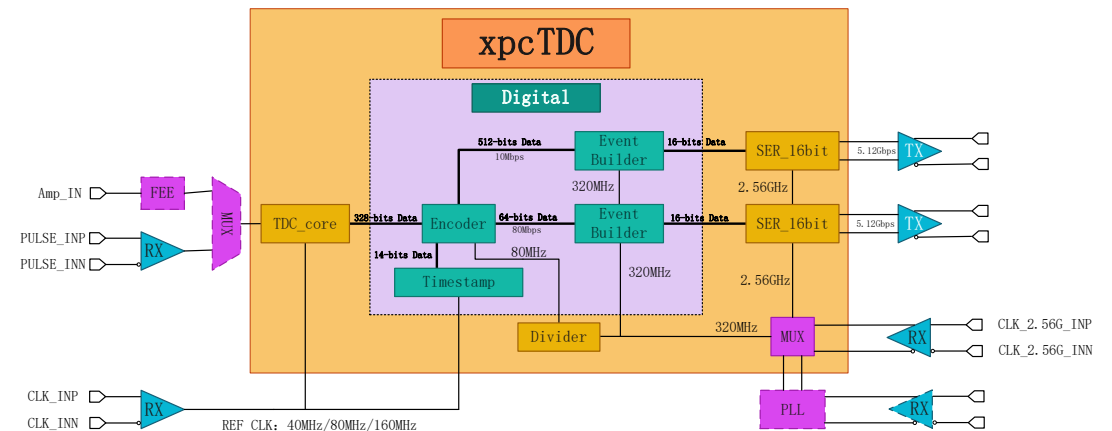


图5：xpcTDC系统整体框图

2.3 xpcTDC测试板

- xpcTDC版图面积：
2284*1127um
- 结构：模拟部分：
TDCcore + Serializer;
数字部分：Encoder +
Event builder。
- 测试板尺寸：7*9cm

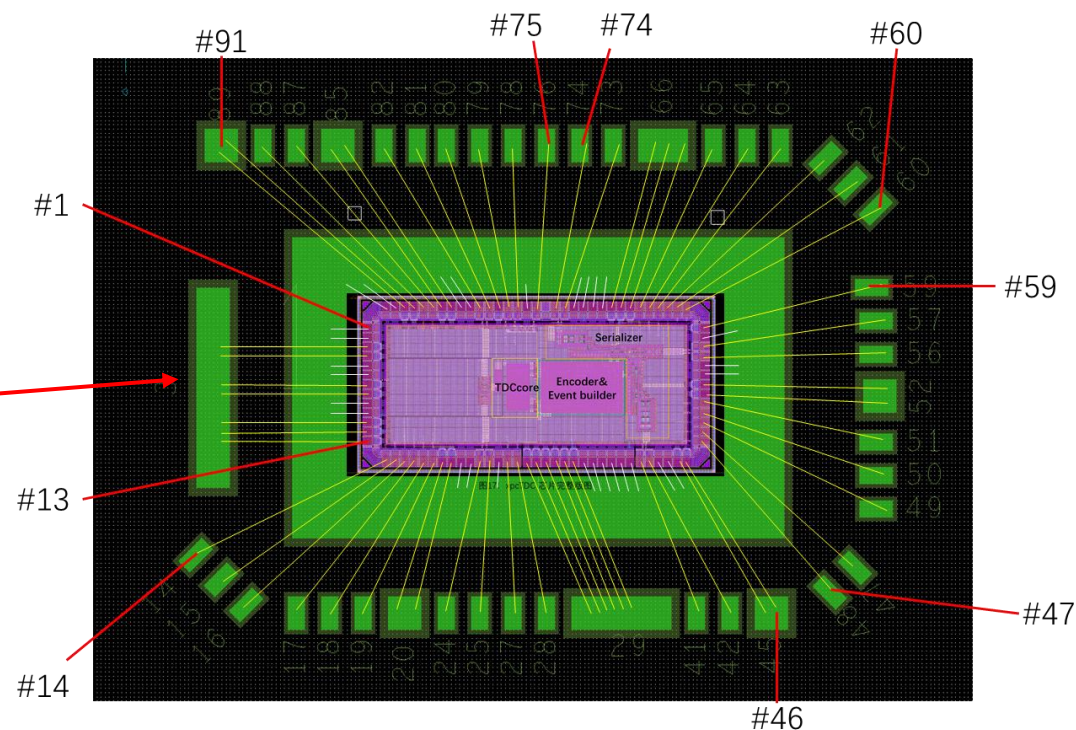
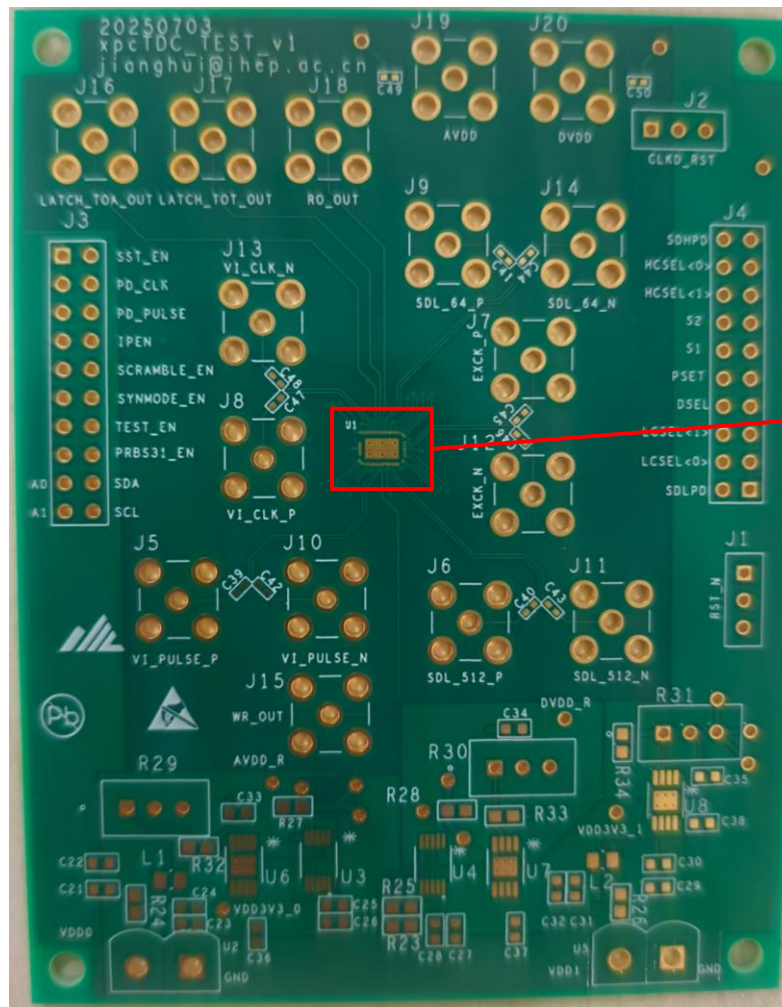


图8：xpcTDC测试板与打线图

2.4 xpcTDC测试系统

- 测试系统由测试板、电源、时钟板、FPGA、脉冲发生器和电脑组成，如右图所示。
- 各构成的作用为：
 - 电源：提供3.3V电压，经过LDO稳压给芯片供电；
 - 时钟板5347：提供时钟，包括：参考时钟（40MHz）、PLL输入时钟（40MHz）、FPGA数据获取时钟（160MHz）；
 - FPGA：进行数据获取，读取串行器输出数据；
 - 示波器：测量芯片内部振荡环振荡频率；
 - 电脑：控制时钟板、脉冲发生器，进行数据处理。

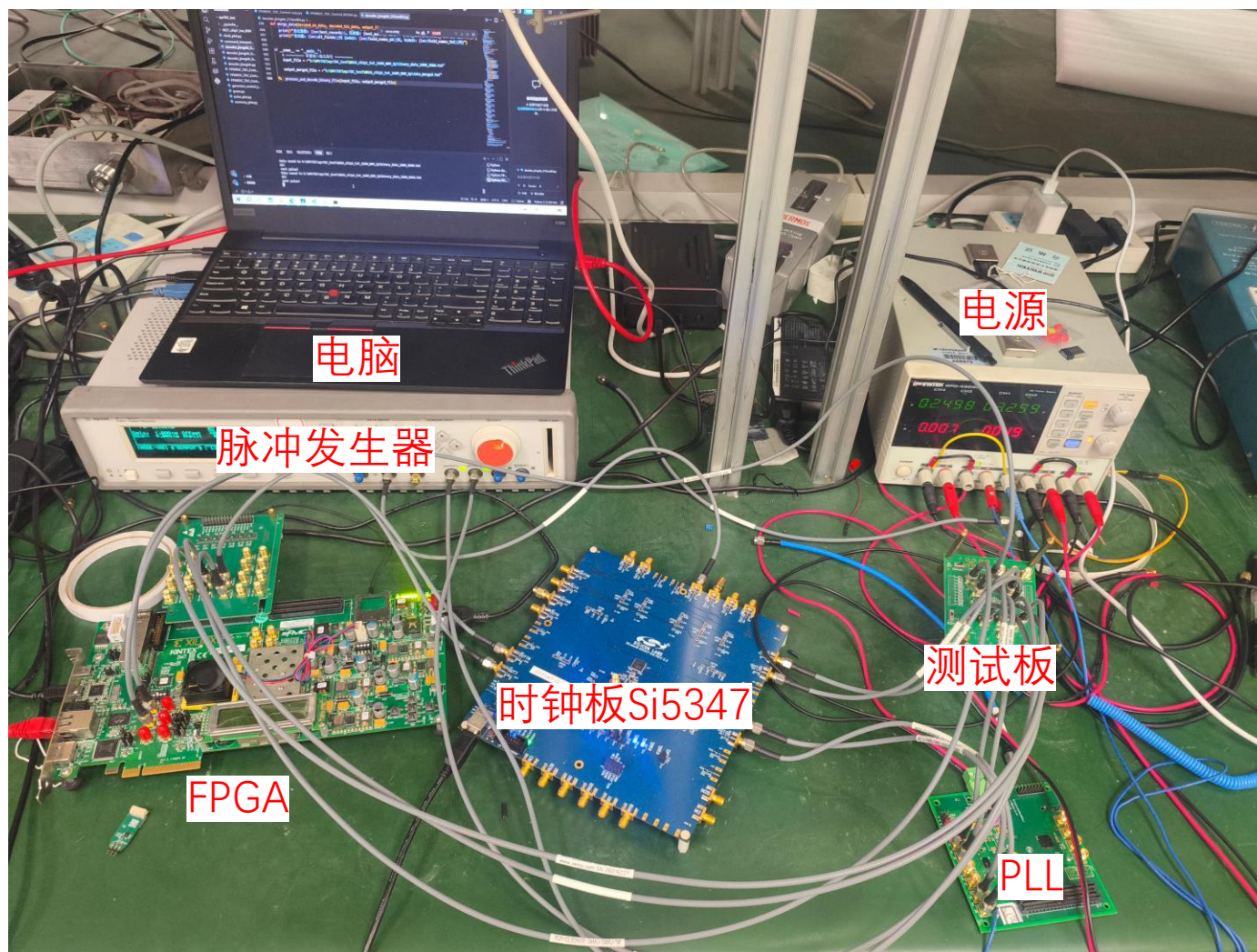


图9：测试系统

2.4 测试结果

➤ 测试条件:

- 事例率: 80MHz; 参考时钟: 160MHz; 数据速率: 5.12GHz
- 输入脉冲: 共模800mV、差模800mV。
- 输入脉冲扫描delay: 范围为200ps~1600ps, step为2ps;
- 每个脉冲宽度采集约10000个点。

➤ 结果:

- 拟合得到TOA的LSB约为6ps, 积分非线性为-4LSB~+4.5LSB;
- TOA标准差小于2LSB, 均值为0.96LSB。
- 存在标准差较差的点, 初步分析是由于内插不均匀导致, TDC实际应用时可以在后端进行校准。

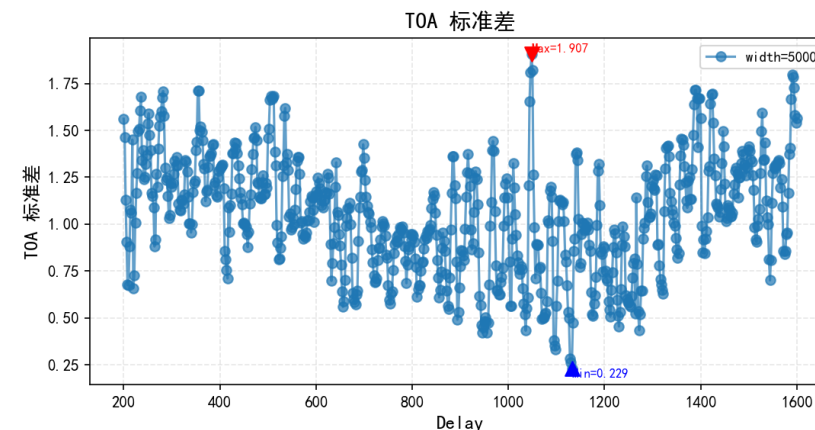
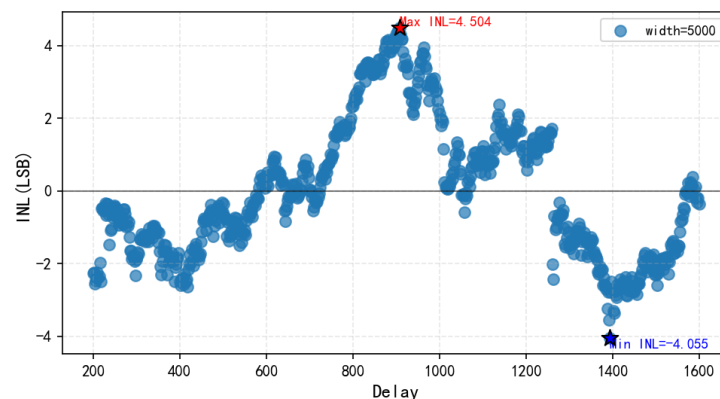
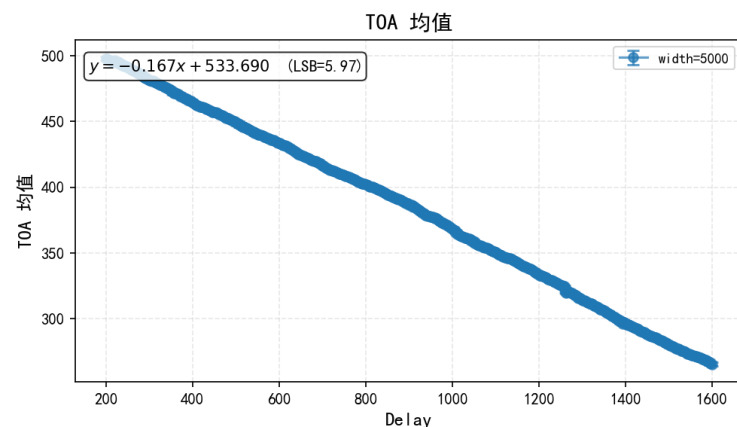
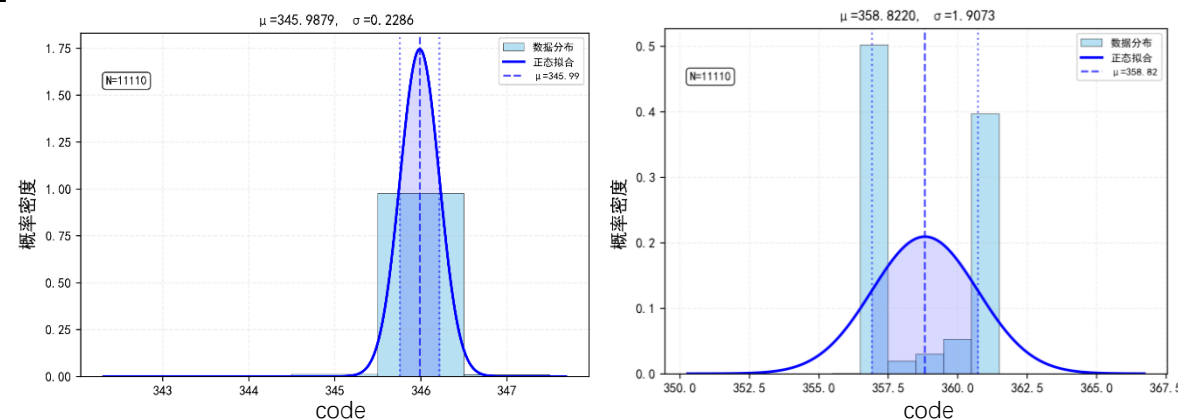
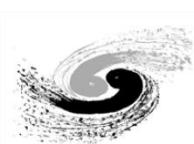


图10: TOA测试结果



2.4 测试结果

➤ 测试条件:

- 事例率: 80MHz; 参考时钟: 160MHz; 数据速率: 5.12GHz
- 输入脉冲: 共模800mV、差模800mV。
- 输入脉冲扫描脉宽: 范围为2ns~4ns, step为2ps;
- 每个脉冲宽度采集约10000个点。

➤ 结果:

- 拟合得到TOT的LSB约为6.4ps, 积分非线性为-2LSB~+2.5LSB;
- TOT标准差小于2LSB, 均值为0.82LSB。
- 存在标准差较差的点, 初步分析是由于内插不均匀导致, TDC实际应用时可以在后端进行校准。

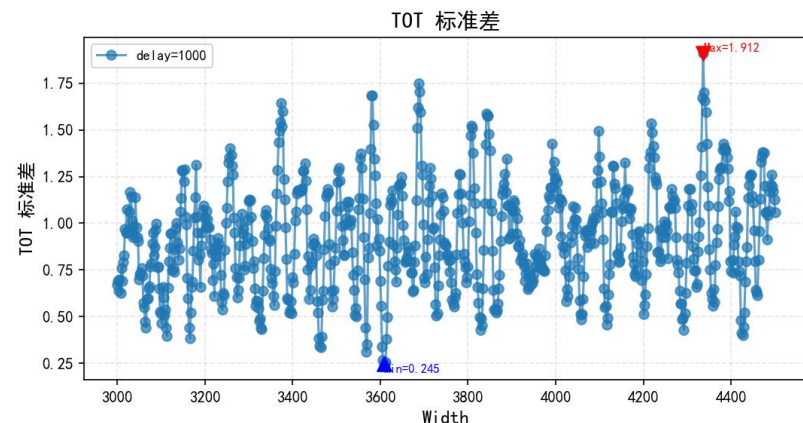
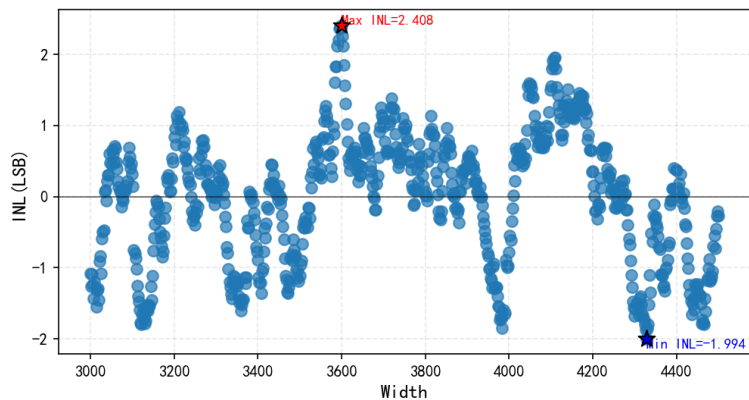
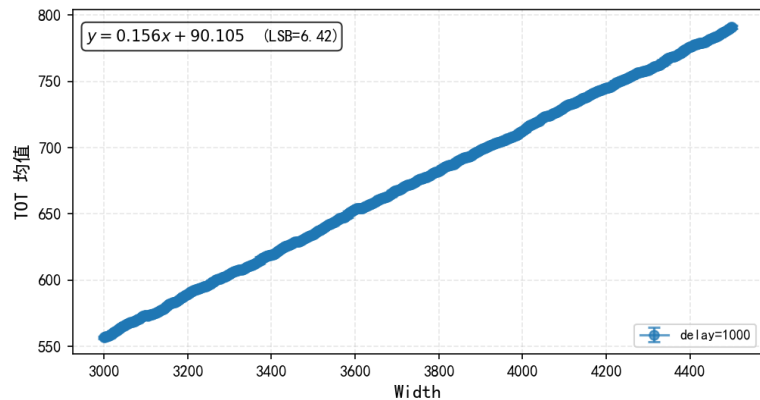
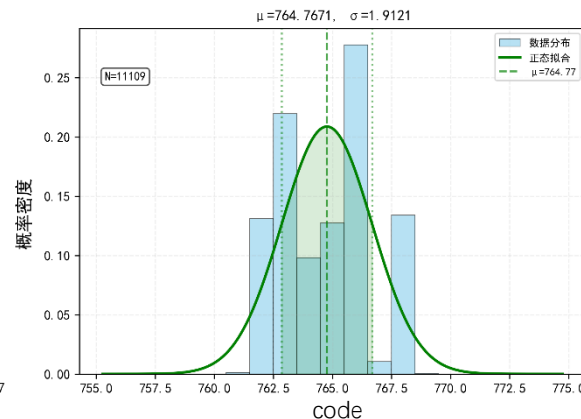
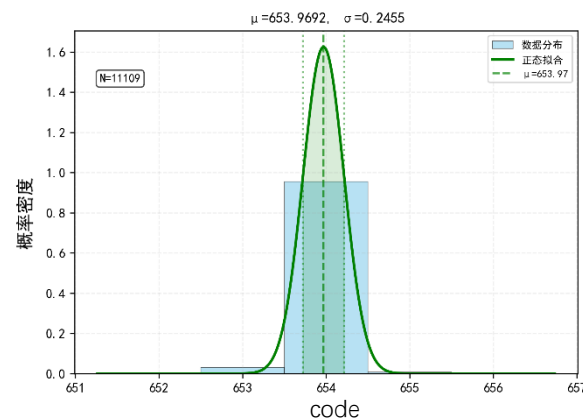
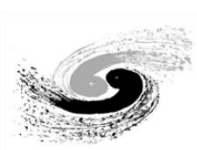


图9: TOT测试结果

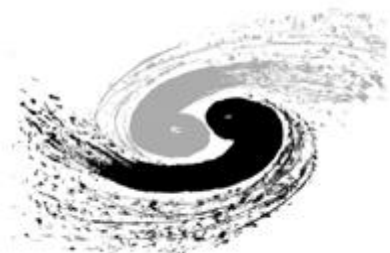


3 研究计划

研究工作	预期成果	时间
✓ 调研各种TDC结构和FPMT项目要求，确定设计方案 ✓ vTDC各模块的设计、仿真、验证	提交流片	2024.7~2025.4
✓ 研究芯片的系统级测试方案，制备测试PCB ✓ vTDC芯片测试	完成芯片测试	2025.4~2025.10
✓ xpcTDC的设计、仿真、验证 ✓ vTDC文章提交	完成功能芯片 产出一篇文章	2025.10~2026.4
✓ xpcTDC芯片测试 ✓ vTDC设计改进	完成芯片测试 产出一篇文章	2026.4~2026.11
➤ 多通道TDC设计与电子学系统集成 ➤ 电子学系统与探测器系统连接进行测试	完成系统集成	2027年~2028年

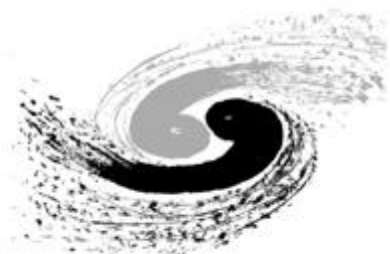
4 总结

- 研究课题：高时间分辨TDC的研制。
- 工作内容：
 - ✓ xpcTDC测试板绘制；
 - ✓ xpcTDC的测试；
- 下一步计划：
 - TDC10p设计（10月流片）；
 - 继续完善xpcTDC的测试。



中国科学院高能物理研究所
Institute of High Energy Physics, CAS

请各位老师指正



中国科学院高能物理研究所
Institute of High Energy Physics, CAS

Backup