

8月季度考核汇报

汇报人： 陈奕铭

导 师： 江晓山

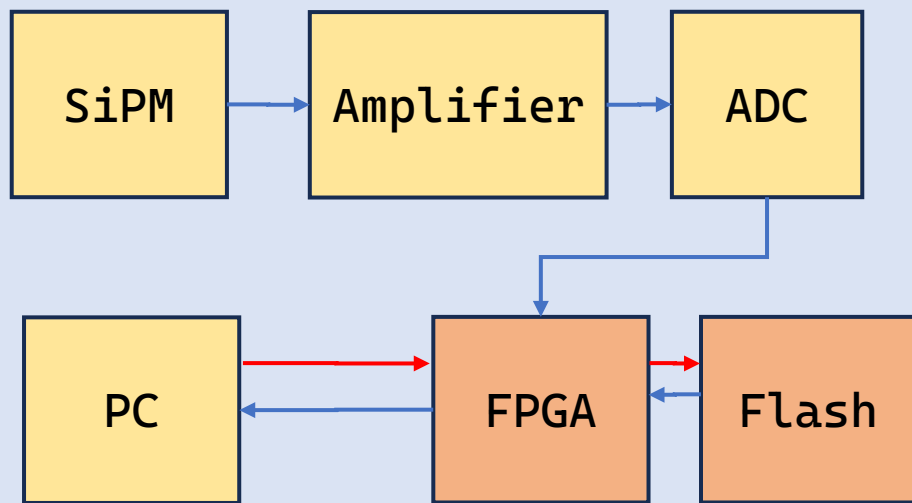
课题组： 电子学组



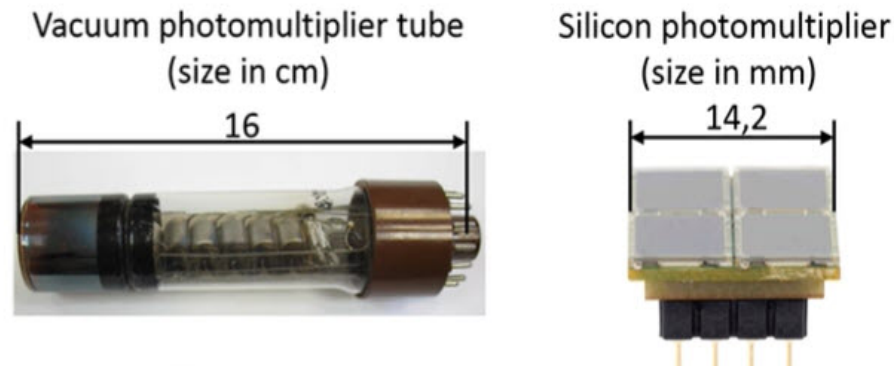
- 课题的背景
- 工作进展
 - PCB板功能验证
 - 测试子板设计
 - 芯片物理验证
- 工作计划



依托于国家重点研发课题——**超高能量分辨率及多模辐射探测器研制及应用验证**，需要实现一种与探测器相适配的小型、便携式的SiPM电子学读出系统。该系统需要对SiPM输出信号进行处理，并将数字化后的数据传输到后端主机系统。



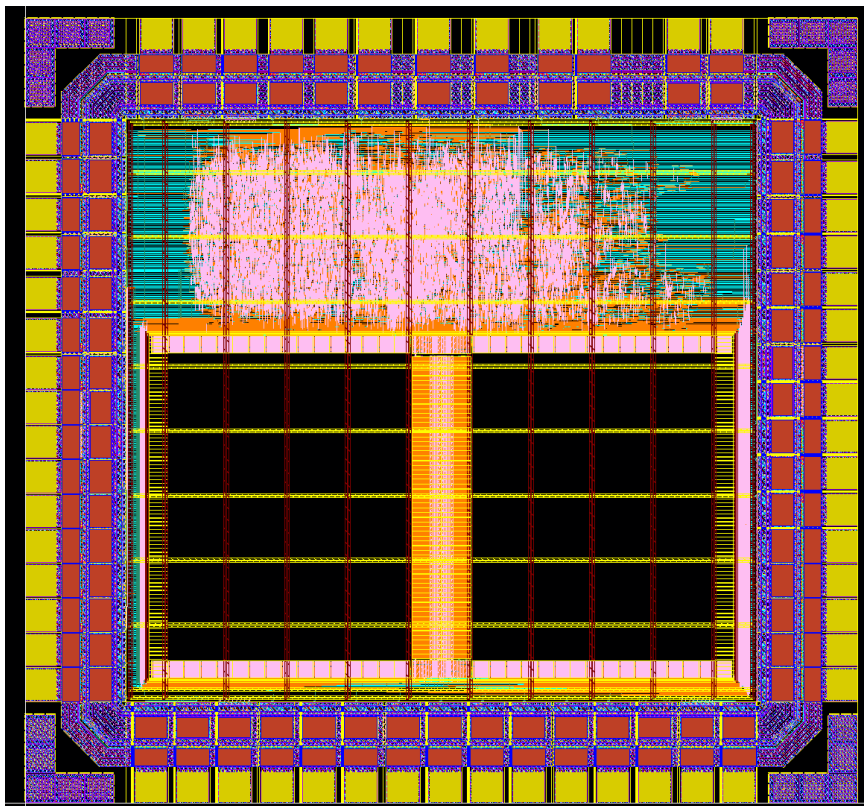
系统结构



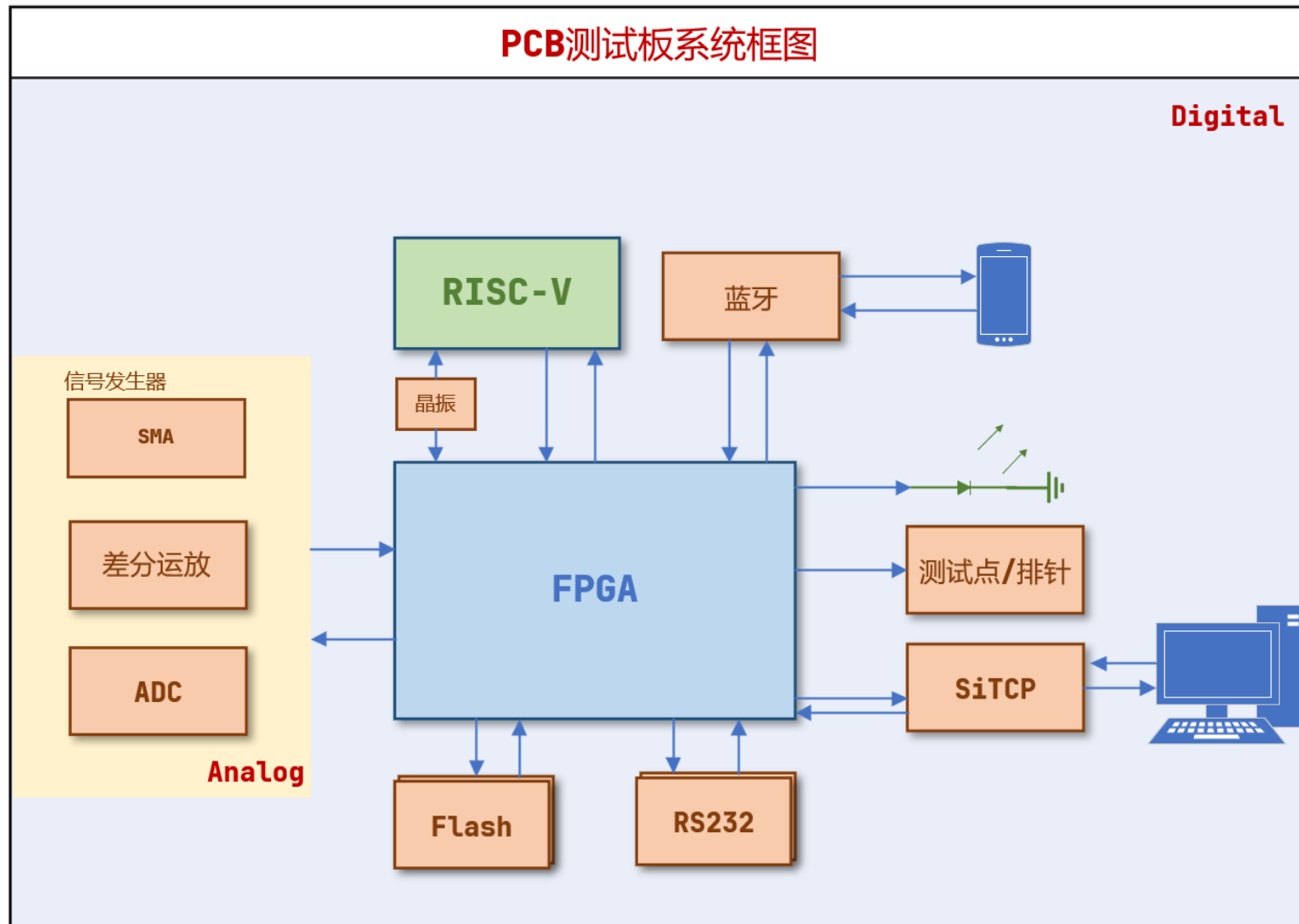
传统的光电倍增管与SiPM的尺寸

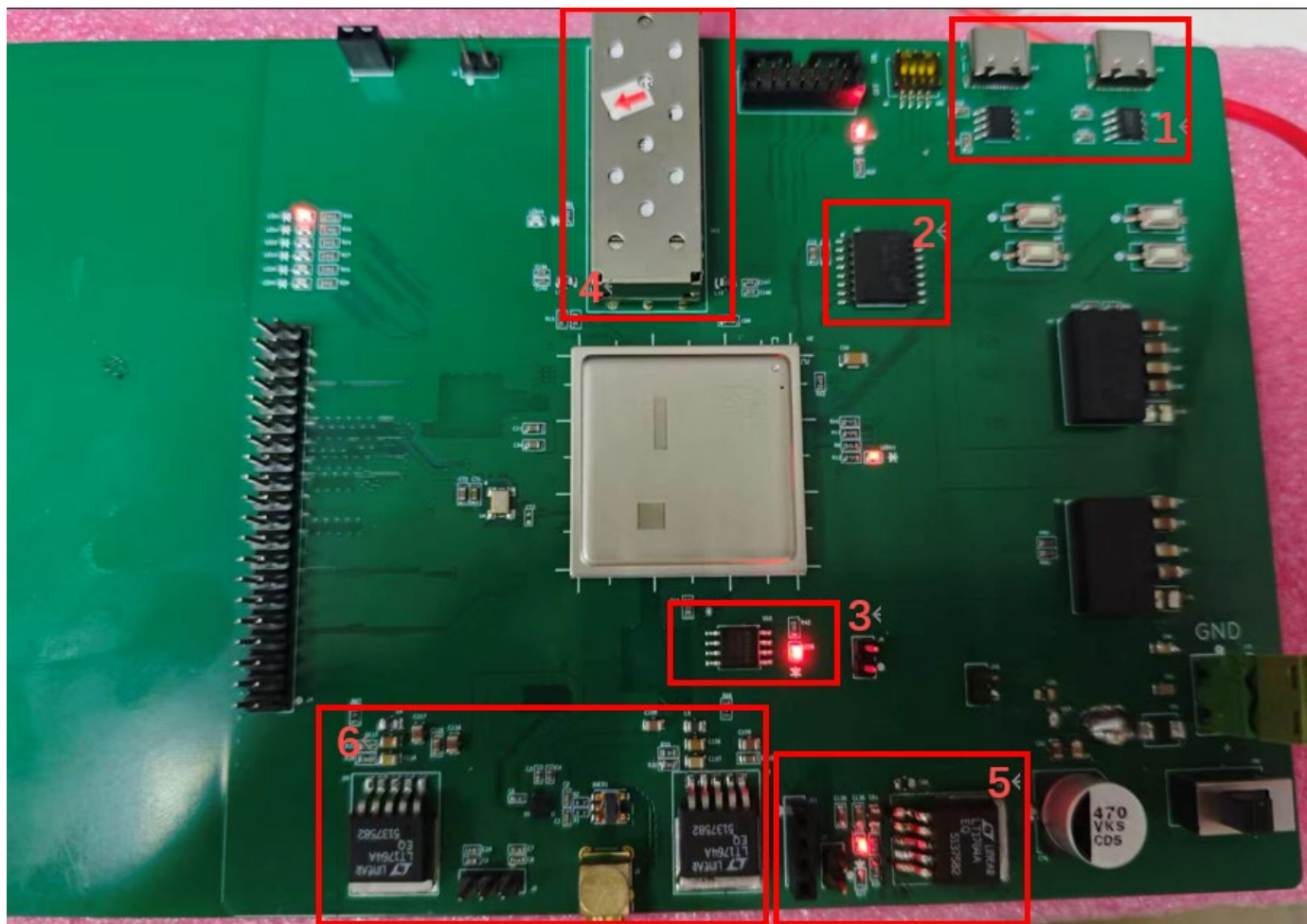
针对便携型的特点，需要低功耗的电子学系统，以最终实现单片芯片能够进行全部处理及传输控制。计划基于RISC-V处理器指令集研发芯片中的**数据控制部分**（MCU），实现一个控制灵活的FPGA嵌入式处理器软核。该IP核可以对**毫秒级**的数据进行计算以及分类，并将处理之后的数据通过蓝牙等低速协议发送到PC端。

CHIP SIZE W:1610 H:1517



为了对IP核进行硅片级的验证，得到P&R之后的GDS版图，该设计于三月份提交流片（已经生产完毕）。

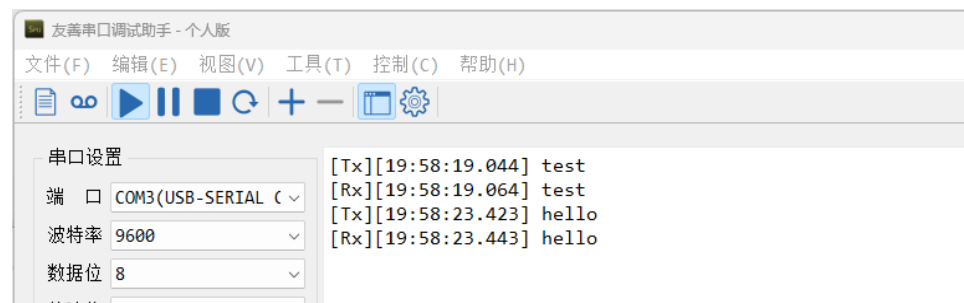




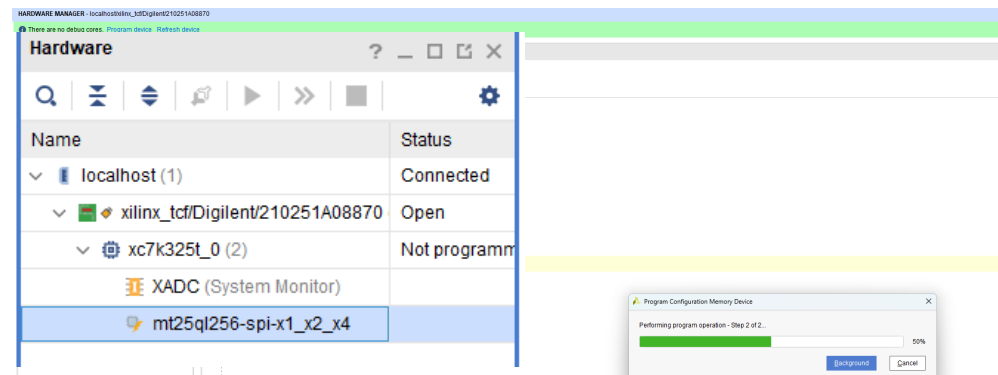
- PCB测试主板已完成设计并投板、贴片
 - 对PCB电路板进行功能测试。

1. USB串口

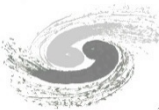
- 串口的功能正常，上位机正常收数据



2. 固化芯片



- VIVADO能识别到固化芯片，并且能固化程序

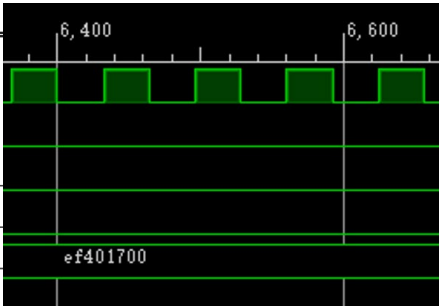


3. FLASH芯片

➤ 通过SPI协议能读回芯片的设备ID号（ID为ILA波形）。

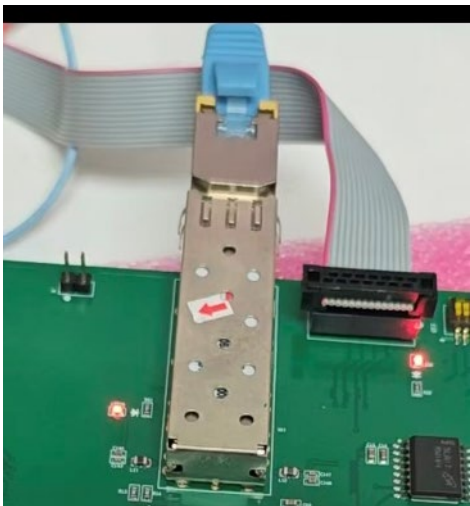
11.2.1 Manufacturer and Device Identification

MANUFACTURER ID	(M7-M0)	
Winbond Serial Flash	EFh	
Device ID	(ID7-ID0)	(ID15-ID0)
Instruction	ABh, 90h	9Fh
W25Q64BV	16h	4017h



4. 光口测试

➤ PC能ping通板子并且在MATLAB中能收到数据。

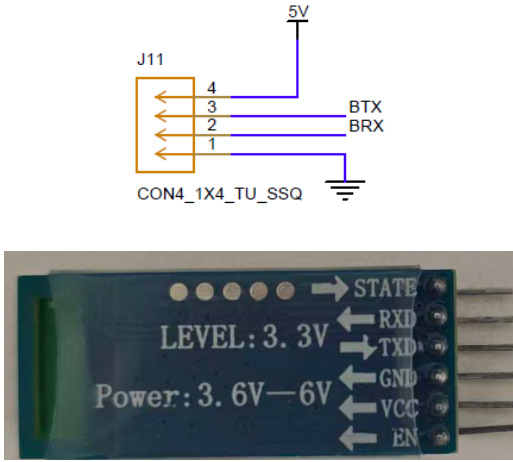
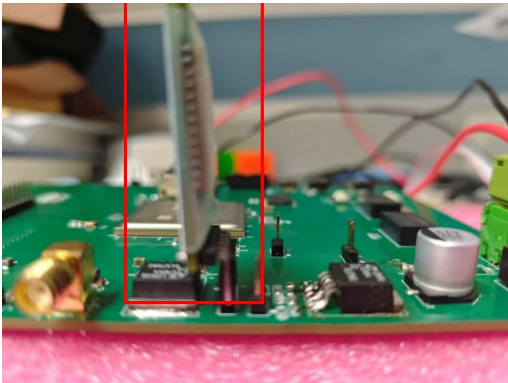


```
PS C:\Users\chenyiming> ping 192.168.10.16
正在 Ping 192.168.10.16 具有 32 字节的数据:
来自 192.168.10.16 的回复: 字节=32 时间<1ms TTL=128
来自 192.168.10.16 的回复: 字节=32 时间<1ms TTL=128
来自 192.168.10.16 的回复: 字节=32 时间<1ms TTL=128
来自 192.168.10.16 的回复: 字节=32 时间<1ms TTL=128

192.168.10.16 的 Ping 统计信息:
    数据包: 已发送 = 4, 已接收 = 4, 丢失 = 0 (0% 丢失),
    往返行程的估计时间(以毫秒为单位):
        最短 = 0ms, 最长 = 1ms, 平均 = 0ms
PS C:\Users\chenyiming>

[10:04:57.206] 连接成功, 开始接收数据...
[10:04:57.221] 收到 64 字节, 累计 64 字节
01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10
11 12 13 14 15 16 17 18 19 1A 1B 1C 1D 1E 1F 20
21 22 23 24 25 26 27 28 29 2A 2B 2C 2D 2E 2F 30
31 32 33 34 35 36 37 38 39 3A 3B 3C 3D 3E 3F 40
-----
```

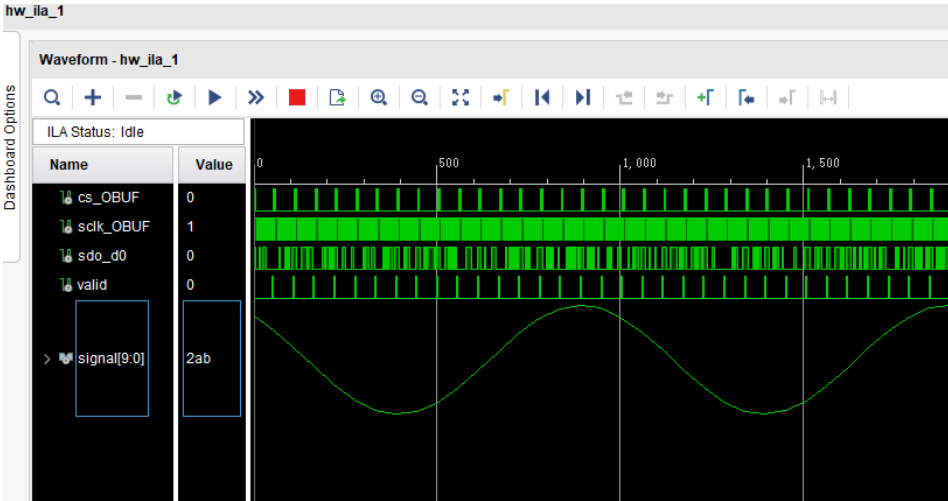
5. 蓝牙模块

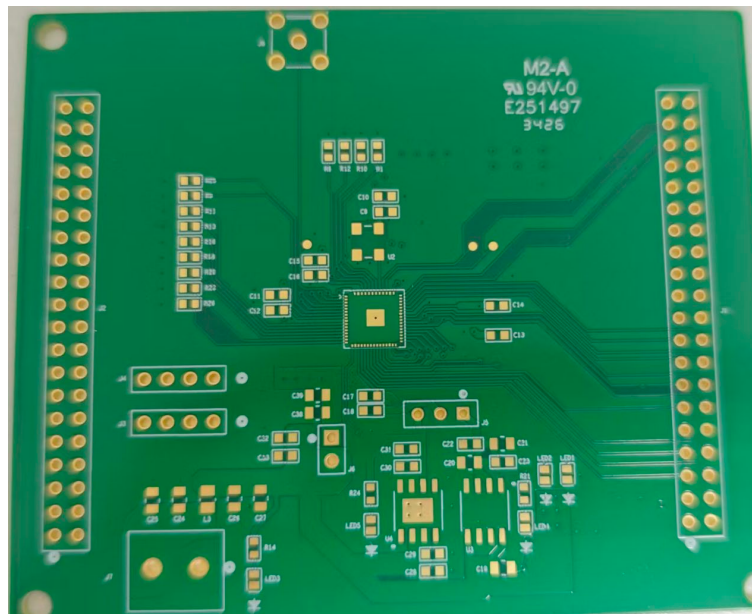
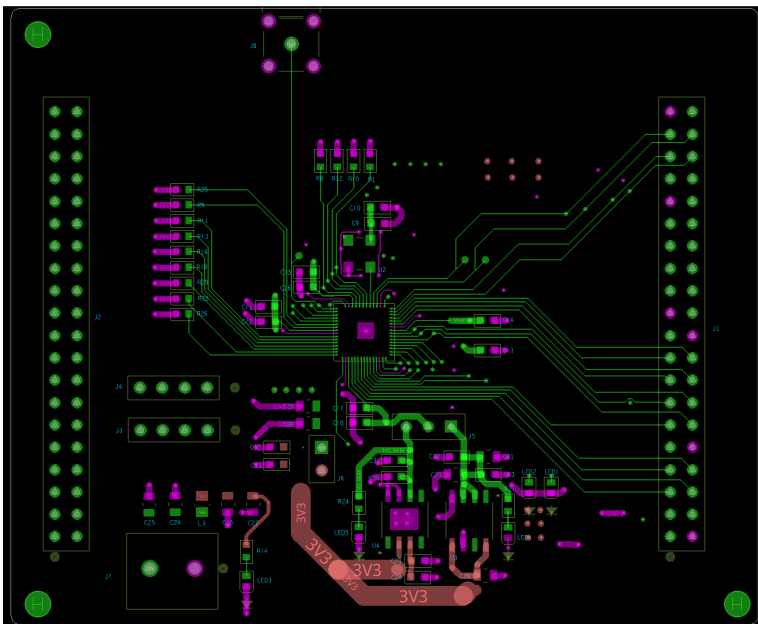
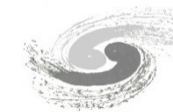


➤ 原理图绘制有误，线序出错。

6. ADC模块

➤ ILA上成功接收到信号发生器的正弦波数据。



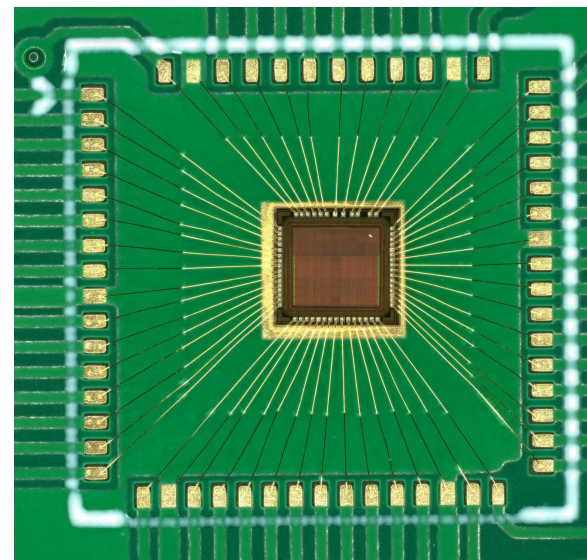
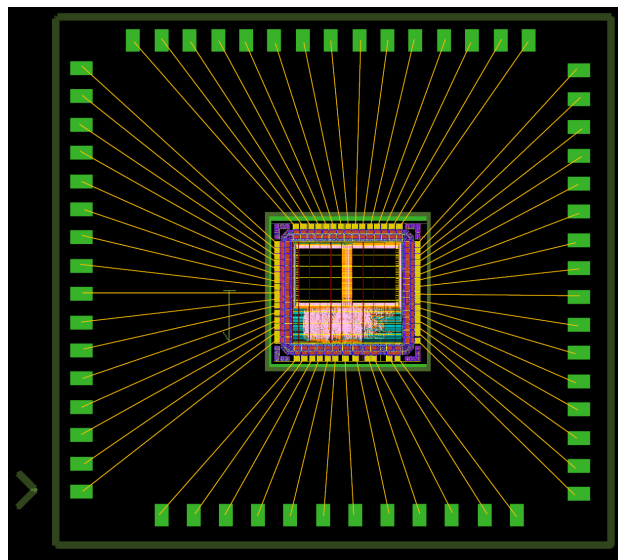


将测试基板与裸片寄出打线。依据打线说明（图左）打线之后的结果如下（右图），**目前已拿到打线后的子板。**

➤ 正在贴片并且后续对芯片进行测试。

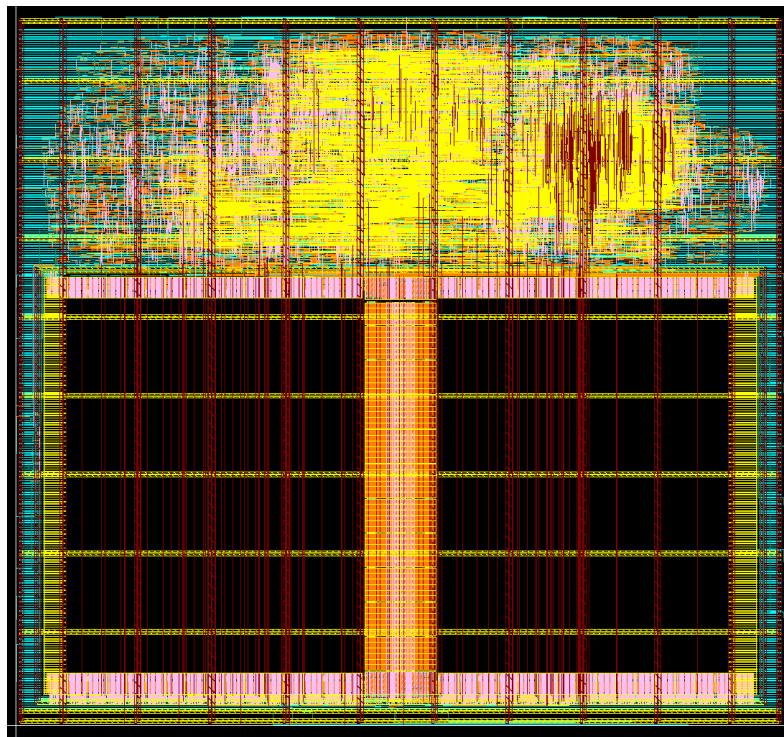
➤ 基于裸片打线的需求设计测试基板如上，表面处理采用镍钯金工艺。

- 测试基板已经生产回来
- 测试基板电压**输出1.2V无误**

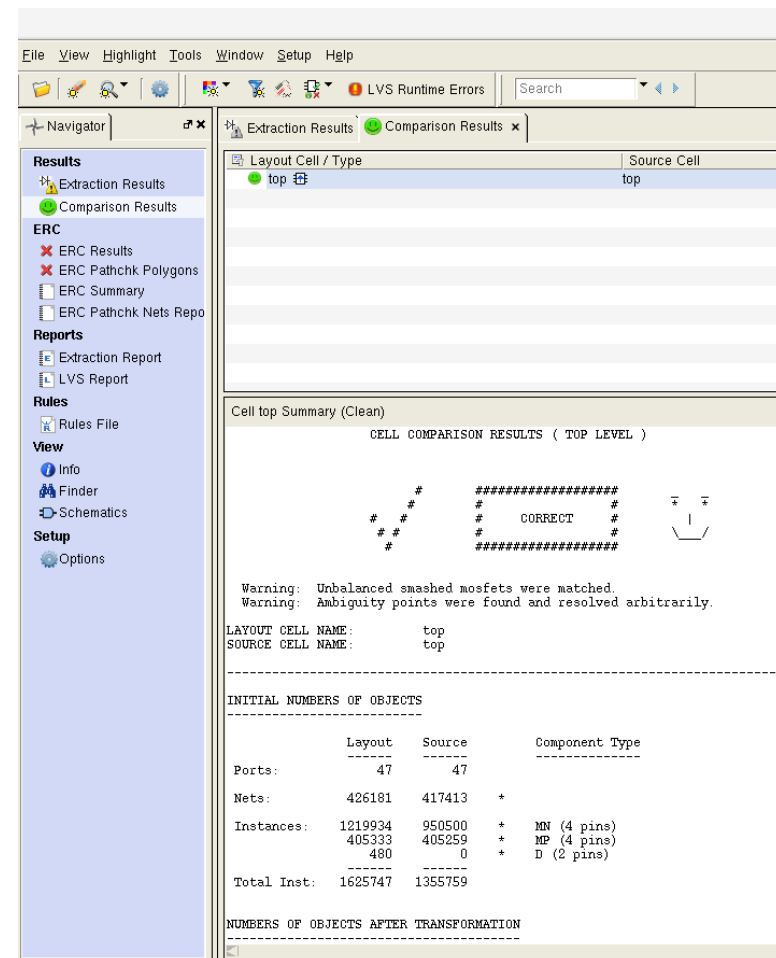




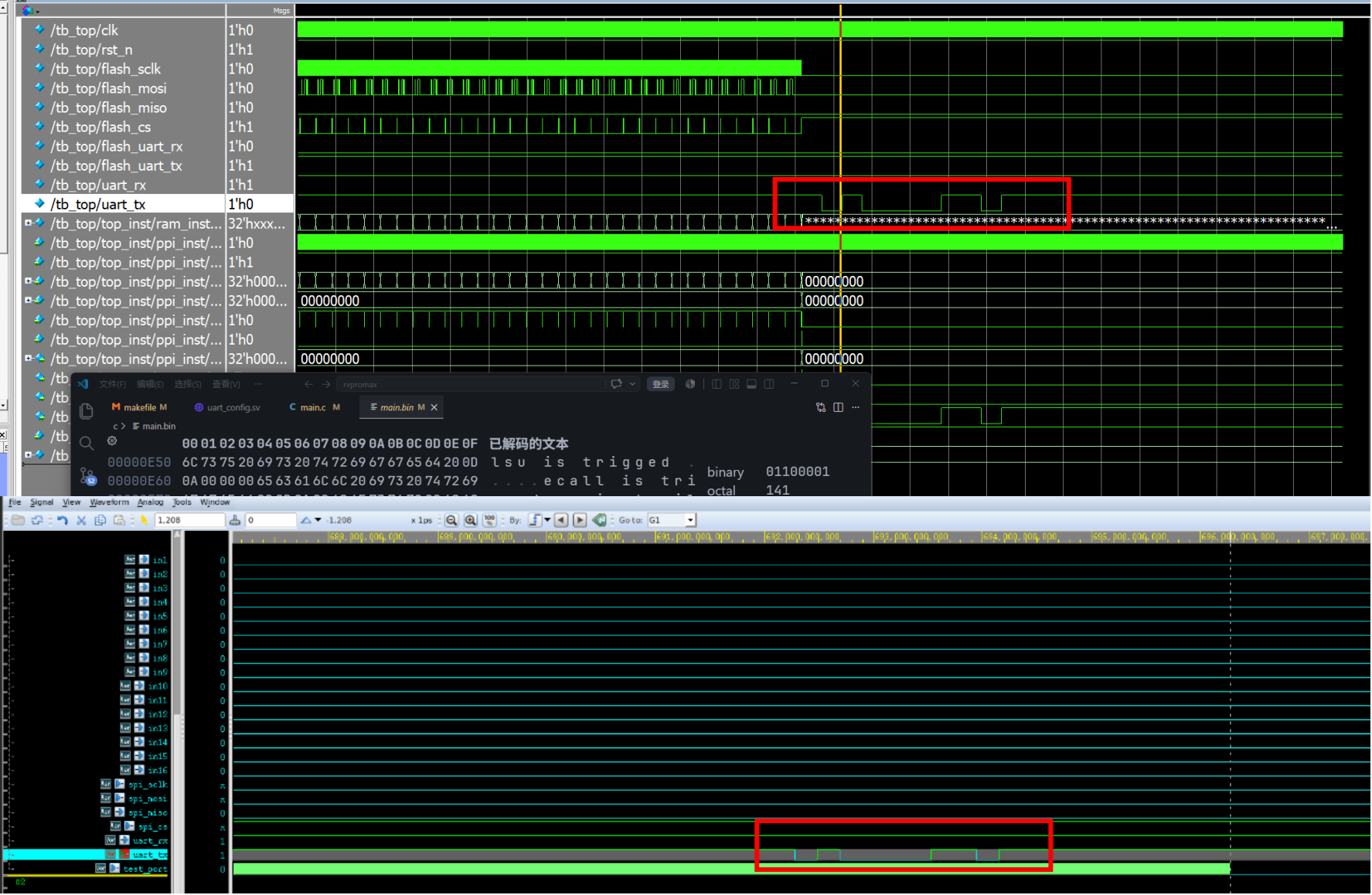
对数字流程进行验证，
在没有加入PAD的情况下
布局布线后得到版图结果
如右图所示。完成对设计
的等价性检查，Formality
软件运行的结果通过。



➤ 完成设计的LVS Check, 运行结果通过。



```
***** Verification Results *****
Verification SUCCEEDED
-----
Reference design: r:/WORK/top
Implementation design: i:/WORK/top
3127 Passing compare points
-----
Matched Compare Points    BBPin    Loop    BBNet    Cut    Port    DFF    LAT    TOTAL
-----
Passing (equivalent)      158      0      0      0      25    2944      0    3127
Failing (not equivalent)   0        0      0      0      0      0        0      0
*****
```



```
Warning-[SDFCOM_CFTC] Cannot find timing check
/home/EDA/riscv_backend/tt/vcs/postsim/src/apr_tt.sdf, 92358
Module: DUAL_PORT_RAM, "instance: tb_top.top_inst.\ram_inst/D
SDF Warning: Cannot find timing check $period(negedge CLKB,

Warning-[SDFCOM_CFTC] Cannot find timing check
/home/EDA/riscv_backend/tt/vcs/postsim/src/apr_tt.sdf, 92518
Module: DUAL_PORT_RAM, "instance: tb_top.top_inst.\ram_inst/D
SDF Warning: Cannot find timing check $period(negedge CLKB,

Total errors: 0
Total warnings: 27
*** SDF annotation completed: Thu Jun 25 20:59:35 2026
```

反标成功

完成后仿验证:

- 使用VCS对时序反标后的门级网表进行后仿真，可以得到与Modelsim前仿真一致的波形。



➤ 导入virtuoso中使用calibre进行DRC检查结果。

- GT层走线未被SP、SN覆盖
- M2金属间距违例

手动对DUAL PORT RAM的DRC进行修改，修改之

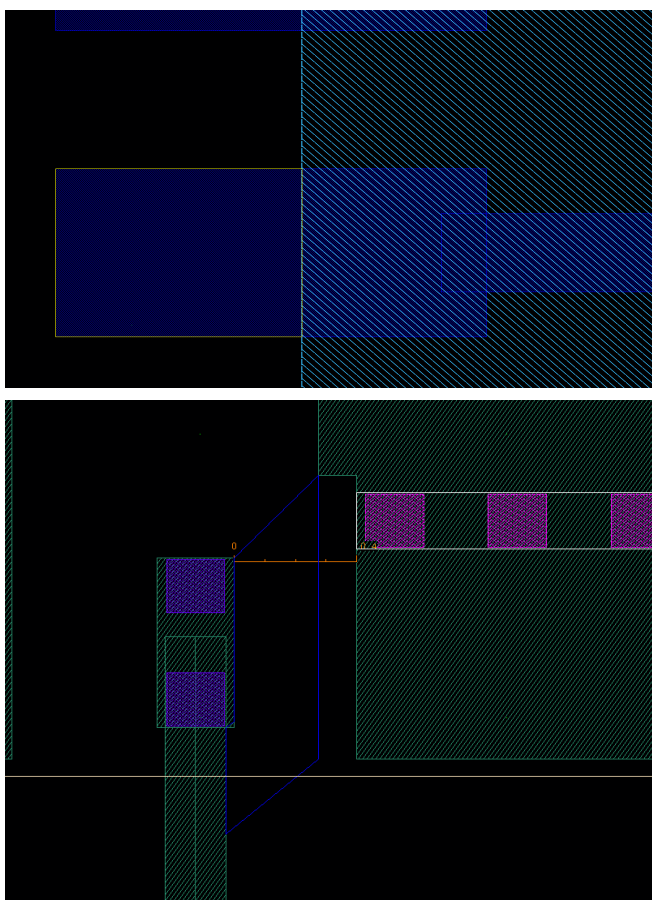
后的结果如下所示，违例的地方大量减少。只剩下金属层密度和BD问题。

File View Highlight Tools Window Setup Help

Filter: Show Not Waived | top, 1945 Results (in 14 of 510 Checks)

Check / Cell	Results	Flat
Check GT_11	638	3778
Check M1_6a	1	1
Check M2_3a_R	4	4
Check M2_3b_R	12	12
Check M2_6a	1	1
Check M3_6a	1	1
Check M4_6a	1	1
Check M5_6a	1	1
Check M6_6a	1	1
Check TM1_7a	1	1
Check MTT_7	1	1
Check BD_1	282	3234
Check BD_2a	1000	1000
Check Convention_4	1	1

Rule File Pathname: SMIC_CalDRC_011013L6LLMS_122533_v1.25_0_8_2TM.drc
 For two top-metal process, TM1 is a must layer.
 For one top-metal process, TM1 layer is not allowed.



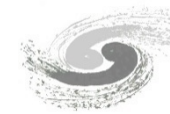
File View Highlight Tools Window Setup Help

Filter: Show Not Waived | top, 1290 Results (in 10 of 511 Checks)

Check / Cell	Results	Flat
Check M1_6a	1	1
Check M2_6a	1	1
Check M3_6a	1	1
Check M4_6a	1	1
Check M5_6a	1	1
Check M6_6a	1	1
Check M7_6a	1	1
Check MTT_7	1	1
Check BD_1	282	3234
Check BD_2a	1000	1000

9) Check BD_1, Cell top
 4-Vertex Polygon. Coord
 (4.0 4.0) (7.0 4.0)

Rule File Pathname: SMIC_CalDRC_011013L6LLMS_122533_v1.25_0_8_2TM.drc
 The BORDER layer must enclose all chip layout patterns, which have been added by designers.
 This rule checking includes the layers of DNV, AA, NW, NC, PC, MVP, DG, GT, SN, SP, SAB, CT, M1, V1, Mn, Vn, P2, TMn, TVn, PA, MD, Fuse, i



- 完成测试子板的焊接贴片、进行芯片的测试。
- 完成RISC-V软核与ADC、SFP的联调。
- 加入PAD继续完善对芯片的物理验证。



感谢各位老师 请批评指正！