

顶点探测器像素芯片设计

卢云鹏

2026/9/10



人员与分工

Task	Responsible person	Affiliation
Integration and verification	卢云鹏, 熊浩	IHEP
Process and analog front-end	张颖, 刘梓莹	IHEP
Matrix readout logic	李彤	NCU
Readout scheme and FPGA verification	卢云鹏, 郁晗	IHEP
Peripheral data readout	焦元鸿, 颜骏远, 李新杰	NWPU
PLL & Serializer & LVDS	胡权威	CCNU
DAC/Negative biased PAD	郝宝书	CCNU
Analog buffer	熊浩	IHEP

具体设计与推进

- 建议把具体设计讨论放在周四例会之后
 - 每个designer汇报设计进展
 - 需要深入讨论的问题可另行安排时间

Task	目前的工作推进方向
性能指标评估	从occupancy, pixel dead time, 读出速度等各方面能否满足Hit rate
Analog Front-end	Diode设计（结合TCAD），FPN优化，版图规划
Matrix readout logic	根据郁晗的模型加入freeze和ROM逻辑；提供RC和门延迟参数给郁晗；根据时序仿真结果迭代确定长线驱动的buffer尺寸与数量
Readout scheme and FPGA verification	按照李彤的逻辑电路进一步细化模型；根据李彤的延迟参数进行时序仿真，多次迭代确定hit读出时序；在FPGA上验证像素阵列逻辑和数据读出方案
Peripheral data readout	修改外围读出电路的group和region宽度；利用郁晗的双列模型检验EOC逻辑和数据读出rtl代码；进行初步的功耗评估以确定读出方案
PLL & Serializer & LVDS	1.28 Gbps LVDS设计，与外围读出确认PLL设计要求（640M/64M/32M）
DAC	6 电压DAC+6电流DAC，跟张颖确认动态范围（特别是VERESET）



阈值和功耗对Time walk的影响

- 提出了确定阈值，功耗，以及Time walk指标的方法
 - 单像素的信号电荷统计分布（TCAD或简单建模）
 - 模拟前端电路在不同功耗下的TOA曲线（电路设计）
 - Time walk的统计分布 → 模拟前端对Time stamp精度的贡献

Column Drain读出的时序建模和仿真

- Verilog建模与门级电路的交互迭代
 - 门级电路按照Verilog建模增加Freeze, ROM以及驱动buffer等功能
 - Verilog模型按照门级电路把或门替换为或非门/与非门交替, 节省面积
- 逻辑门驱动和线负载建模
 - 李彤完成了逻辑门的电阻值提取, 以及线负载的寄生参数提取
 - 郁晗把这些参数放到verilog模型里面进行时序仿真
- Column Drain的逻辑版图面积评估

外围数据读出的RTL代码

- 按照1个region的规模修改RTL代码
 - 双列逻辑建模与外围数据读出的联合功能仿真, debug
 - 数字IC流程与FPGA流程交叉验证

数据传输方案

■ LVDS和CML的比较 (ChatGPT)

- 对 90nm CMOS、1.28Gbps 来说:
- 如果目标是低功耗、简单、稳定、标准接口风格: 选 LVDS
- 如果目标是高速裕量、眼图质量、后续可扩展性: 选 CML
- 一句话判断: “够用且省电” → LVDS; “性能更强、后续更好扩展” → CML
- 所以如果选 LVDS, 通常建议用 forwarded clock
- 考虑未来兼容Stiching片内设计, 接收端用LVDS更简单

■ 根据外围数据读出的系统时钟要求确定PLL的时钟输出频率

DAC的通道数和动态范围

- 根据张颖提供的电压和电流偏置通道数，以及动态范围，确定DAC的设计指标
 - 5个电压通道+3个电流通道，
 - 电压DAC动态范围从0.6V到1.2V，
 - 电流DAC待定（IBIAS从30nA到300nA）
 - 需要初步估计功耗

CEPC workshop

- 一些可能的Topic供参考
 - 0、顶点探测器像素芯片的整体设计方案
 - 1、功耗和阈值对time walk的影响
 - 2、column drain的时序建模和仿真
 - 3、外围数据读出电路架构
 - 4、高速数据传输的方案
 - 5、多通道电压和电流DAC设计方案
- 请注意摘要提交截止时间延长到了9月15日。