PRECISE / CHIP ARCHITECTURE STUDY

Time walk, timestamp precision, Integration time, Occupancy

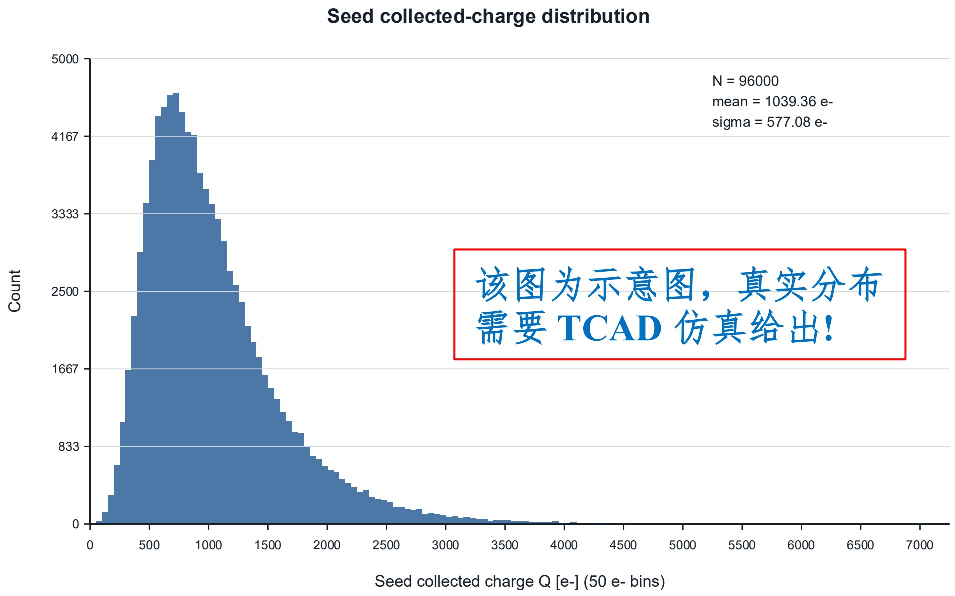
- Method
- Requirement
- Parameter estimation

2026.9.10

Front_end Design Targets

■ 确定像素Q分布

- 探测效率、cluster size等考虑
- Threshold 取值（100~150e-）

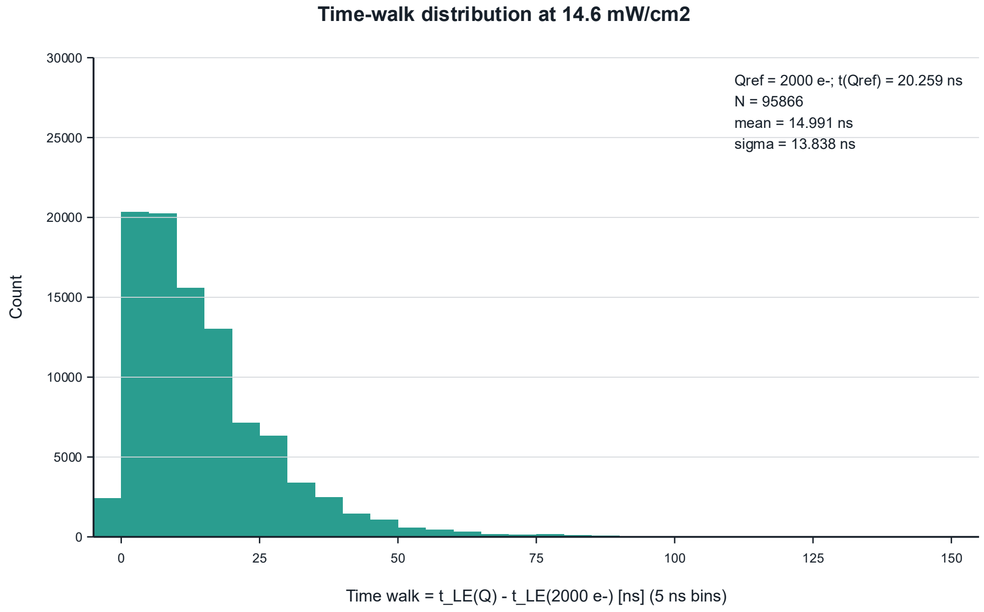


■ 设置不同功耗工作点

- 理想值 10 mW/1.26 = 7.9 mW/cm²
- 设计范围 ~ 14.6 mW/cm²

■ time walk分布（timestamp precision <100ns）

- 时间标记精度值 $\sigma_{\mathrm{walk}} = 14\ \mathrm{ns}$ *(数值仅作参考)*
- time walk 的大小不直接决定 timestamp precision



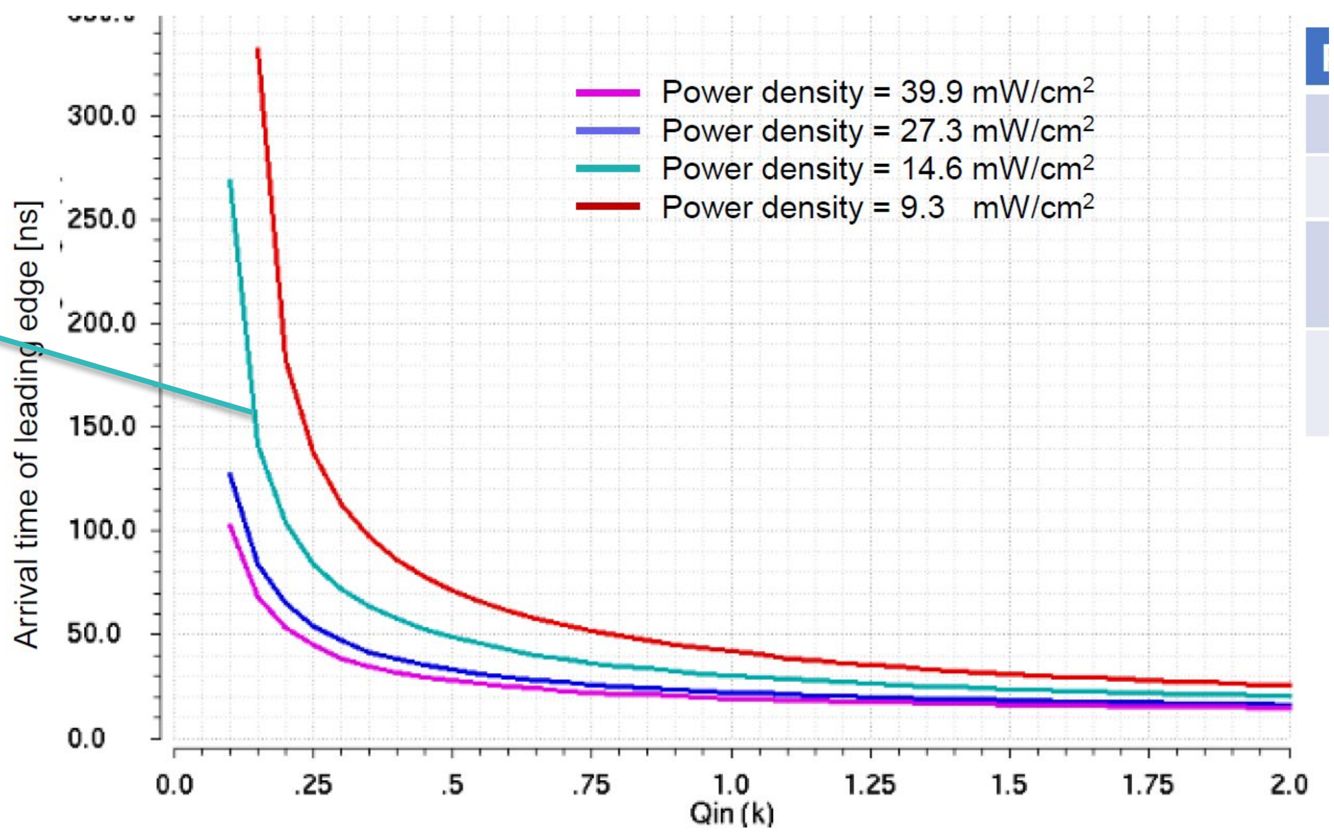
□ **time walk 取 250~300 ns，考虑低功耗（Threshold 100~150e-）**

Front_end Design Targets

[Front-end design]

Simulation of leading edge vs. charge

Q分布 —— time walk分布



Occupancy, Dead time, Integration time for 200MHz/cm²

■ EOC模块接收 fastor 信号后延迟 t_{del} 发送 freeze

- 一次事件所有 hit 产生时刻受 time walk 影响有时间差
- $t_{hit-EOC} + t_{del} + t_{EOC-freeze} > t_{walk}$

■ Integration time < 1us（$t_{int} = t_{timestamp} - t_{Real}$）

- $t_{int} = t_{collect} + t_{cross} + t_{hit-EOC}$
- 一次事件的cluster正确读出概率分布： $t_{int} \approx 450$ ns

■ 多次事件timestamp错误概率

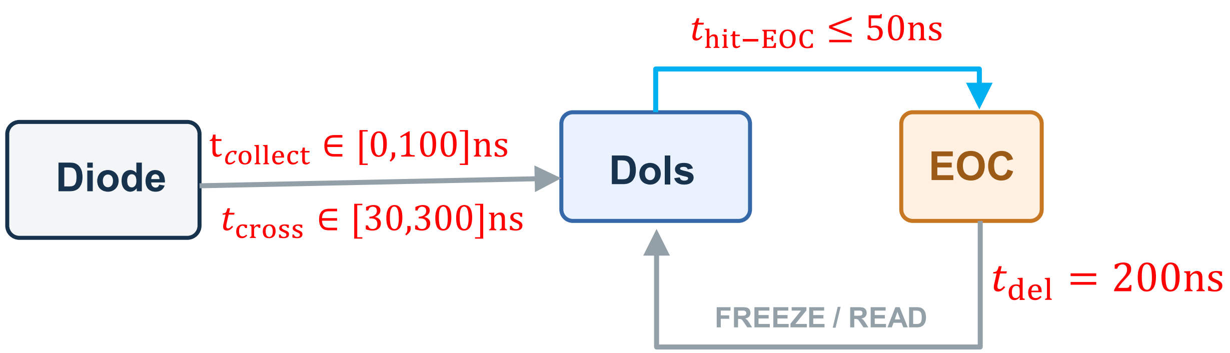
- $P_{erro} \approx 0.1150\% \times 41\% \approx 0.05\%$

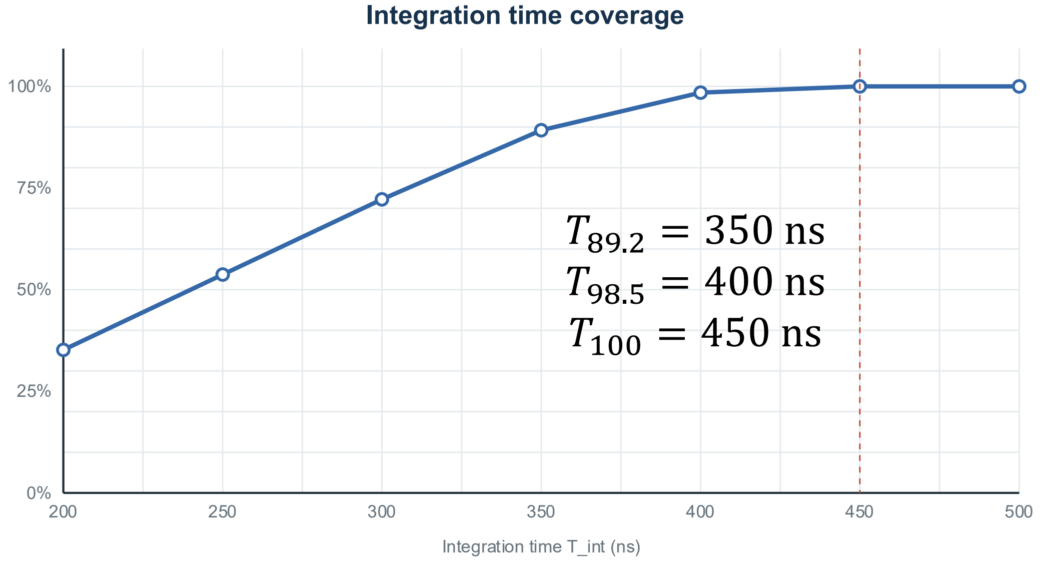
■ dead time

- freeze的存在几乎没有死时间（$P(N \geq 2) = 0.000009\%$）

■ Pixel Occupancy

时间窗口	450ns @ 252MHz/chip
Avrage pixel hit	113 @ 262144
Pixel Occupancy	0.043%





$t_{int} \approx 450$ ns @ 1cluster 100% coverde

$P_{erro} \approx 0.05\%$ @ cluster ≥ 2

Region 读出链路

一个region覆盖64个双列；200 Mhit/s/cm²

数据路径

4棵独立FIFO tree并行产生数据，最终由单个region mux汇聚后送入LVDS

像素 hit 输入
4 × 16 dcols = 64 dcols / region

EOC for each DoI — 20 MHz

时钟交互模块

4 × 5级 shared FIFO tree — 64 MHz

tree 1 | tree 2 | tree 3 | tree 4

每棵：16→8→4→2→1(root)

region mux — 64 MHz
4 tree汇聚 · 1 word / clock

2×1.28 Gbit/s LVDS — 128 MHz

时钟 / 线速 *（两个数值代表有无数据压缩）*

4 × FIFO tree

f_{min} 与 region mux 读出时钟匹配

region mux（4棵tree汇聚）

$f_{min} > 62.91 MHz$

$f_{min} > 31.46 MHz$

LVDS（2×1.28 Gbit/s）

最低线速：2.52 / 1.26 Gbit/s

具体模块所需时钟待讨论确定

Conclusion

指标评估	
像素部分Q分布	待仿真
Threshold	100~150e-
time walk	250~300 ns
pixel Occupancy	0.043% @ 450ns
Integration time	$450\ ns\ @\ 1 cluster\ 100\%\ covered$
P_{erro}	$0.05\%\ @\ \mathrm{cluster} \geq 2$
Dead time	0
各模块时钟