

顶点探测器像素芯片设计

卢云鹏

2026/9/17



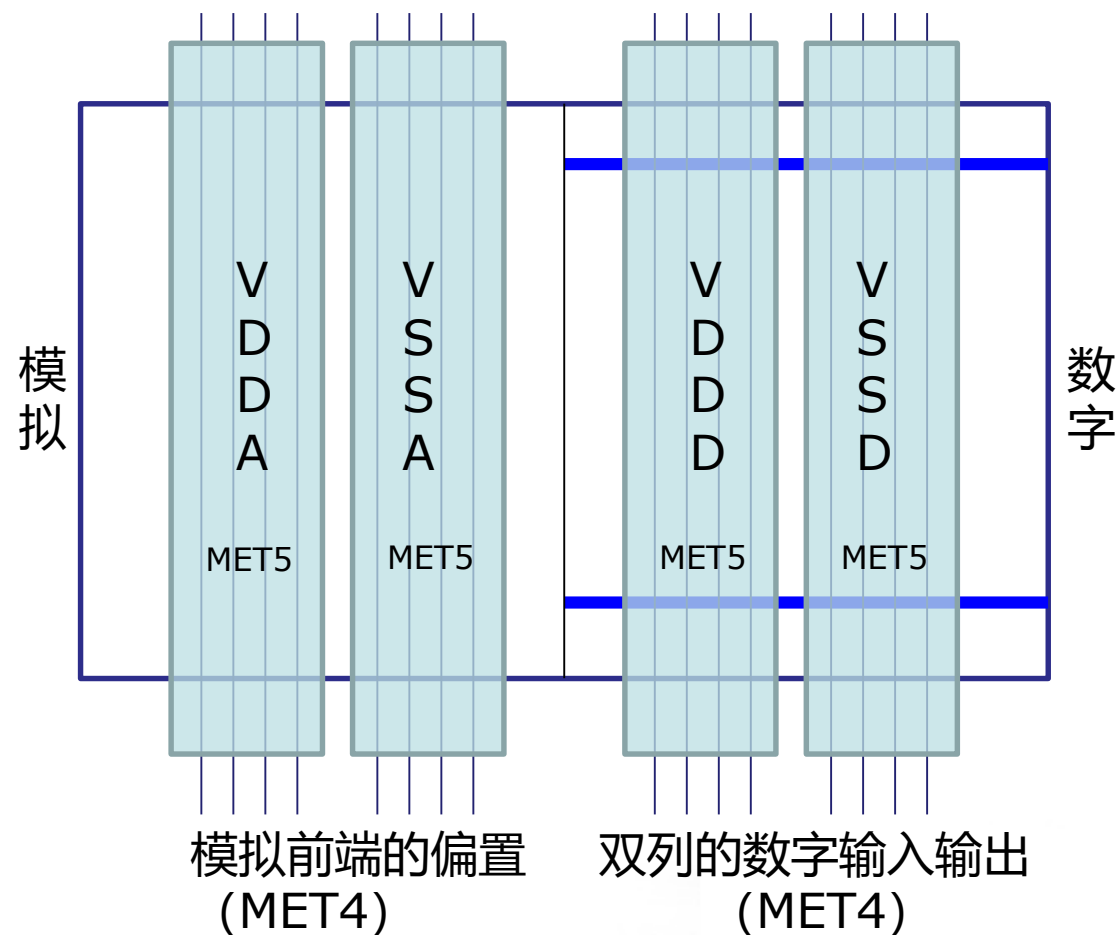
具体设计与推进

- 具体设计讨论放在周四例会之后
 - 每个designer汇报设计进展
 - 需要深入讨论的问题可另行安排时间

Task	目前的工作推进方向
性能指标评估	从occupancy, pixel dead time, 读出速度等各方面能否满足Hit rate
Analog Front-end	Diode设计 (结合TCAD) , FPN优化, 版图规划
Matrix readout logic	根据郁晗的模型加入freeze和ROM逻辑; 提供RC和门延迟参数给郁晗; 根据时序仿真结果迭代确定长线驱动的buffer尺寸与数量
Readout scheme and FPGA verification	按照李彤的逻辑电路进一步细化模型; 根据李彤的延迟参数进行时序仿真, 多次迭代确定hit读出时序; 在FPGA上验证像素阵列逻辑和数据读出方案
Peripheral data readout	修改外围读出电路的group和region宽度; 利用郁晗的双列模型检验EOC逻辑和数据读出rtl代码; 进行初步的功耗评估以确定读出方案
PLL & Serializer & LVDS	1.28 Gbps 设计考虑, 与外围读出确认PLL设计要求 (640M/64M/32M)
DAC	5 电压DAC+3电流DAC设计考虑, 电压动态范围 (0.6~1.2V)

像素阵列的布线规划

- 共5层金属，MET5作为电源/地
 - 模拟和数字分开
 - MET5垂直布线
- MET4用作垂直方向的长线
 - 模拟前端的偏置
 - 数字逻辑的双列输入输出ADDR等
- MET1/2/3主要作为local布线和电源地
 - 数字需要横向的电源地，与MET5形成网络
 - 这些横向的电源地会穿越模拟前端的版图
 - 用哪一层实现？M3？
 - 模拟前端是否需要横向电源地网络？



CEPC workshop

- 一些可能的Topic供参考
 - 0、顶点探测器像素芯片的整体设计方案
 - 1、功耗和阈值对time walk的影响
 - 2、column drain的时序建模和仿真
 - 3、外围数据读出电路架构
 - 4、高速数据传输的方案
 - 5、多通道电压和电流DAC设计方案
- 摘要提交截止时间9月15日。