



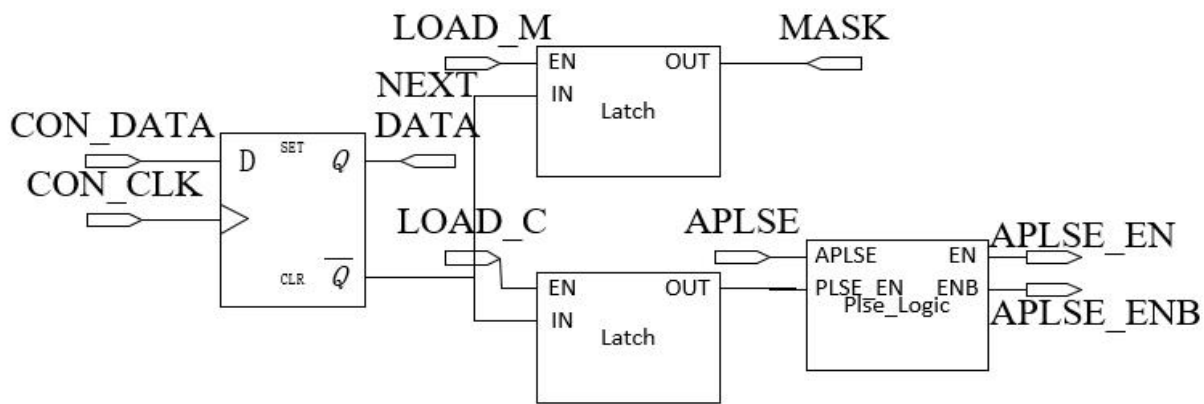
09.17



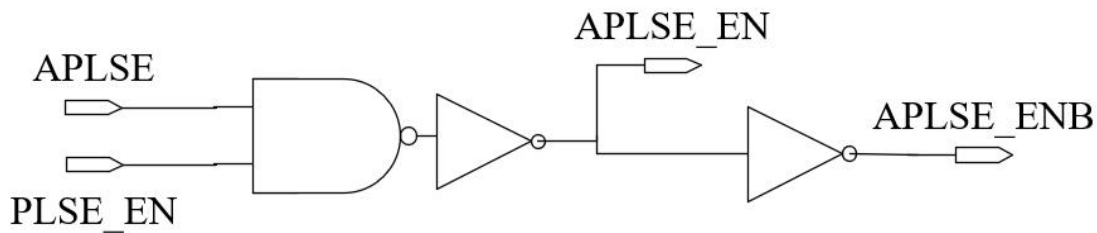


1.像素内结构

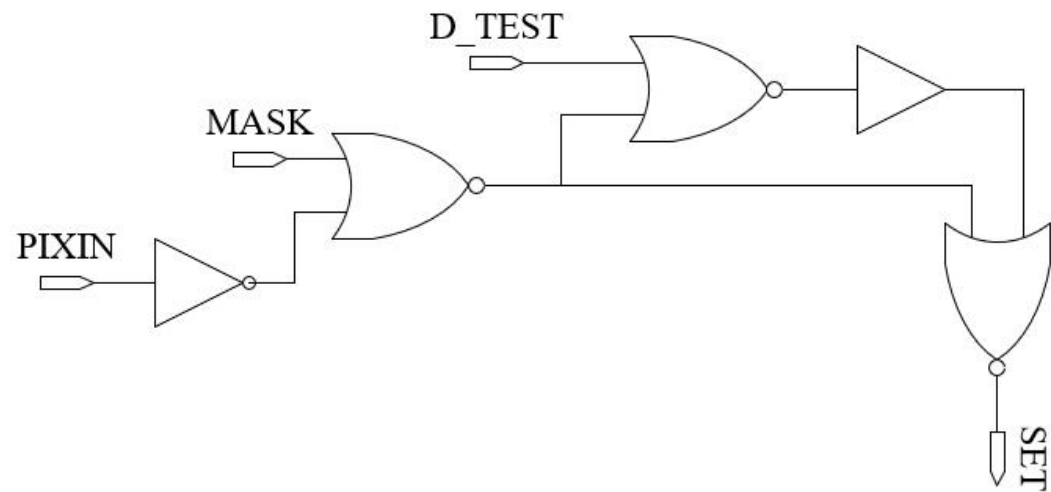
第一级：配置寄存与脉冲生成



Plse_Logic内部结构



第二级：击中输入与置位产生

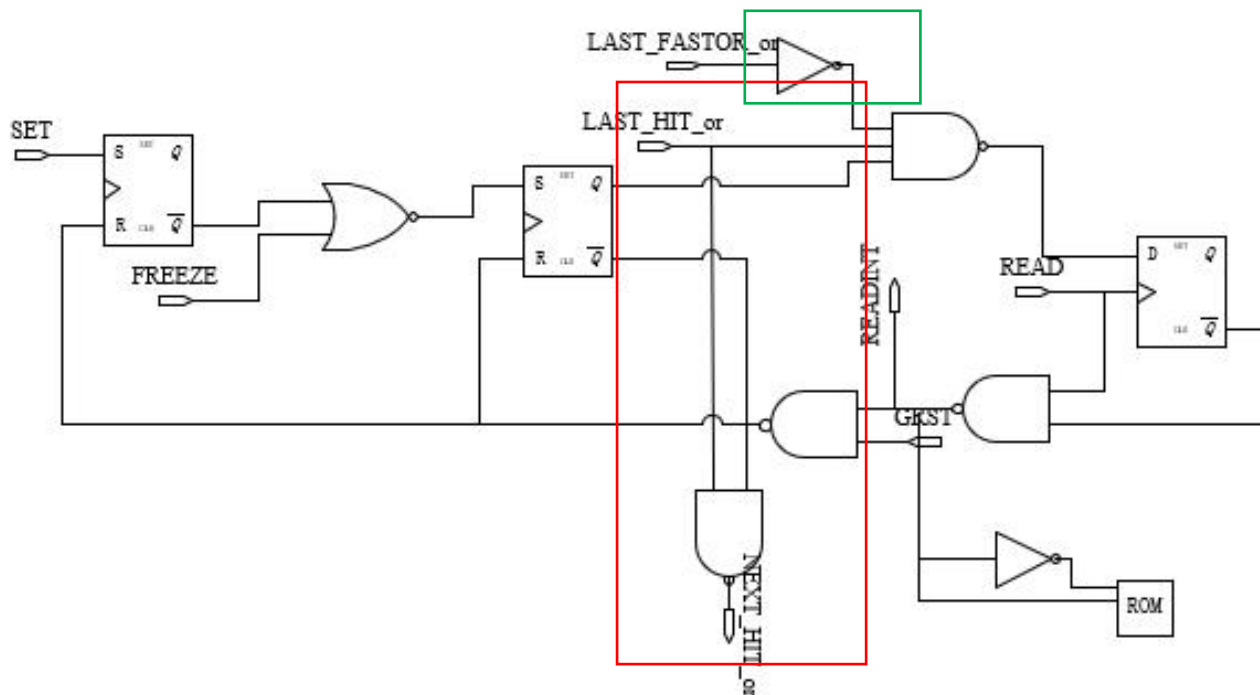




1.像素内结构

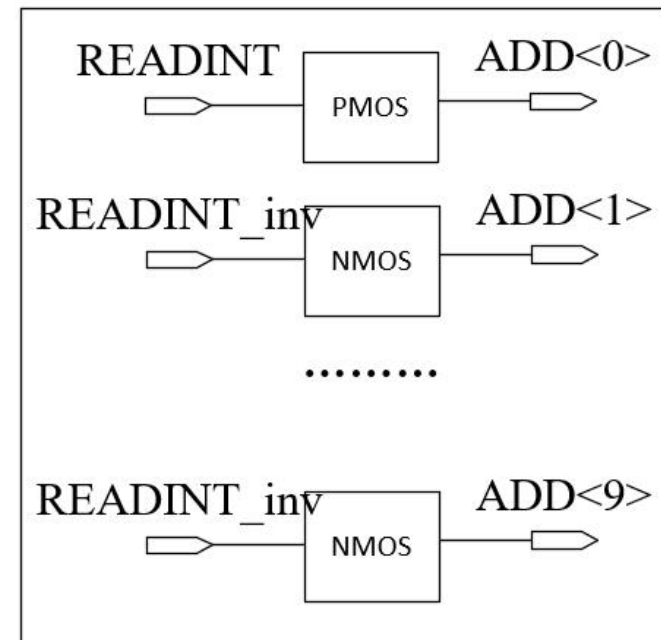
第三级：优先级仲裁、地址存取与读出复位

假定用NOR-NAND替代或门，**NAND**像素内部结构



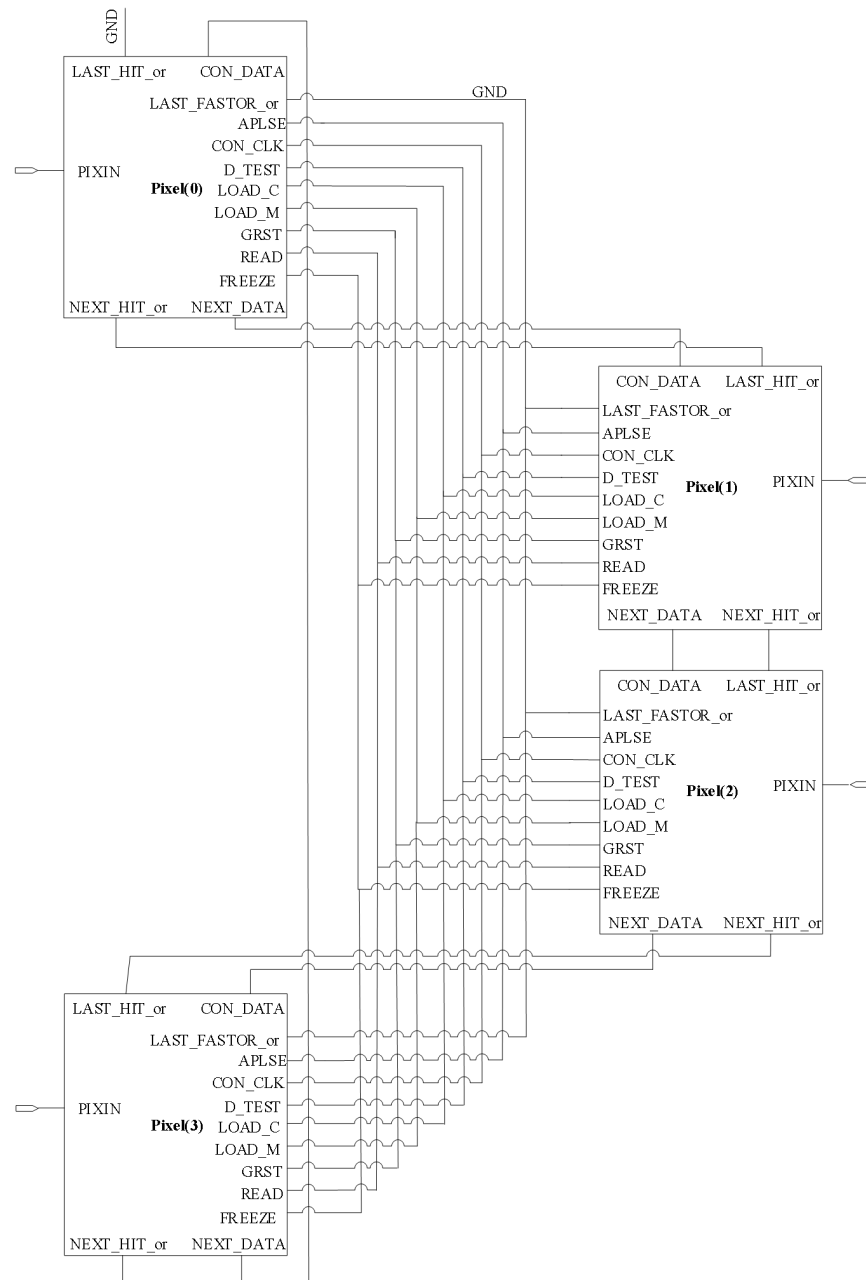
像素内ROM结构

每个像素内有10个MOS管用于输出10位地址，
每个像素内MOS管的结构由像素地址编码决定





2.像素阵列双链结构



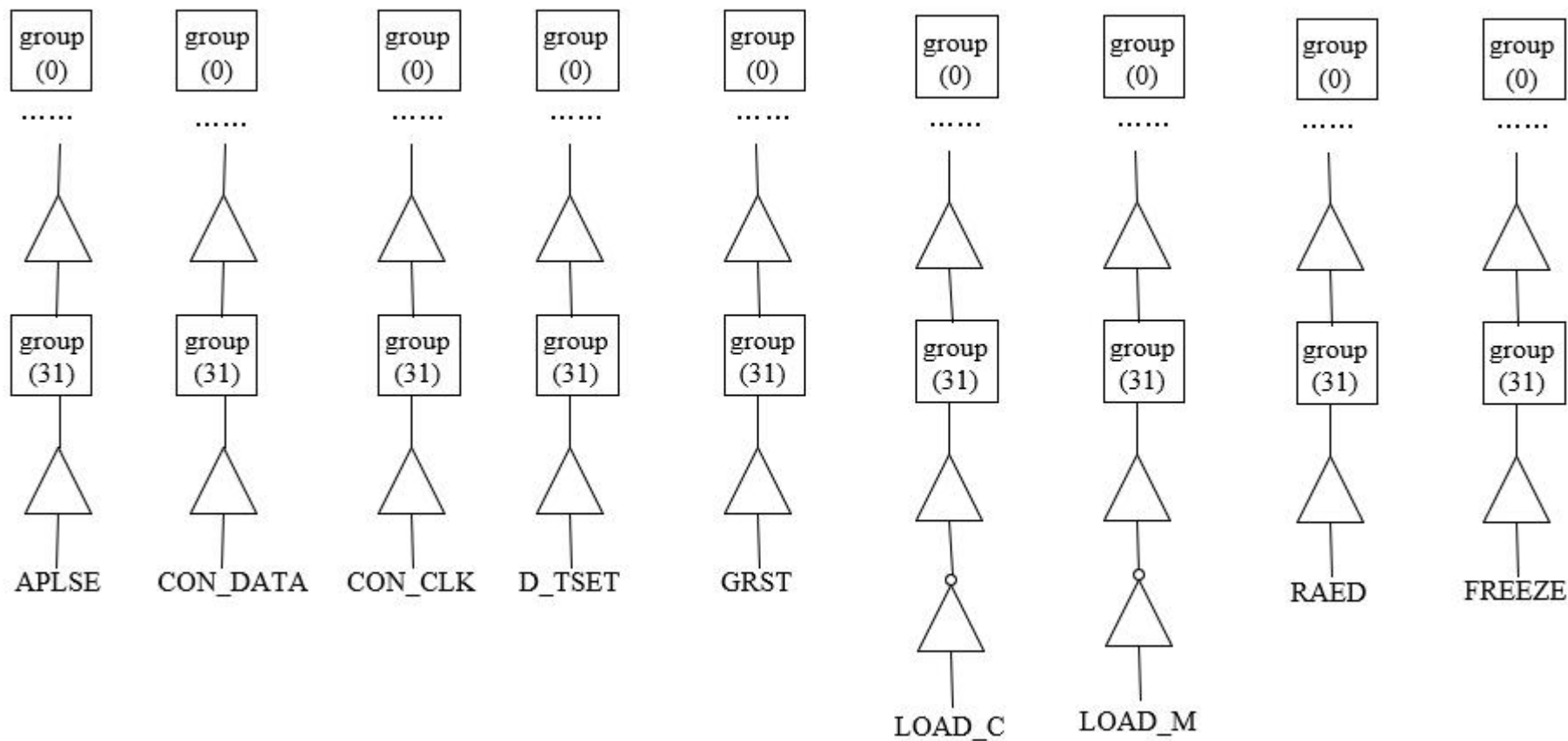
双链像素间蛇形走位

将1024个像素分为32组，每组32个像素



2.像素阵列双链结构

长链信号每32个像素加一个缓冲器（后续修改）

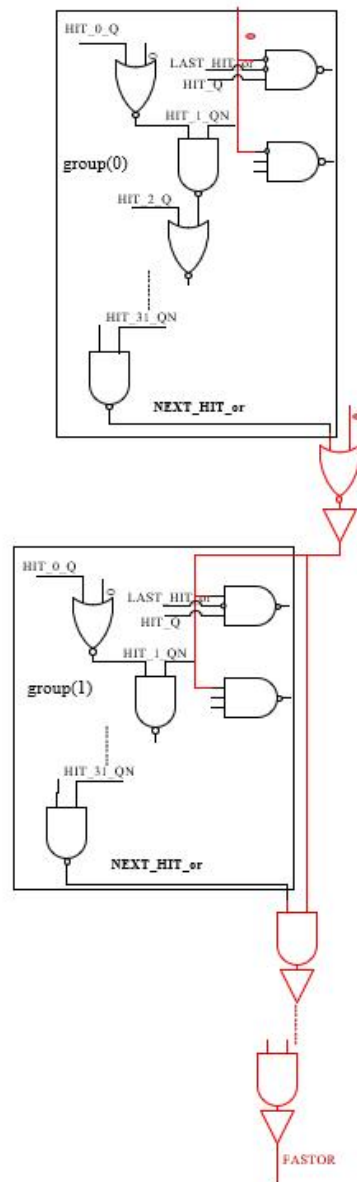
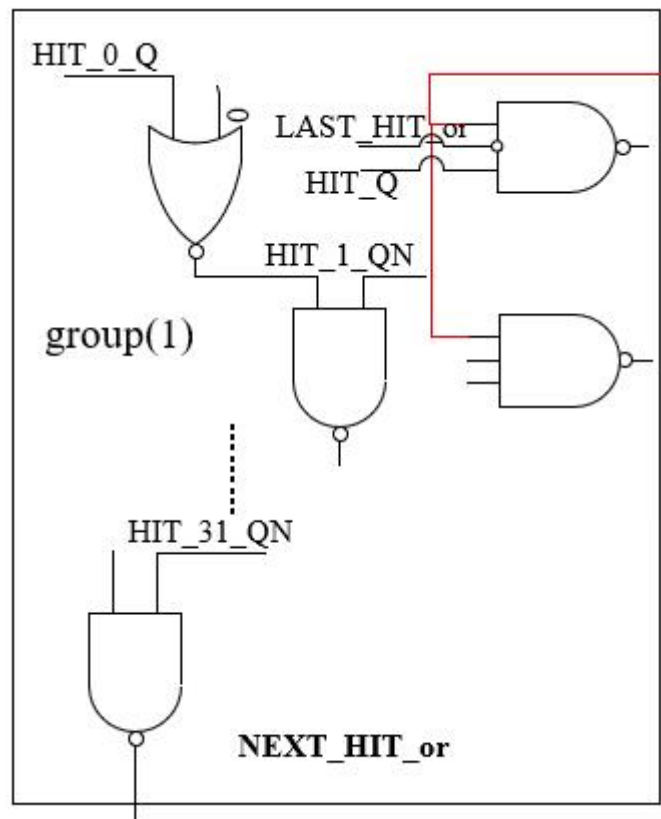
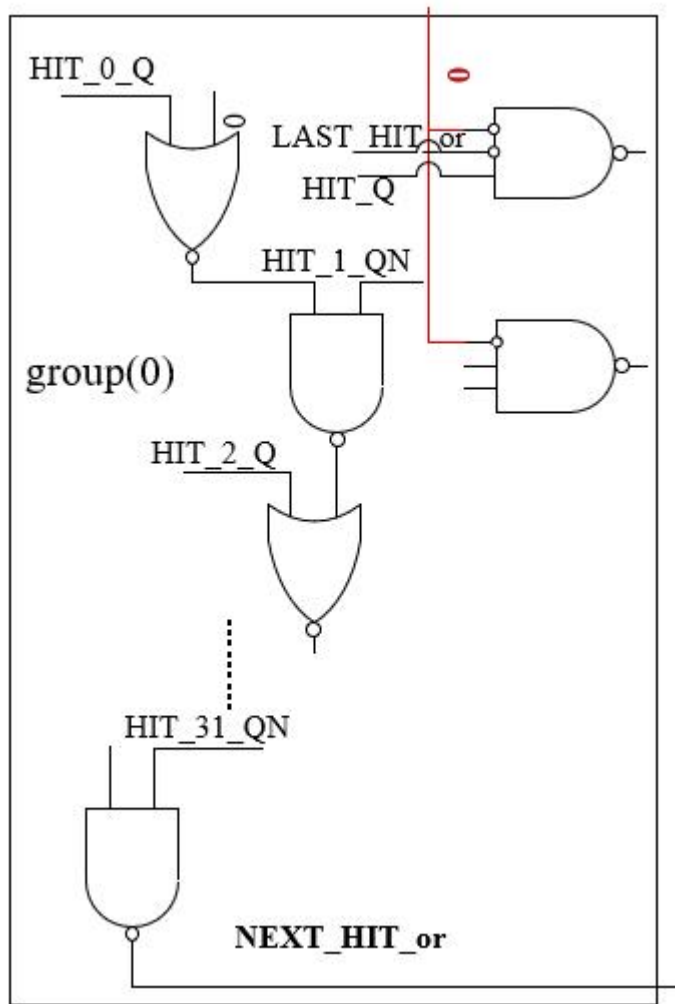




2.像素阵列双链结构

FASTOR快链逻辑

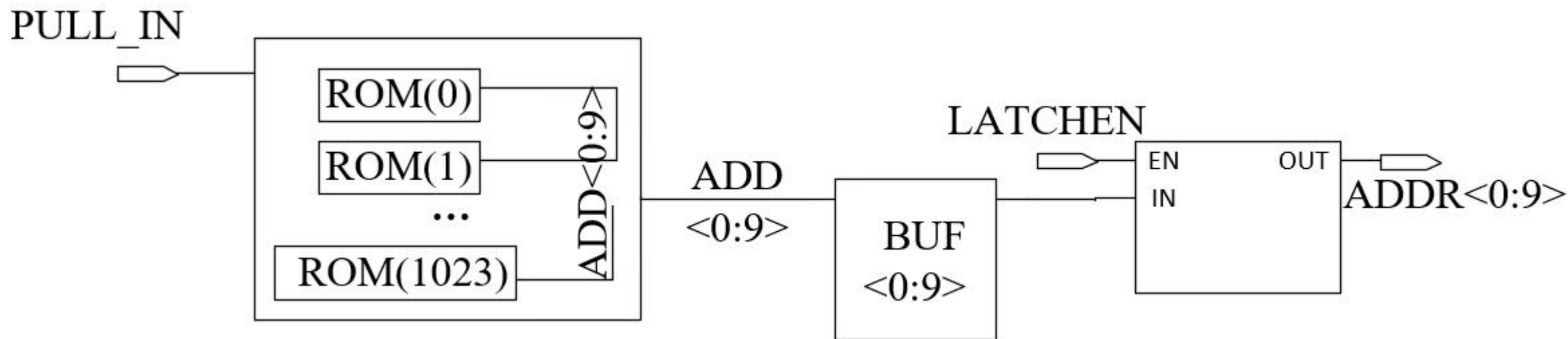
将OR门快链替换为**NOR-AND**交替





2.像素阵列双链结构

地址ROM逻辑

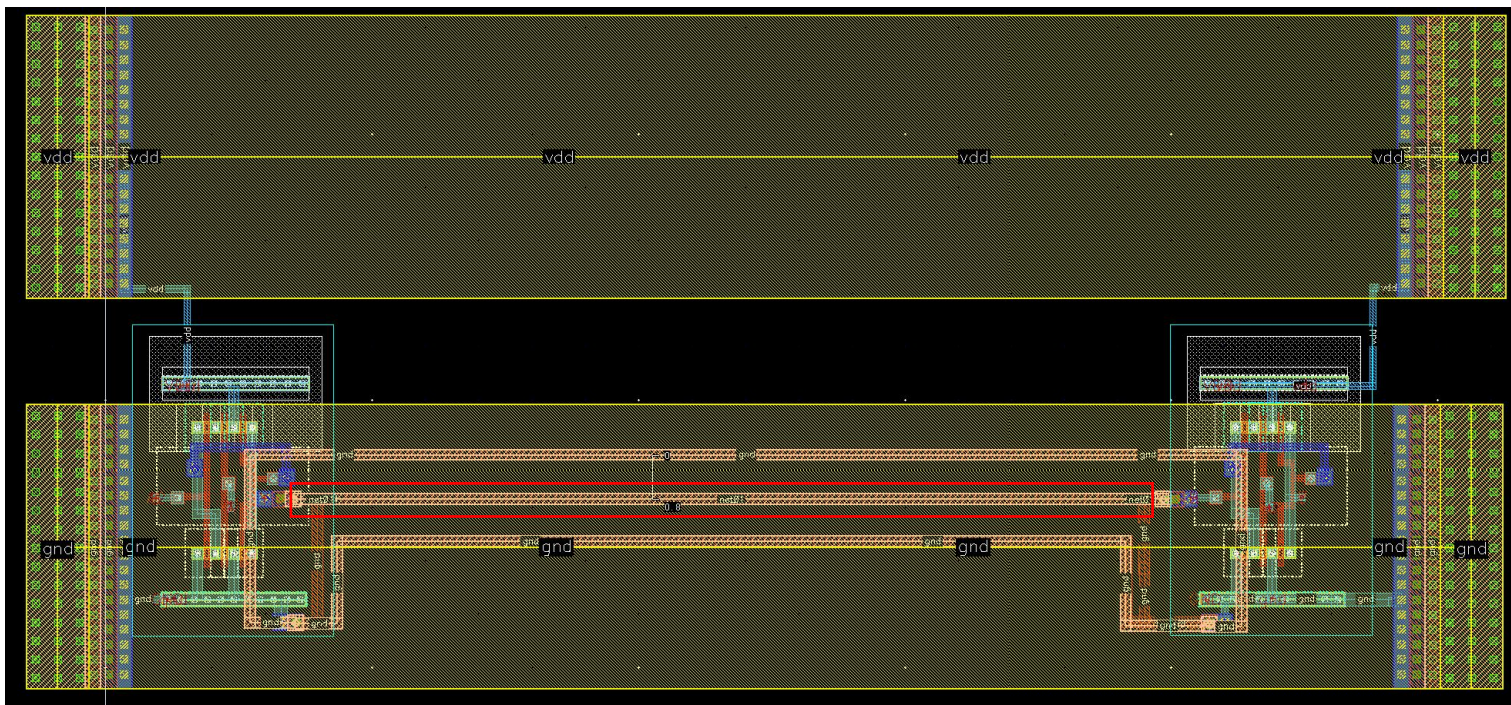


1024个ROM通过总线互联输出10位地址



3.寄生参数重提取

所提取金属线旁布上M3、M4、M5金属线



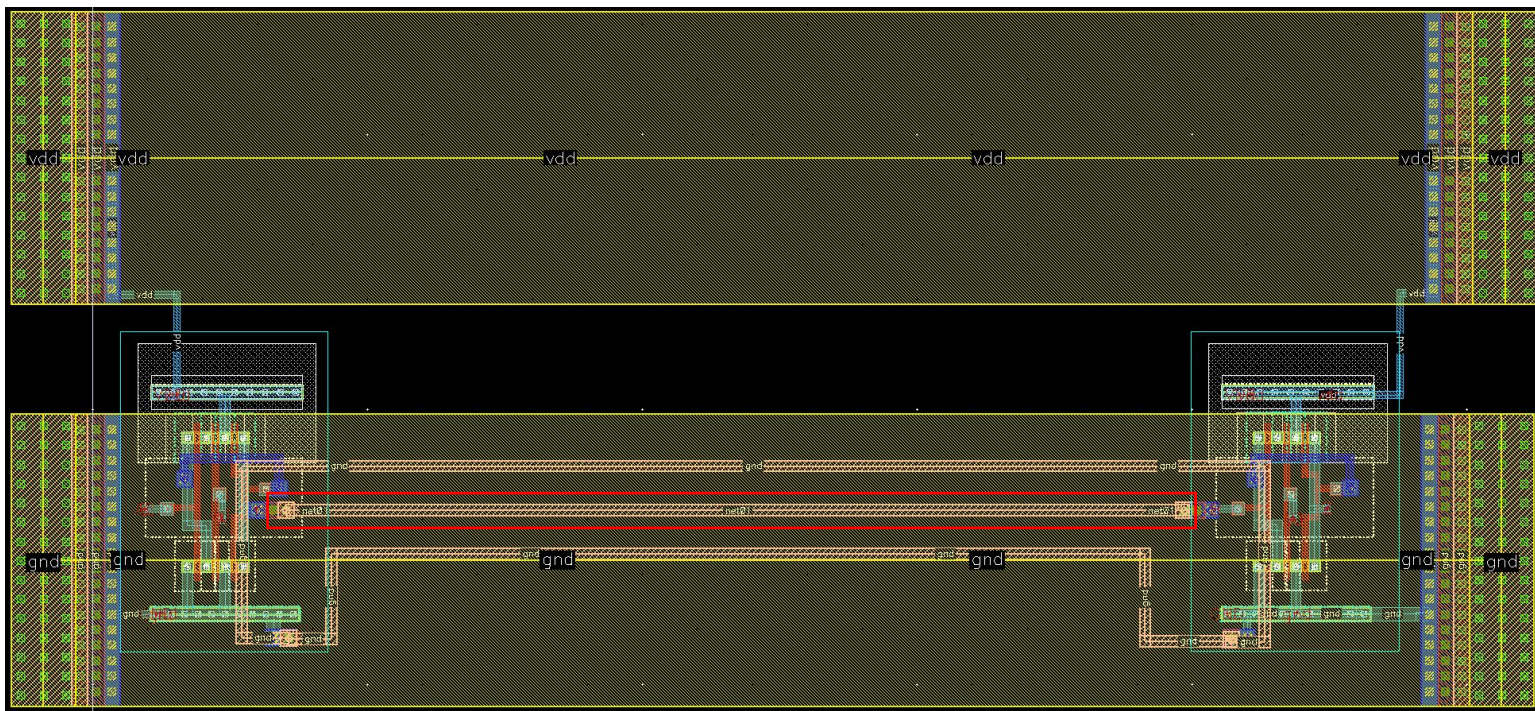
- 1.长度为**16um**，宽度为**0.2um**，线中心间距为**0.8um**的M4，布上M3（位于M4正下方）、M5
- 2.直接提取结果：寄生电阻**12Ω**（不过孔），寄生电容**4.4fF**

上次所提取出的参数仅考虑了**单根金属线**的情形，未考虑**同层**其它金属线及**左右两层**金属对所提取金属线的寄生电容的影响，且金属线宽度为**0.14um**



3.寄生参数重提取

所提取金属线旁布上M4、M5金属线



- 1.长度为**16um**，宽度为**0.2um**，线中心间距为**0.8um**的M4，布上M5；通常M3走线与M4走线正交，可先不考虑M3的影响
- 2.直接提取结果：寄生电阻**12Ω**（不加过孔），寄生电容**4fF**