



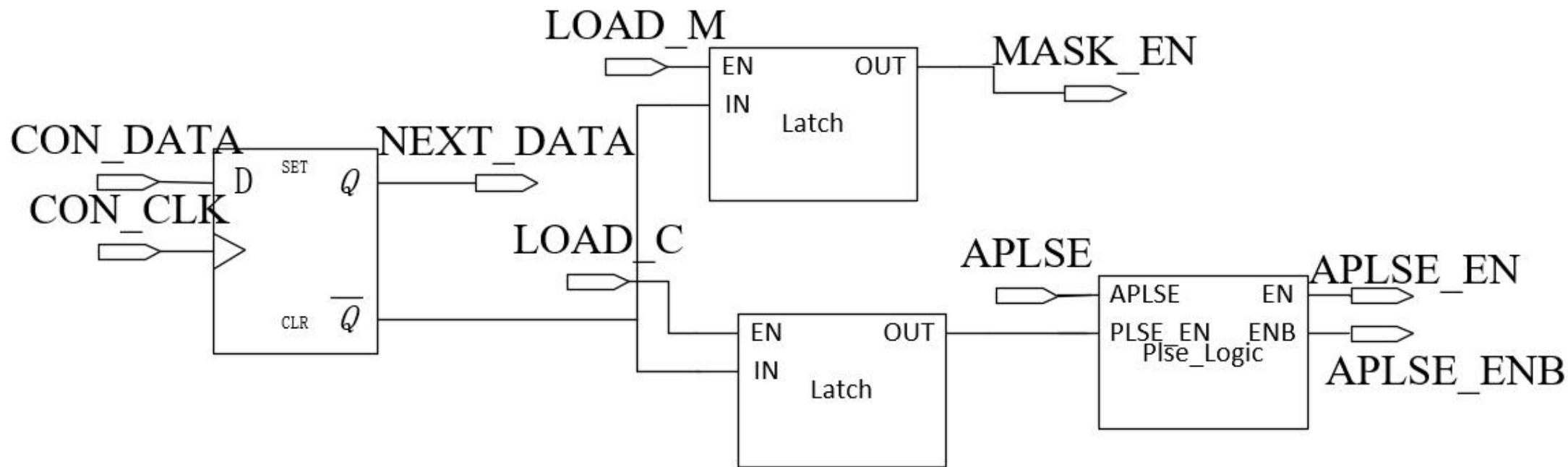
09.24



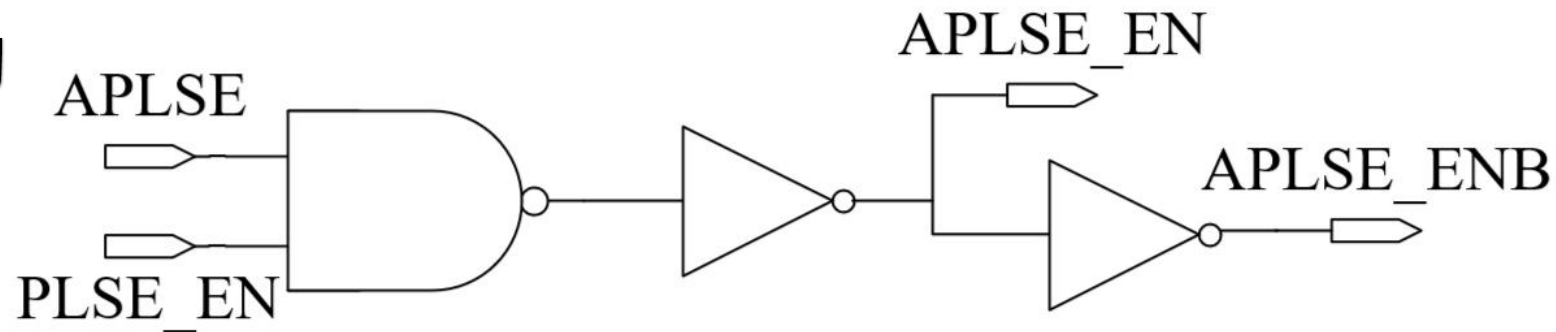


1.像素内结构

第一级：配置寄存与脉冲使能



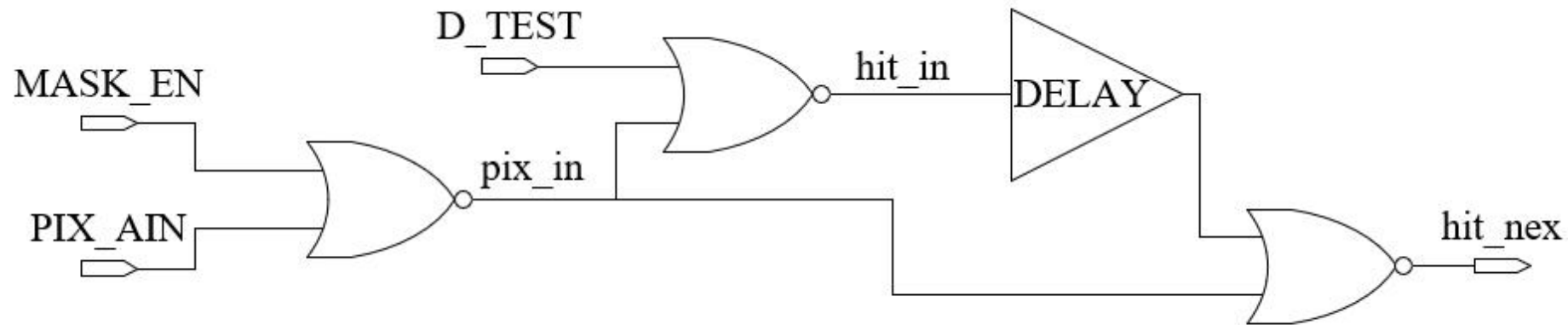
Plse_Logic内部结构





1.像素内结构

第二级：击中输入、屏蔽测试与置位产生



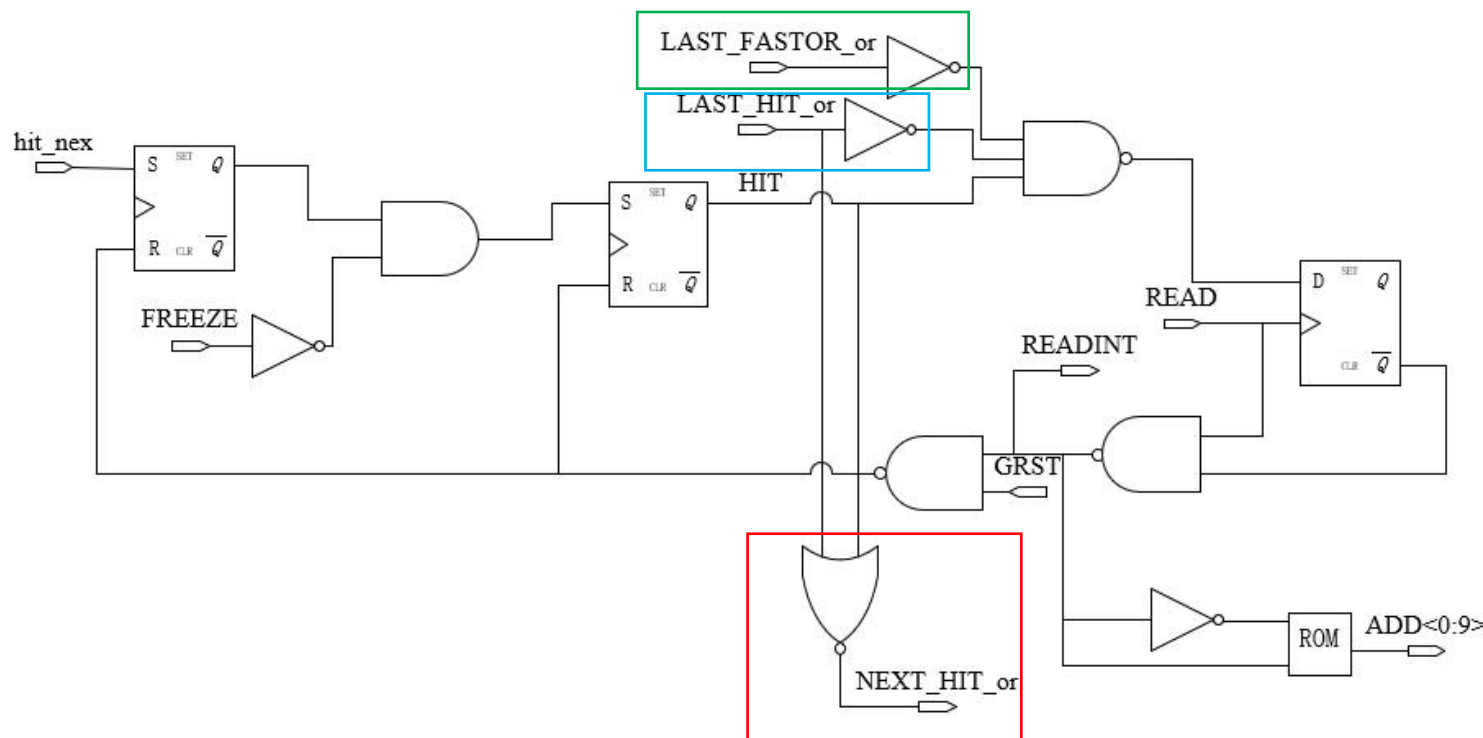
工作模式	信号要求	模式说明
正常工作模式	MASK_EN=0,D_TEST=0	当PIX_AIN输入击中高电平时，hit_nex将会产生高电平置位信号
像素屏蔽模式	MASK_EN=1	此时电路的输出与PIX_AIN的输入无关，实现对像素的屏蔽；但若D_TEST输入高电平信号，hit_nex仍会产生高电平置位信号
数字测试模式	D_TEST=1	实现数字测试信号的注入，该模式下也会受到MASK_EN信号的影响;若MASK_EN输入高电平信号，hit_nex仍会产生高电平置位信号



1.像素内结构

第三级：优先级仲裁、地址存取与读出复位

假定用NOR-NAND替代或门，**NOR**像素内部结构



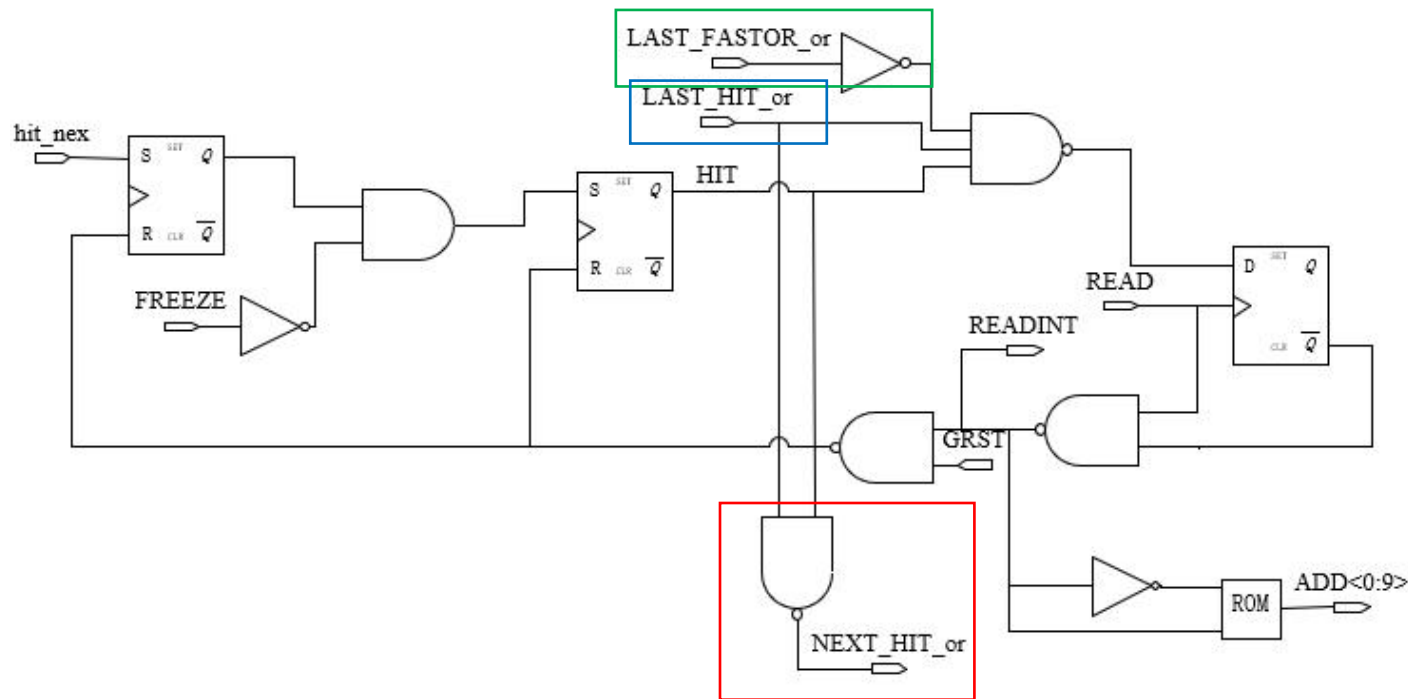
- 1.若像素是快链中**第一组**,
LAST_FASTOR_or后的**非门**保留;
- 2.若像素是快链中**第二组**,
LAST_FASTOR_or接的是快链中NOR
输出, 则**非门**直接**删去**;
- 3.若像素是快链中**第三组**,
LAST_FASTOR_or接的快链中NAND
输出, 则可将非门移入NAND中, 使其
变为**NOR-AND**交替; 后续像素组中
LAST_FASTOR_or后的非门**均可删去**



1.像素内结构

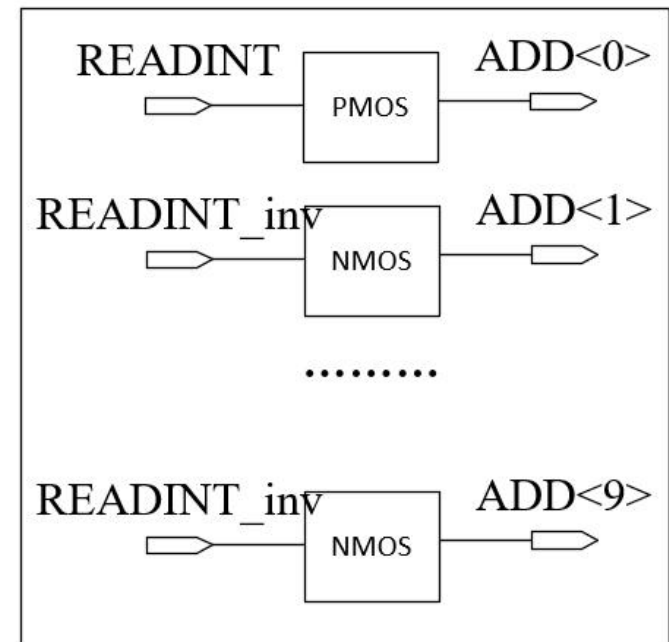
第三级：优先级仲裁、地址存取与读出复位

假定用NOR-NAND替代或门，**NAND**像素内部结构



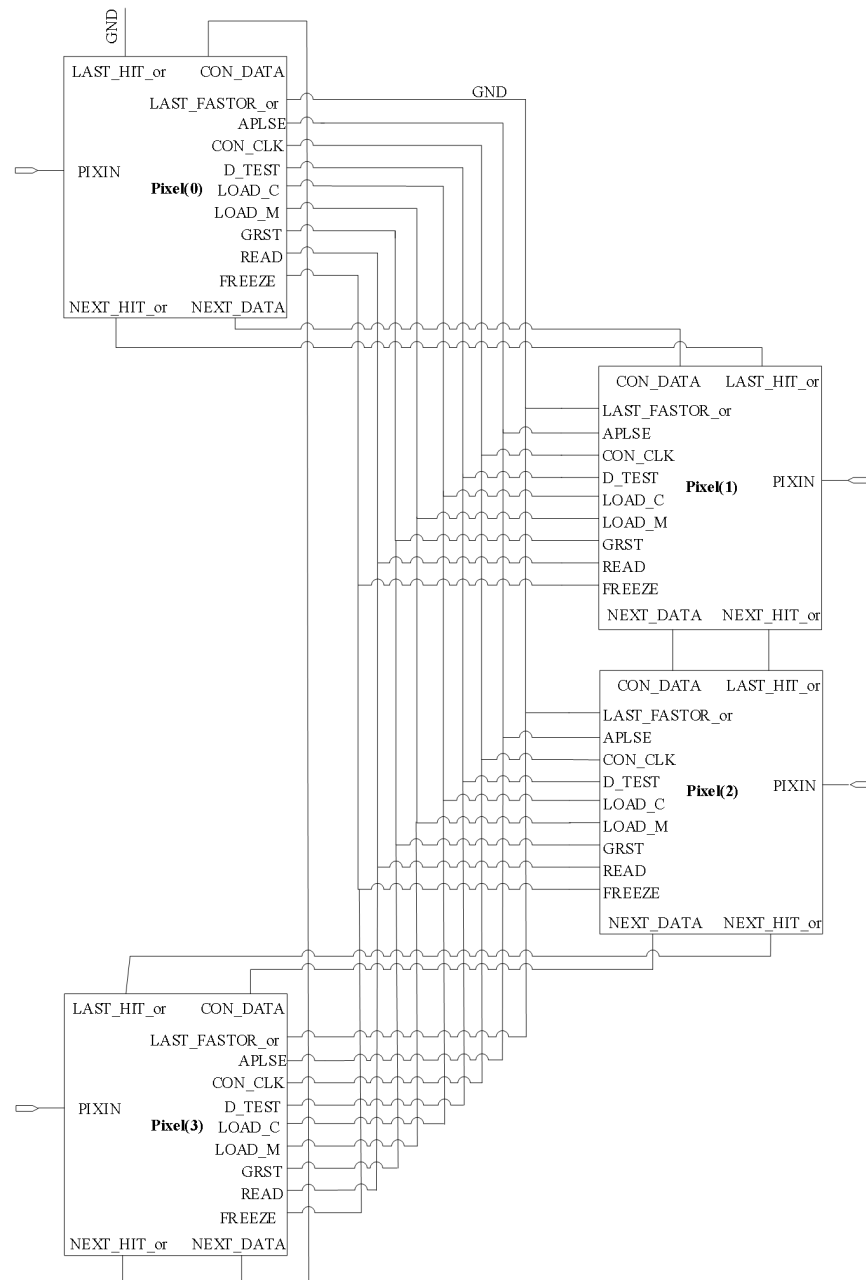
像素内ROM结构

每个像素内有**10**个MOS管用于输出**10**位地址，
每个像素内MOS管的结构由像素地址编码决定





2.像素阵列双链结构

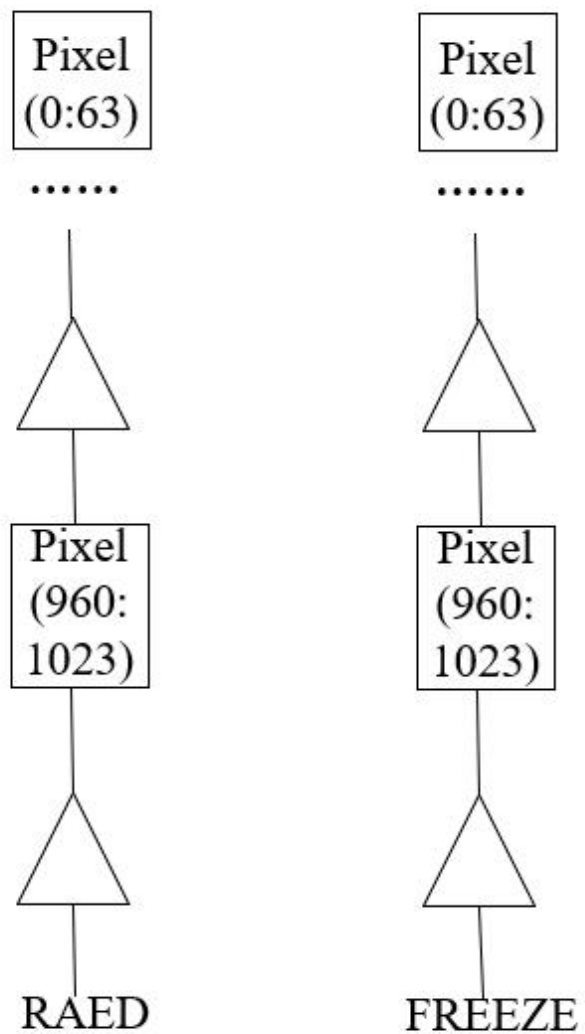


双链像素间蛇形走位

将1024个像素分为32组，每组32个像素



2.像素阵列双链结构



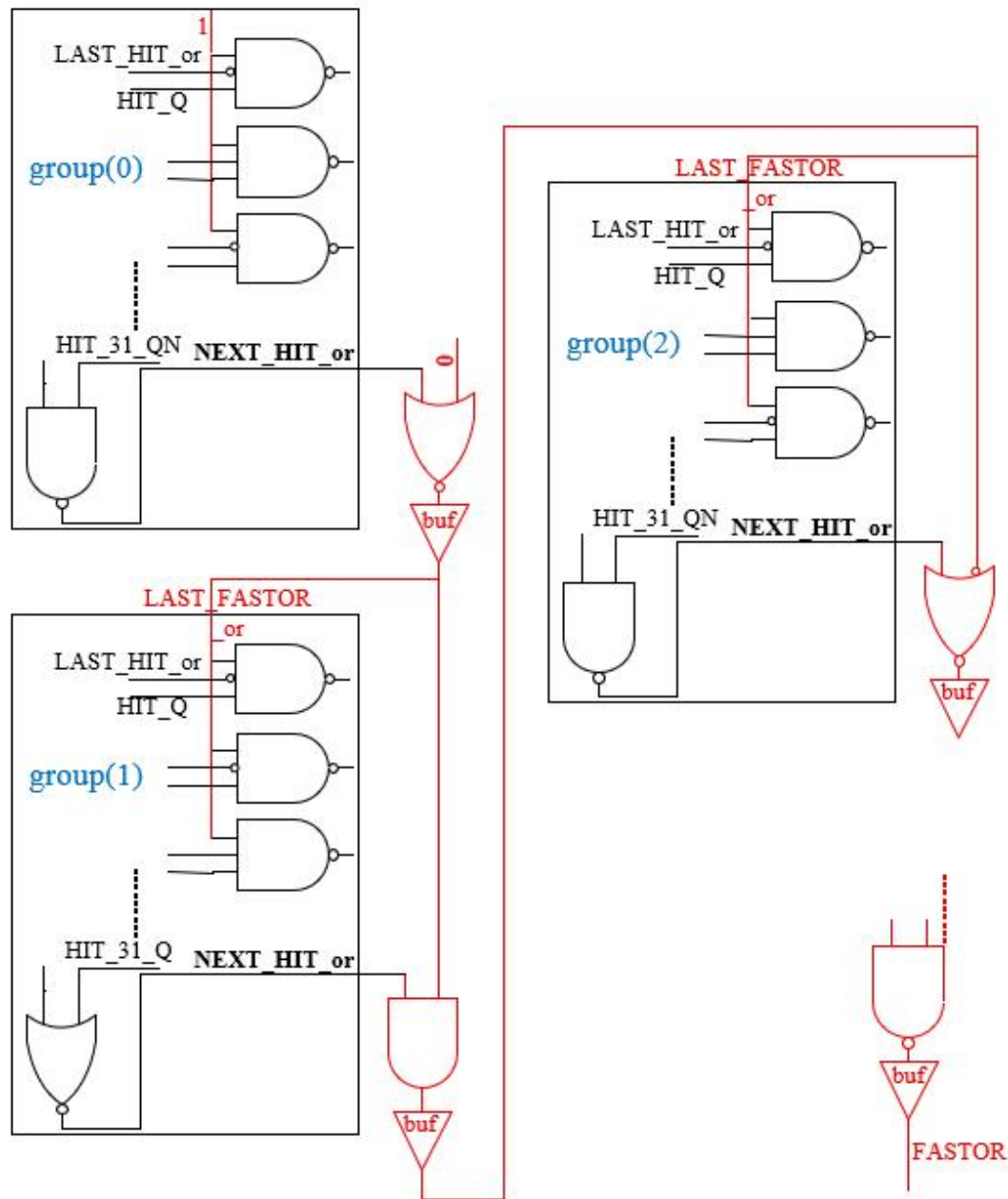
READ和FREEZE信号每64个像素添加1个buffer



2.像素阵列双链结构

FASTOR快链逻辑

将OR门快链替换为NOR-AND交替



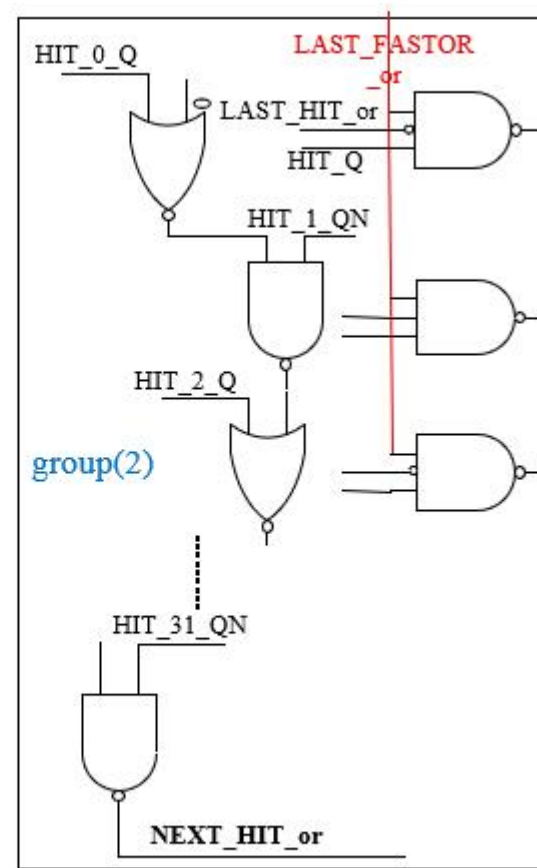
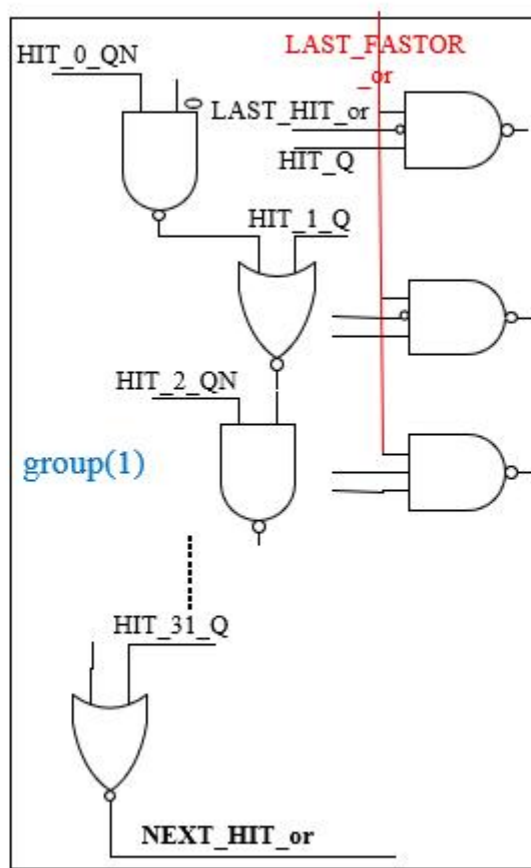
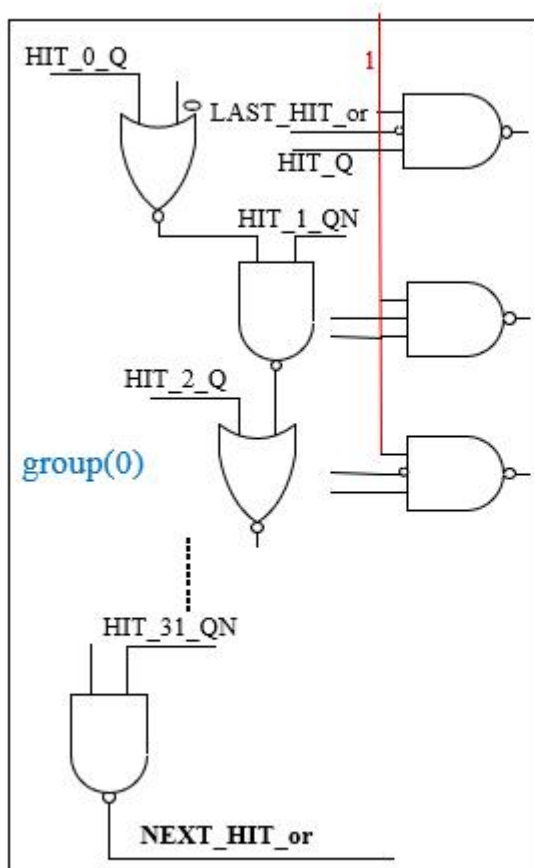


2.像素阵列双链结构

FASTOR快链

将OR门快链替换为**NOR-AND**交替

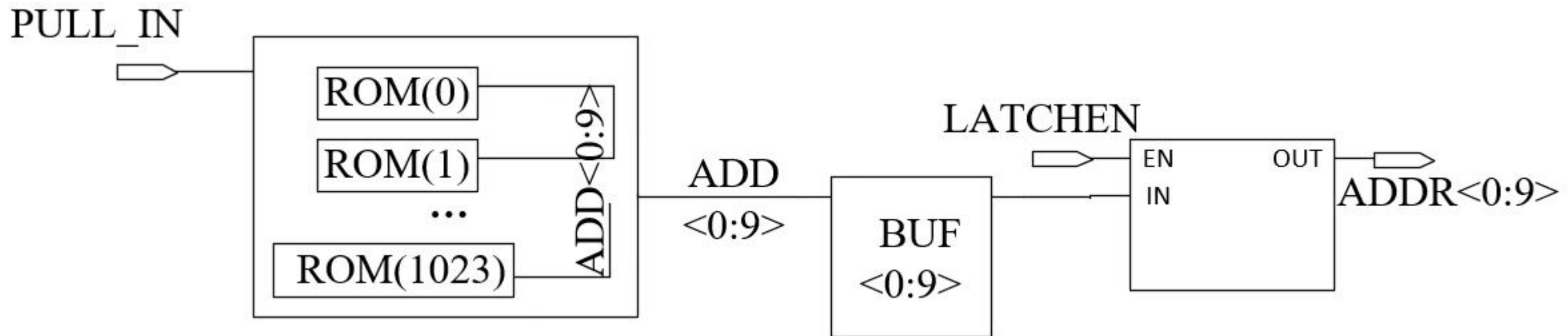
前三组像素内部结构





2.像素阵列双链结构

地址ROM逻辑

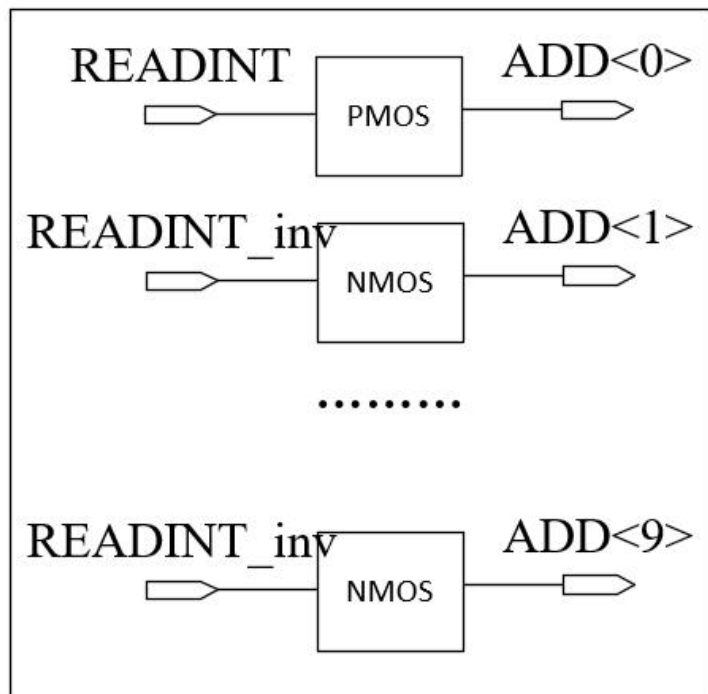


1024个ROM的输出通过总线互联结构最终输出10位地址



3.MOS管尺寸确定

根据addr的延迟时间，将单个PMOS管和单个NMOS管的驱动电阻设置在**5.2k Ω**



PMOS管尺寸（驱动电阻为**5.26k Ω** ）：

W=**650nm**,L=**100nm**

NMOS管尺寸（驱动电阻为**5.24k Ω** ）：

W=**275nm**,L=**100nm**

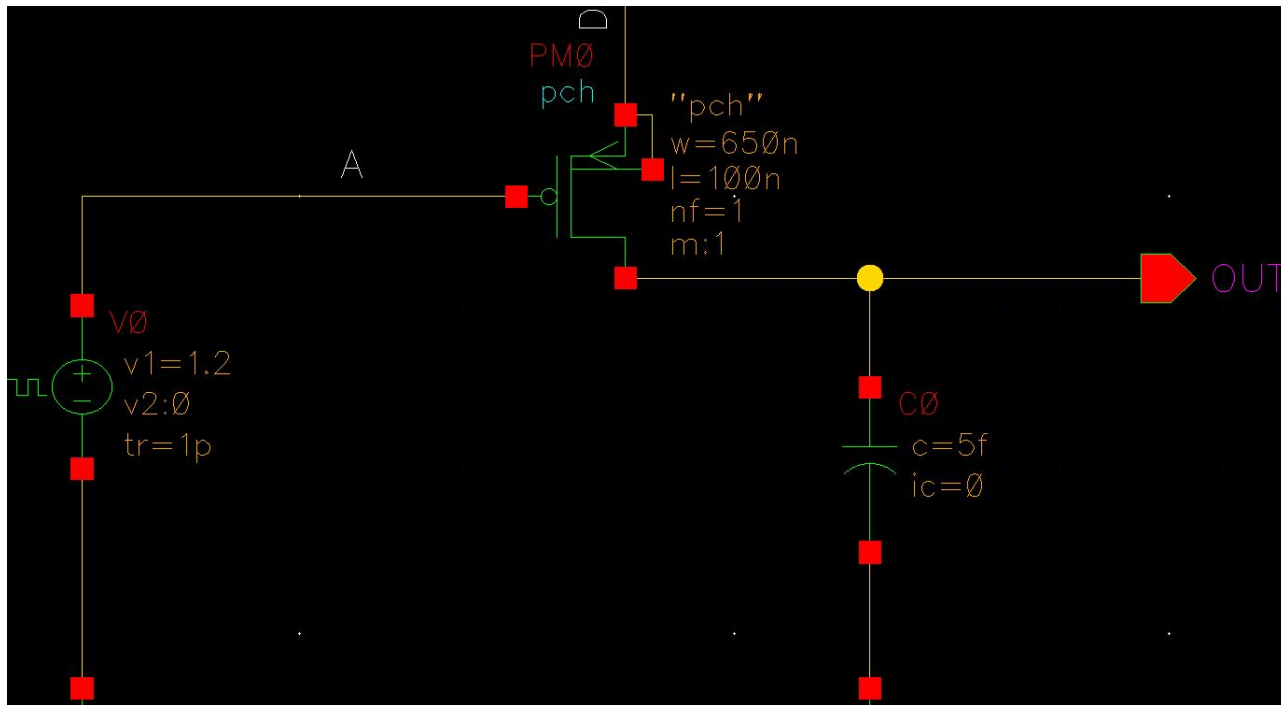


3.MOS管尺寸确定

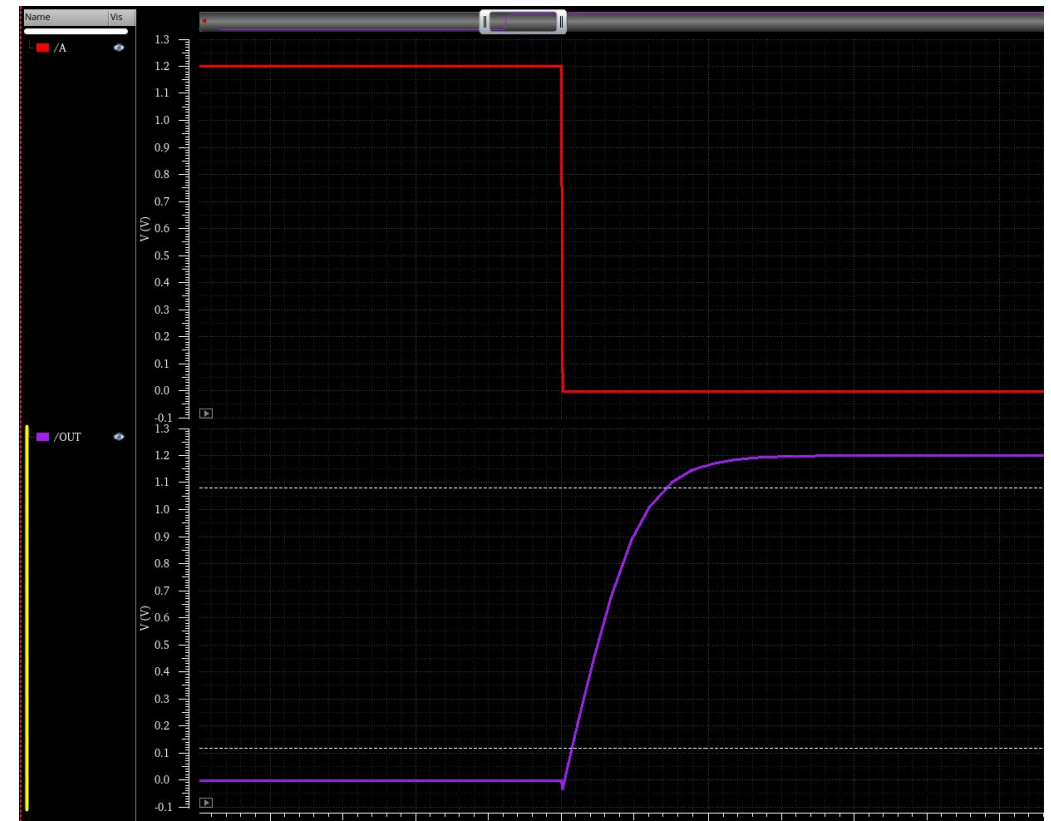
PMOS管驱动电阻

PMOS管尺寸: $W=650\text{nm}$, $L=100\text{nm}$

电路搭建



输出结果

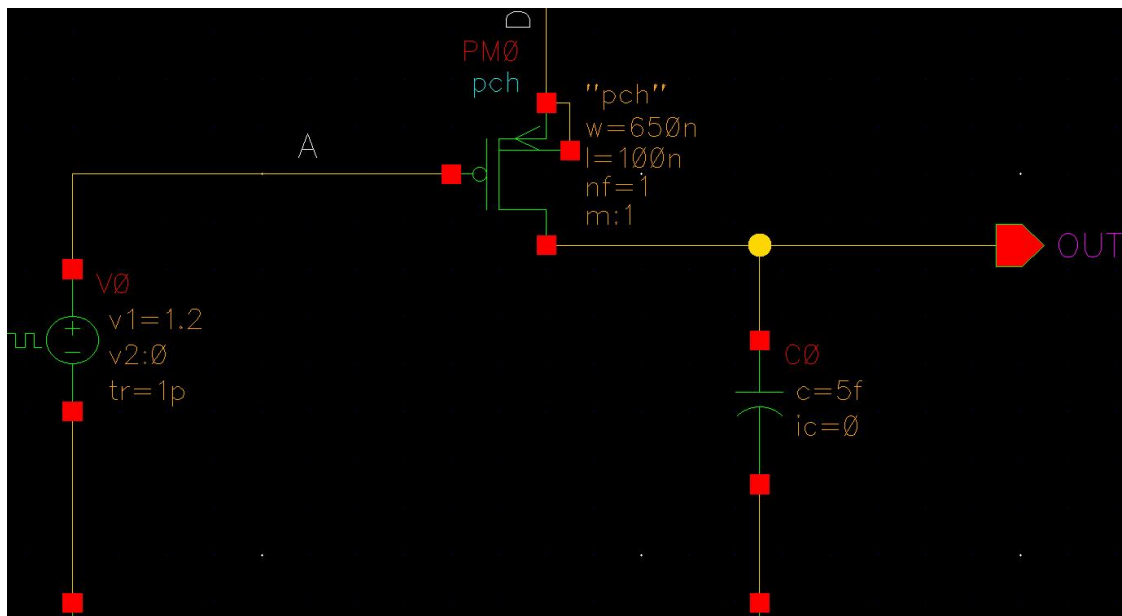




3.MOS管尺寸确定

PMOS管驱动电阻

电路搭建



结果计算

- 1.根据输出波形,定位**10%**所对应的**0.12V**电压和**90%**所对应的**1.08V**电压的时间,从而得到上升时间
- 2.改变负载电容,仿真**5fF**、**10fF**、**20fF**、**50fF**,将它们所对应的上升时间进行拟合,最终得到结果:

上拉驱动电阻为**5.26k Ω**

负载电容 C_L	上升时间 t_r
5 fF	65.11 ps
10 fF	121.46 ps
20 fF	236.23 ps
50 fF	585.00 ps



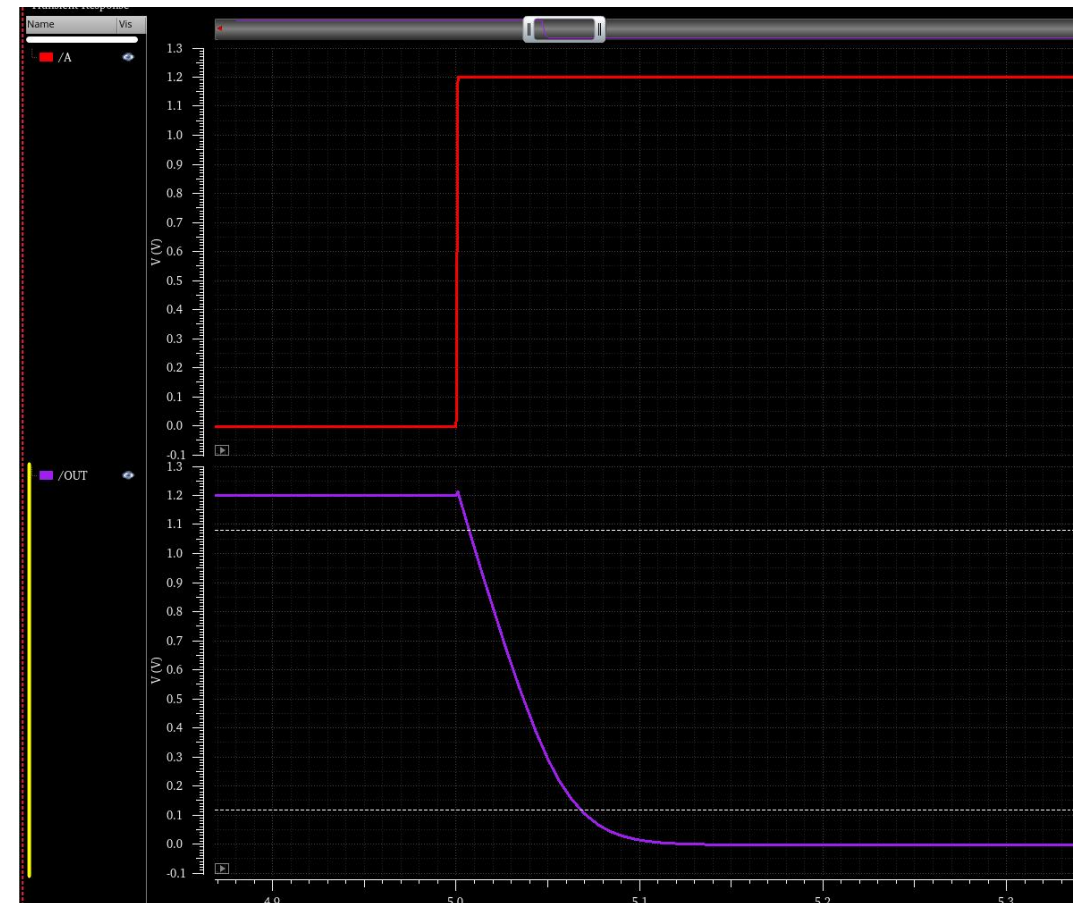
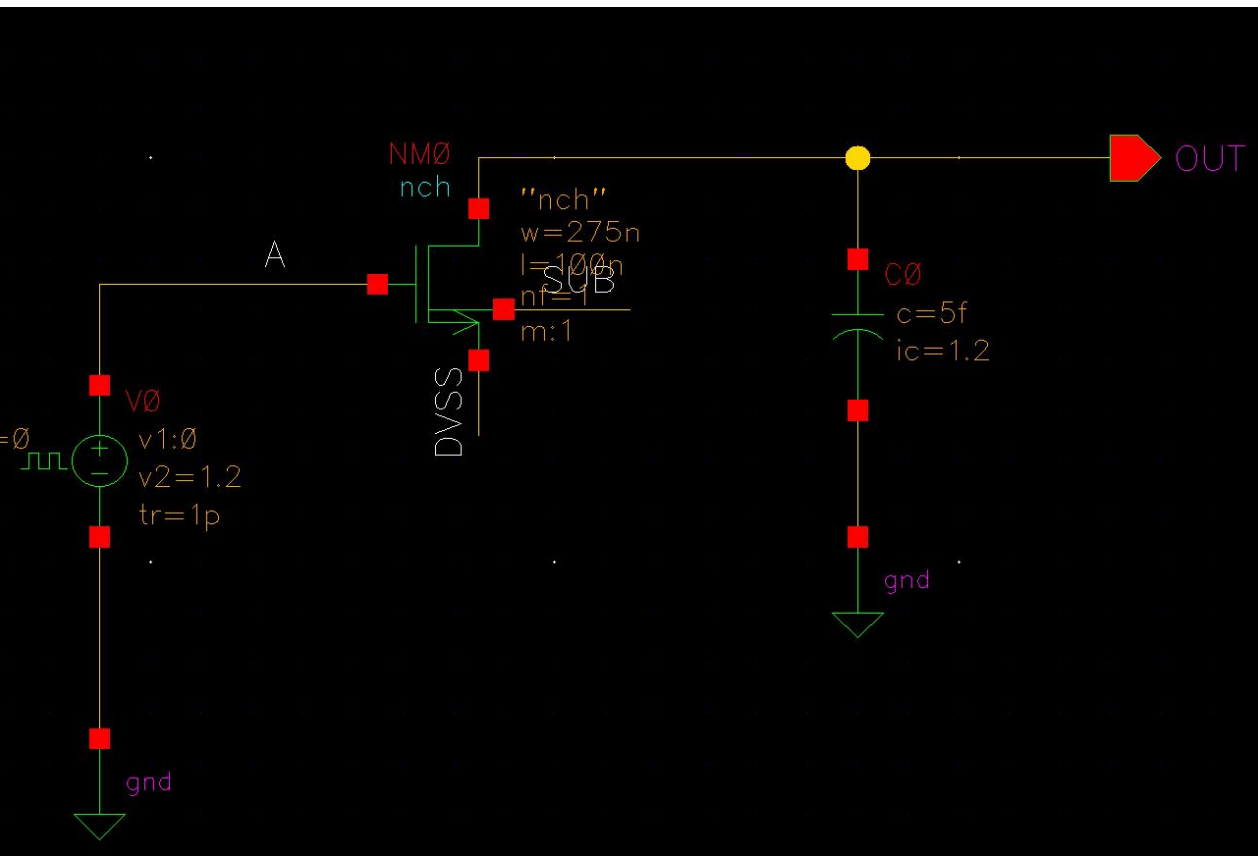
3.MOS管尺寸确定

NMOS管驱动电阻

NMOS管尺寸: $W=275\text{nm}$, $L=100\text{nm}$

电路搭建

输出结果

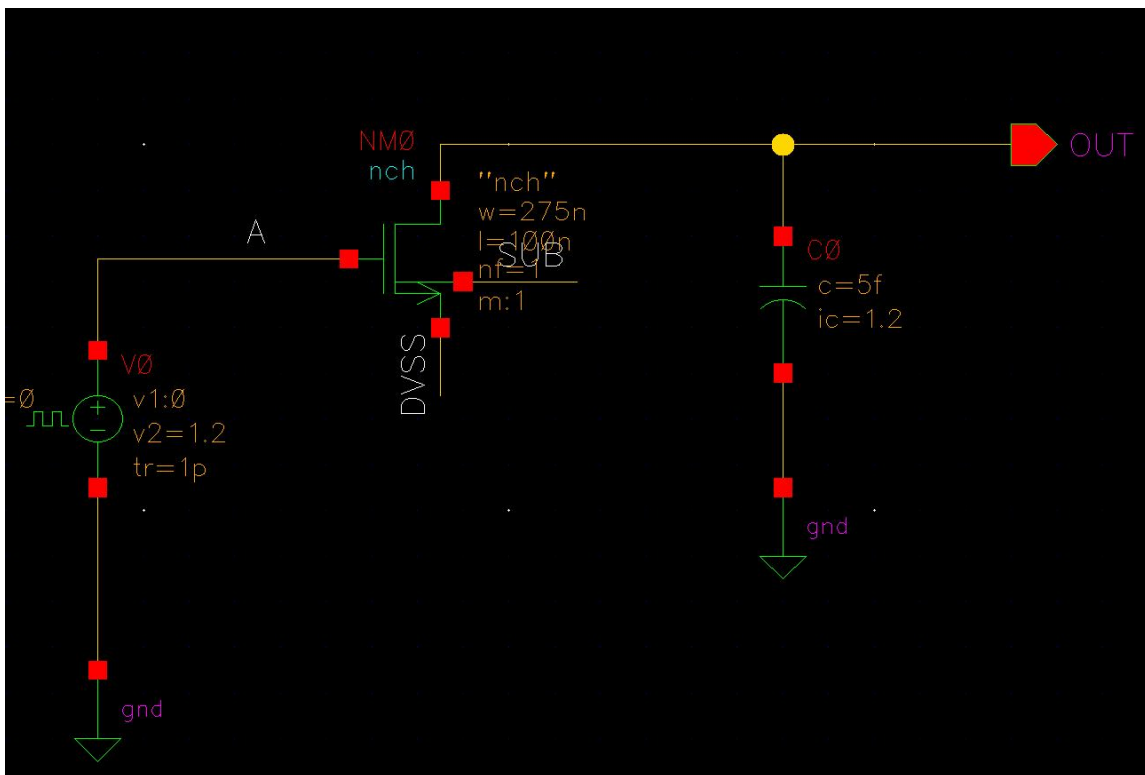




3.MOS管尺寸确定

NMOS管驱动电阻

电路搭建



结果计算

- 1.根据输出波形,定位**10%**所对应的**0.12V**电压和**90%**所对应的**1.08V**电压的时间,从而得到下降时间
- 2.改变负载电容,仿真**5fF**、**10fF**、**20fF**、**50fF**,将它们所对应的下降时间进行拟合,最终得到结果:

下拉驱动电阻为**5.24k Ω**

负载电容 C_L	下降时间 t_r
5 fF	60.94 ps
10 fF	118.42 ps
20 fF	237.71 ps
50 fF	579.32 ps

后续可通过驱动电阻与MOS管尺寸之间的关系,从而确定所用MOS管的尺寸